

Ein Beitrag zum Verhalten Modularer Multilevel Umrichter (MMC) bei Taktsperre

Dissertation zur
Erlangung des akademischen Grades
Doktor-Ingenieur (Dr.-Ing.)
der Fakultät für Informatik und Elektrotechnik
der Universität Rostock

vorgelegt von

Holger Wiencke, geb. am 07.07.1986 in Wismar

https://doi.org/10.18453/rosdok_id00002567

Gutachter:

- Prof. Dr.-Ing. Hans-Günter Eckel, Universität Rostock IEF
- Prof. Dr.-Ing. Marc Hiller, Karlsruher Institut für Technologie ETI
- Dr.-Ing. Herbert Gambach, Siemens AG

Datum der Einreichung: 20.03.2019

Datum der Promotion: 08.10.2019

Danksagung

Diese Promotionsschrift wurde verfasst im Rahmen meiner Arbeit am Lehrstuhl für Leistungselektronik und Elektrische Antriebe der Universität Rostock im Zeitraum von 2012 bis Anfang 2019. Mein Dank gilt in erster Linie Prof. Dr.-Ing. Hans-Günter Eckel für die fachliche Betreuung und anschließende Begutachtung der Arbeit. Es war immer wieder erstaunlich und begeisternd zu erfahren, wie viel Fachwissen zu verschiedensten Forschungsthemen sich eine einzelne Person aneignen kann. Weiterhin gilt mein Dank den, vom Fakultätsrat benannten, Gutachtern für das Erstellen der Gutachten. Ebenfalls bedanken möchte ich mich bei den Kollegen der Energy Abteilung von SIEMENS in Nürnberg für die gute Kooperation, die materielle Unterstützung sowie fachlichen Anregungen.

Ferner gilt mein Dank allen Mitarbeitern des Lehrstuhls. Danke an alle wissenschaftlichen Mitarbeiter für die vielen anregenden Fachdiskussionen und Zurarbeiten. Danke auch an alle nichtwissenschaftlichen Mitarbeiter für handwerkliche Unterstützung und Hilfe bei Verwaltungsangelegenheiten.

Besonderer Dank gilt meiner lieben Ehefrau, Stefanie Wiencke, die mich jederzeit unterstützt und motiviert hat, meiner Forschungsarbeit und dem Verfassen dieser Schrift nachzugehen. Sie hat außerdem anschließend diese für sie fachfremde Arbeit korrekturgelesen, vielen Dank.

Innerhalb meines Freundeskreises gilt mein Dank vor allem Marcel Schreiber und Alexander Zinman für das Korrekturlesen und die daraus folgenden Anmerkungen und Diskussionen. Ihnen und allen anderen Freunden möchte ich für ihr Verständnis danken, dass ich sehr beschäftigt war und oft nur wenig Zeit hatte.

Auch bei meinen Eltern möchte ich mich herzlich bedanken. Durch ihre Förderung und Unterstützung, seit meiner Geburt, haben sie mir erst diese Promotion ermöglicht.

Kurzfassung

Die vorliegende Dissertation untersucht das elektrische Verhalten eines Modular Multilevel Umrichters während einer Taktsperre. Eine solche Taktsperre wird auch als Blockieren des Konverters bezeichnet. Bei einem Blockiervorgang kann es dazu kommen, dass zum einen der Umrichter an seine Spannungsgrenze und zum anderen die Leistungshalbleiter an die Grenzen ihrer zulässigen Belastung gebracht werden. Diese Arbeit untersucht im Detail unter welchen Umständen und bei welchen Randbedingungen diese Belastungen auftreten.

Es wird einleitend kurz der Aufbau und die Funktionsweise eines Modular Multilevel Converters beschrieben. Im Rahmen der theoretischen Durchdringung folgt eine Fallunterscheidung zwischen unterschiedlichen momentanen Zustandsgrößen des Umrichters zum Blockierzeitpunkt. Die relevanten Fälle werden mithilfe von Schaltungssimulationen untersucht. Dafür werden speziell angepasste Simulationsmodelle, sowohl für den Converter, als auch für die leistungselektronischen Schalter entwickelt. Es wird ein neuer Ansatz, die partielle Taktsperre, als alternative Blockiermethode diskutiert. Sie entlastet die Halbleiter, bringt aber einen gewissen technischen Mehraufwand mit sich.

Anschließend werden die zuvor ermittelten Randbedingungen experimentell nachgestellt. Die Messergebnisse werden dabei im Detail ausgewertet. Es wird der Einfluss verschiedener Zustandsgrößen auf die Halbleiterbelastung gezeigt.

Ein neuer Ansatz dieser Arbeit ist es auch die AC-Kapazität bei Auslegung eines Modular Multilevel Converters zu berücksichtigen. Dies führt im relevanten Worst-Case-Szenario zu erhöhten Halbleiterbeanspruchungen. Müssen diese Beanspruchungen reduziert werden, resultiert im Umkehrschluss eine schlechtere Halbleiterausnutzung im Normalbetrieb.

Es werden mehrere Verfahren zur Entlastung der Halbleiter vorgestellt und messtechnisch untersucht. So kann eine Belastung durch Überspannung bei schnappigem Schaltverhalten ausgeschossen werden. Weiterhin wird nachgewiesen, dass kurz leitende Dioden durch ihr Schaltverhalten die Schaltleistung der lang leitenden Dioden reduzieren.

Zusammenfassend lässt sich festhalten, dass ein Worst-Case-Szenario mit erhöhten Halbleiterbeanspruchungen ermittelt wurde. Es ist jedoch, unter Berücksichtigung der entlastenden Thesen, möglich einen solchen Umrichter wirtschaftlich auszulegen.

Abstract

This dissertation investigates the electrical behaviour of a modular multilevel converter during clock inhibition. Such a clock inhibition is also called blocking of the converter. During a blocking process, the inverter can be brought to its voltage limit and the power semiconductors can be brought to their maximum permissible stress. This thesis examines in detail which circumstances and which boundary conditions influence the occurrence of these stresses.

The structure and functionality of a Modular Multilevel Converter is briefly described in the introduction. As part of the theoretical analysis, a distinction is made between different instantaneous state variables of the inverter at the blocking time. The relevant cases are investigated using circuit simulations. For this purpose, specially adapted simulation models are developed for both the converter and the power electronic switches. A new approach, the partial clock inhibition, is discussed as an alternative blocking method. It relieves the stress on the semiconductors, but entails a certain additional technical effort.

The boundary conditions determined by the simulations are experimentally reproduced. Subsequently, the measured results are evaluated in detail. The influence of different state variables on the semiconductor stress is shown.

A new approach of this thesis is to consider the AC capacity when designing a Modular Multilevel Converter. In the relevant worst case scenario, this leads to increased semiconductor stresses. If these strains have to be reduced, this results in lower semiconductor utilization in normal operation.

Several methods for relieving the stress on semiconductors are presented and experimentally investigated. For example, stress due to overvoltage can be excluded in case of a snappy switching behavior. Furthermore, it is proven that short conducting diodes reduce the switching power of long conducting diodes by their switching behaviour.

In conclusion, it can be stated that a worst case scenario with increased semiconductor stress was determined. Taking into account the relieving theses, it is possible to economically construct such a converter.

Inhaltsverzeichnis

1. Einleitung	1
1.1 Motivation.....	1
1.2 Aufbau des MMC.....	1
1.3 Funktion des MMC.....	4
1.3.1 Regelung im Normalbetrieb.....	5
1.3.2 Taktsperre – Übergang in einen sicheren Zustand.....	5
1.3.3 Potentielle Belastungen der Leistungshalbleiter.....	6
1.4 Literatur & der aktuelle Stand der Technik.....	9
2. Methodik	10
2.1 Theoretische Analyse.....	10
2.2 Simulationsmethoden.....	11
2.2.1 Konvertermodellbildung.....	12
2.2.2 IGBT-Modellbildung.....	15
2.2.3 Modellgültigkeit.....	16
2.2.4 Normierung und Skalierung des Modells.....	16
2.2.5 Überblick über die Skalierungsgrößen.....	23
2.3 Messmethoden.....	24
3. MMC-Verhalten bei Taktsperre	26
3.1 Taktsperre ohne Maßnahmen zur Spannungsbegrenzung.....	26
3.2 Taktsperre mit Ableiter – eine kategorisierende Systemanalyse.....	27
3.2.1 Kategorie A 0.....	31
3.2.2 Kategorie A 1.0.....	42
3.2.3 Kategorie A 1.1.....	46
3.2.4 Kategorie A 1.2.....	48
3.2.5 Kategorie A 2.....	59
3.2.6 Kategorie B 0.....	60
3.2.7 Kategorie B 1.....	66
3.2.8 Die Kategorien B 2.0, B2.1 & B2.2.....	67
3.2.9 Kategorie C 0.....	67
3.2.10 Kategorie C 1.....	68
3.2.11 Kategorie C 2.....	68

3.2.12	Ergebnisse der Analysen und Simulationen, ein Ausblick auf durchzuführende Messungen	68
3.3	Partielle Taktsperrung	70
4.	Messungen zum Kurzschlussfall IV	71
4.1	KS IV–Messungen – Parametereinflüsse auf p_{Max} bei linear fallendem Zweigstrom .	71
4.1.1	KS IV – Einfluss der Diodenleitdauer auf p_{Max} bei linear fallendem Zweigstrom	73
4.1.2	KS IV – Einfluss des initialen Zweigstromes auf p_{Max} bei linear fallendem Zweigstrom	76
4.1.3	KS IV – Einfluss des Stromanstiegs auf p_{Max} bei linear fallendem Zweigstrom	78
4.1.4	KS IV – Einfluss der Modulzwischenkreisspannung auf p_{Max} bei linear fallendem Zweigstrom	80
4.2	KS IV–Messungen – Überspannungen bei kleinen Zweigströmen	83
4.3	KS IV–Messungen – Zwei verschieden lang leitende Dioden in Serie	85
4.3.1	Skalierung des Seriendioden-Versuches	88
4.3.2	Messtechnischer Beleg zur These: „Bei kleinen Zweigströmen treten keine kurz leitenden Dioden auf.“	89
4.3.3	Messtechnischer Beleg zur These: „Kurz leitende Dioden entlasten die lang leitenden Dioden.“	92
4.4	KS IV–Messungen – bei nicht linear fallendem Zweigstrom	94
4.4.1	Abflachender Zweigstrom nach dem Stromnulldurchgang	99
4.4.2	Abflachender Zweigstrom vor dem Stromnulldurchgang	102
4.4.3	Steiler werdender Zweigstrom	103
4.5	RC-IGBT: KS IV – unter Berücksichtigung einer Stromrichtungserkennung	107
5.	Zusammenfassung & Bewertung der Ergebnisse	110
6.	Anhang	114
6.1	Bilder der Prü fzelle und der Messausrüstung	114
6.2	Exkurs in elektrische Netzwerkanalyse & DGL-Systeme:	116
	Literaturangaben	118
	Eidesstattliche Erklärung	121

Abbildungsverzeichnis

Abbildung 1: Aufbau des MMC [3, S. 14].....	2
Abbildung 2: Einzelphase mit parasitären Elementen.....	4
Abbildung 3: Reverse-Recovery-Verhalten einer Freilaufdiode aus einem IGBT-Modul[9]	7
Abbildung 4: Kurzschlussfall-IV-Verhalten einer Freilaufdiode aus einem IGBT-Modul[9]..	7
Abbildung 5: ESB zur Simulation einer Einzelphase.....	13
Abbildung 6: ESB-Bestandteil vier Einzelsubmodule.....	14
Abbildung 7: ESB zur Simulation eines IGBT-Turn-OFF	16
Abbildung 8: Abschaltmessung bei 12 % Nennstrom und 3 kV	17
Abbildung 9: Abschaltmessung bei 201 % Nennstrom und 3 kV	18
Abbildung 10: Vergleich ZnO- und SiC-Ableiter [17, S. 124]	21
Abbildung 11: Ableiterkennlinie, normiert, einfachlogarithmisch	22
Abbildung 12: Fall A 0 d bei $i_1(t_0)=2 \cdot I_N$; $i_2(t_0) \approx 0$; $u_{AC}(t_0)=0,5 \cdot U_{DC}$; $I_{LL}=4,0 \text{ ‰}$	35
Abbildung 13: Fall A 1.0 d bei $i_1(t_0)=2 \cdot I_N$; $i_2(t_0)=2 \cdot I_N$; $u_{AC}(t_0)=0,5 \cdot U_{DC}$; $I_{LL}=4,0 \text{ ‰}$	36
Abbildung 14: Fall A 1.0 d bei $i_1(t_0)=2 \cdot I_N$; $i_2(t_0)=2 \cdot I_N$; $u_{AC}(t_0)=0,5 \cdot U_{DC}$; $I_{LL}=0,4 \text{ ‰}$	37
Abbildung 15: Fall A 0 d bei $i_1(t_0)=2 \cdot I_N$; $i_2(t_0) \approx 0$; $u_{AC}(t_0)=0,5 \cdot U_{DC}$; $I_{LL}=4,0 \text{ ‰}$	38
Abbildung 16: Fall A 0 d bei $i_1(t_0)=2 \cdot I_N$; $i_2(t_0) \approx 0$; $u_{AC}(t_0)=0,3 \cdot U_{DC}$; $I_{LL}=4,0 \text{ ‰}$	40
Abbildung 17: Beispielstromverläufe bei endlicher AC-Kapazität	43
Abbildung 18: Fall A 1.0 a bei $i_1(t_0)=2 \cdot I_N$; $i_2(t_0)=2 \cdot I_N$; $u_{AC}(t_0)=0,5 \cdot U_{DC}$; $I_{LL}=0,3 \text{ ‰}$	45
Abbildung 19: Zweigspannung U_1 vor, während und nach kritischer Kommutierung	48
Abbildung 20: Umrichterphase zu den Fällen A 1.2 a, b & c.....	50
Abbildung 21: Fall A 1.2 c bei $i_1(t_0)=I_N$; $i_2(t_0)=2 \cdot I_N$; $u_{AC}(t_0)=-0,5 \cdot U_{DC}$	52
Abbildung 22: Fall A 1.2 b bei $i_1(t_0)=I_N$; $i_2(t_0)=2 \cdot I_N$; $u_{AC}(t_0)=0$	53
Abbildung 23: Fall A 1.2 f bei $i_1(t_0)=0,2 \cdot I_N$; $i_2(t_0)=I_N$; $u_{AC}(t_0)=-0,5 \cdot U_{DC}$	57
Abbildung 24: Fall A 1.2 f bei $i_1(t_0)=0,3 \cdot I_N$; $i_2(t_0)=I_N$; $u_{AC}(t_0)=-0,5 \cdot U_{DC}$	57
Abbildung 25: Fall A 1.2 f bei $i_1(t_0)=0,2 \cdot I_N$; $i_2(t_0)=I_N$; $u_{AC}(t_0)=-0,5 \cdot U_{DC}$; L_σ mit Positivtoleranz	59
Abbildung 26: Schaltung des Schwingkreises aus Fall B 0 e	62
Abbildung 27: Fall B 0 e) mit C_{DC} – Durchschwingen der pos. DC-Spannung.....	64
Abbildung 28: Fall B 0 e) ohne C_{DC} – kein Durchschwingen der pos. DC-Spannung	65
Abbildung 29: Messschaltung zur Untersuchung des KS IV.....	72
Abbildung 30: Pulsmuster zur KS IV Untersuchung.....	72

Abbildung 31: Zeitverläufe von u_{CE} , i_C & p beim KS IV ; $T_J=125\text{ °C}$; $U_d=0,67 \cdot U_{CES}$; $i_C(t_0)=-2,5 \cdot I_N$; $di/dt=0,80\text{ I}_N/\mu\text{s}$; Messung 1: $t_{Diode}=10\text{ }\mu\text{s}$; Messung 2: $t_{Diode}=25\text{ }\mu\text{s}$; Messung 3: $t_{Diode}=170\text{ }\mu\text{s}$	74
Abbildung 32: Maximale Schaltleistung in Abh. v. Leitdauer t_{Diode} & Temperatur T_J ; $U_d=0,67 \cdot U_{CES}$; $i_C(t_0)=-2,5 \cdot I_N$; $di/dt=0,80\text{ I}_N/\mu\text{s}$	75
Abbildung 33: Zeitverläufe von u_{CE} , i_C & p beim KS IV ; $T_J=25\text{ °C}$; $t_{Diode}=200\text{ }\mu\text{s}$; $U_d=0,67 \cdot U_{CES}$; $di/dt=0,77\text{ I}_N/\mu\text{s}$; Messung 1: $i_C(t_0)=-0,5 \cdot I_N$; Messung 2: $i_C(t_0)=-1,0 \cdot I_N$; Messung 3: $i_C(t_0)=-2,0 \cdot I_N$;	77
Abbildung 34: Maximale Schaltleistung in Abh. des initialen Modulstromes ; $T_J=25\text{ °C}$; $t_{Diode}=200\text{ }\mu\text{s}$; $U_d=0,67 \cdot U_{CES}$; $di/dt=0,77\text{ I}_N/\mu\text{s}$	78
Abbildung 35: Zeitverläufe von u_{CE} , i_C & p beim KS IV ; $T_J=25\text{ °C}$; $t_{Diode}=200\text{ }\mu\text{s}$; $U_d=0,60 \cdot U_{CES}$; $i_C(t_0)=-2 \cdot I_N$; Messung 1: $di/dt=0,34\text{ I}_N/\mu\text{s}$; Messung 2: $di/dt=0,57\text{ I}_N/\mu\text{s}$; Messung 3: $di/dt=0,80\text{ I}_N/\mu\text{s}$	79
Abbildung 36: Maximale Schaltleistung in Abh. des Stromanstieges di/dt ; $T_J=25\text{ °C}$; $t_{Diode}=200\text{ }\mu\text{s}$; $U_d=0,60 \cdot U_{CES}$; $i_C(t_0)=-2 \cdot I_N$	80
Abbildung 37: Zeitverläufe von u_{CE} , i_C & p beim KS IV ; $T_J=25\text{ °C}$; $t_{Diode}=200\text{ }\mu\text{s}$; $i_C(t_0)=-$ $2 \cdot I_N$; $di/dt=0,77\text{ I}_N/\mu\text{s}$; Messung 1: $U_d=0,42 \cdot U_{CES}$; Messung 2: $U_d=0,55 \cdot U_{CES}$; Messung 3: $U_d=0,67 \cdot U_{CES}$	81
Abbildung 38: Maximale Schaltleistung in Abh. der Modulzwischenkreisspannung U_d ; $T_J=25\text{ °C}$; $t_{Diode}=200\text{ }\mu\text{s}$; $i_C(t_0)=-2 \cdot I_N$; $di/dt=0,77\text{ I}_N/\mu\text{s}$	82
Abbildung 39: Zeitverlauf i_C & u_{CE} eines KS IV ; $T_J=125\text{ °C}$; $t_{Diode}=10\text{ }\mu\text{s}$; $i_C(t_0)=-0,021 \cdot I_N$	84
Abbildung 40: Maximale Kollektor-Emitter-Spannung in Abh. der Diodenleitdauer ; $U_d=0,67 \cdot U_{CES}$; $di/dt=[0,3 \dots 0,45] \cdot I_N/\mu\text{s}$	84
Abbildung 41: Messschaltung zur Reihenschaltung verschieden lang leitender Dioden ..	86
Abbildung 42: Fiktive Schaltung zur Herleitung der Seriendioden-Messschaltung	87
Abbildung 43: Zeitverlauf, Strom & Spannung einer Freilaufdiode bei kleinem Zweigstrom, $T_J=125\text{ °C}$	90
Abbildung 44: Zeitverlauf, Strom & Spannung einer Freilaufdiode bei mittlerem Zweigstrom, $T_J=125\text{ °C}$	91
Abbildung 45: Zeitverlauf, Strom & Spannung zweier Dioden	92
Abbildung 46: Messschaltung zur Untersuchung des KS IV bei nicht konstantem di/dt ...	95
Abbildung 47: Prinzipieller Stromverlauf bei Messungen mit nicht konstantem di/dt	96
Abbildung 48: Vergleichsmessung ohne Abflachen des Zweigstroms nach Stromnulldurchgang	98

Abbildung 49: Nach Stromnulldurchgang abflachender Zweigstrom	100
Abbildung 50: Vergleichsmessung mit verzögertem Einschalten von KS	101
Abbildung 51: Vor Stromnulldurchgang abflachender Zweigstrom inkl. Vergleichsmessungen.....	102
Abbildung 52: Drei verschieden früh steiler werdende Zweigströme; $T_J=25\text{ °C}$	104
Abbildung 53: Drei verschieden früh steiler werdende Zweigströme ; $T_J=125\text{ °C}$	105
Abbildung 54: Maximale Schaltleistung in Abh. vom Zeitpunkt der di/dt -Änderung	106
Abbildung 55: Zeitverlauf u_{CE} & i_C eines RC-IGBT im KS IV ; $T_J=125\text{ °C}$; $t_{Diode}=200\text{ }\mu\text{s}$.	108
Abbildung 56: Zeitverlauf der Schaltleistung eines RC-IGBT im KS IV ; $T_J=125\text{ °C}$; $t_{Diode}=200\text{ }\mu\text{s}$	108
Abbildung 57: Geöffnete Prüfwelle mit Bedienpult außen und Messtechnik innen	114
Abbildung 58: Kondensatorverschönerung des Leistungsteils.....	115

Tabellenverzeichnis

Tabelle 1: Beispieldatensätze für Simulationen	24
Tabelle 2: Fallunterscheidung: Einteilung in 13 Kategorien	29
Tabelle 3: Unterteilung der Kategorien in je sechs Fälle.....	30
Tabelle 4: Legendenaufschlüsselung zu Abbildung 17 nach Abs. 2.2.4	44
Tabelle 5: Schaltleistung kurz leitender Dioden bei variiertem L_σ und U_{Abl}	94

Abkürzungsverzeichnis

C_{AC}	AC- Kapazität
DGL	Differentialgleichung
di/dt	Stromänderungsgeschwindigkeit
DUT	Device Under Test
$I_{Abl N}$	Prüfstrom zur Bestimmung d. max. Klemmspannung des Ableiters
i_C	Kollektorstrom
IGBT	Insulated Gate Bipolar Transistor
I_N	Nennstrom (bzw. Nennstrom eines Halbleitermoduls)
L_σ	Streuinduktivität
M3C	Modular Multilevel Matrix Converter
MMC	Modular Multilevel Converter
$P_{RR MAX}$	maximal zulässige Reverse-Recovery-Schaltleistung
R_{Abl}	Ableiterwiderstand
RC-IGBT	Reverse Conducting IGBT
r_{Diff}	Differentieller Widerstand
SM	Submodul
STATCOM	Static Synchronous Compensator
t_{Diode}	Leitdauer der Diode
$U_{Abl N}$	Ableiterklemmspannung bei Prüfstrom
U_{CE}	Kollektor-Emitter-Spannung
U_{CES}	Maximal zulässige Kollektor-Emitter-Spannung
\bar{U}_d	Mittlere Modulzwischenkreisspannung
U_{DC}	Normalbetriebliche Gleichspannung des Gesamtumrichters
U_F	Durchlassspannung
u_{GE}	Gate-Emitter-Spannung
U_k	Kurzschlussspannung

1. Einleitung

1.1 Motivation

Anlass zu den Untersuchungen und Analysen dieser Dissertation sind grundlegende Überlegungen dazu, welche besonderen elektrischen Belastungen sich für Leistungshalbleiter aus dem Aufbau eines Modulare Multilevel Converters (MMC) ergeben. Der Aufbau in Absatz 1.2 zeigt, im Zusammenhang mit den folgenden Analysen, dass die meisten, der in einem MMC stattfindenden Kommutierungen identisch zu Kommutierungen von gewöhnlichen Zweipunktumrichtern sind. Dadurch kann durch übliche Schaltversuche das Einhalten der herstellerseitigen Spezifikationen der Leistungshalbleiter nachgewiesen werden. Dies gilt für alle normalbetrieblichen Kommutierungen.

Durch den speziellen Aufbau eines MMC können jedoch bei anderen Vorgängen wie beispielsweise dem Blockieren – einer Art Notabschaltung – Beanspruchungen für die Halbleiter entstehen, die nicht durch die üblichen Schaltversuche abgeprüft werden können. Aufgabe der vorliegenden Dissertation ist es, zu untersuchen, unter welchen Randbedingungen solche Belastungen stattfinden, sowie zu analysieren, welche Parameter Einfluss auf die Belastung haben.

1.2 Aufbau des MMC

Der Aufbau eines MMC ist bereits vielfach in diversen Veröffentlichungen erläutert worden. So beschreiben beispielsweise Lesnicar und Marquard den MMC bereits 2003 ausführlich[1]. Wie der Name schon sagt, besteht ein solcher Converter aus vielen modularen, identischen Untereinheiten. Diese Einheiten werden Modul bzw. Submodul (SM) genannt. In der Regel werden mehrere, bis zu einigen Hundert, dieser Module in Serie geschaltet. Durch die variable Anzahl der Module ist ein solcher Converter in weiten Bereichen skalierbar. Ein solches Modul besteht aus zumindest einem Kondensator zur Energiespeicherung – ohne äußere Energieeinspeisung – und weiteren Leistungshalbleiterbauteilen. Diese Leistungshalbleiterbauteile bilden im einfachsten Fall, wie in Abbildung 1 dargestellt, eine Halbbrücke. Es sind auch Vollbrücken, sowie eine Vielzahl weiterer Konfigurationen möglich [2]. Jedoch wird im Rahmen dieser Arbeit die Einschränkung auf Halbbrücken getroffen, da sich hieraus im Fehlerfall die größten Einschränkungen ergeben. Alle anderen Konfigurationen vereinfachen in der Regel die Fehlerbehandlung und sind daher von geringerem Interesse. Die Reihenschaltung von Modulen bildet im regelungstechnischen Sinn eine steuerbare Spannungsquelle, jedoch mit der Einschränkung, dass die Energiebi-

lanz im zeitlichen Mittel null sein muss. Wie Abbildung 1 zeigt, lässt sich aus sechs solcher Spannungsquellen jeweils zuzüglich einer Filterdrossel ein dreiphasiger Umrichter konstruieren. Damit ist das Ersatzschaltbild des MMC zur Betrachtung von normalbetrieblichen Vorgängen und für Regelungsbelange bereits vollständig. Eine Submodulreihe zuzüglich der Filterdrossel wird Zweig genannt. Zwei Zweige bilden eine Phase des Umrichters. Die normalbetrieblich übliche Spannung zwischen den Punkten „A“ und „B“ aus Abbildung 1 wird U_{DC} , oder auch DC-Spannung, genannt. Bei großen Umrichtern ist diese Spannung in Bezug zum Erdpotential in der Regel symmetrisch.

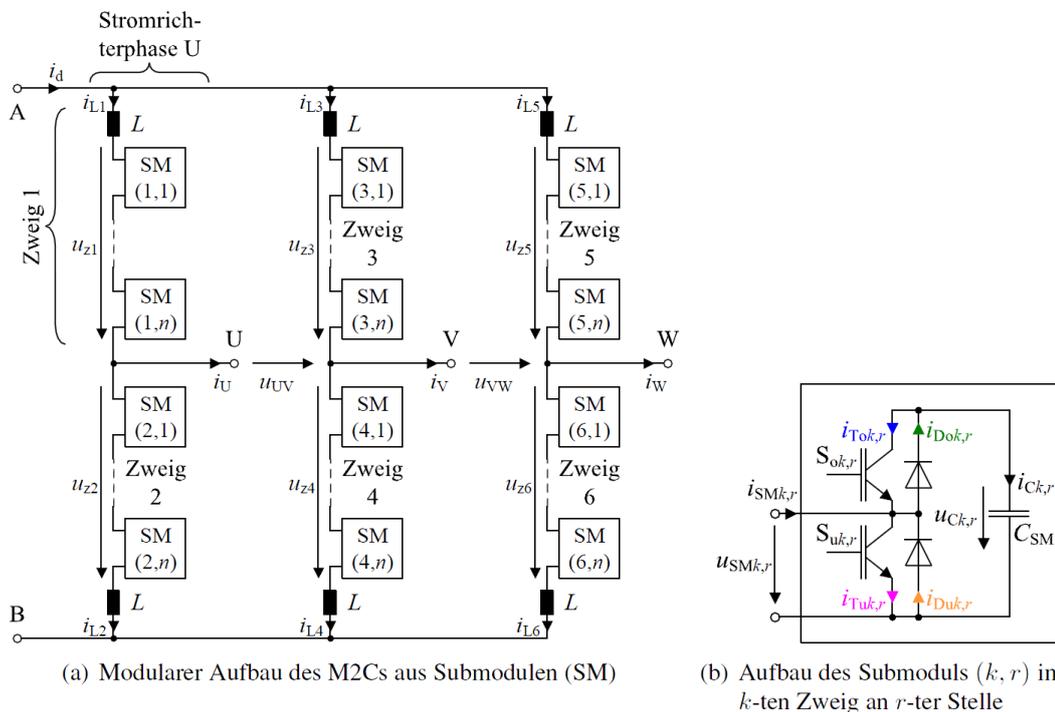


Abbildung 1: Aufbau des MMC [3, S. 14]

Ein MMC kann durch geeignete Maßnahmen eine hohe Betriebssicherheit aufweisen. So werden in größeren Umrichtern zu jeder Serie aus Modulen in der Regel Reservemodule eingebaut. Falls nun ein Modul ausfällt, muss dies lediglich sicher kurzgeschlossen werden. Der Umrichter kann sogar unterbrechungsfrei in Betrieb bleiben [4]. Dieses sichere Kurzschließen ist eine technische Herausforderung für sich, soll aber nicht Teil dieser Arbeit sein und demzufolge nicht weiter thematisiert werden.

Zur Betrachtung von außerordentlichen Betriebszuständen müssen, neben den Modulen und den Zweigdrosseln, noch weitere Elemente in das Ersatzschaltbild aufgenommen werden. In der Regel wird der Umrichter bei einem Fehler zunächst in den Blockzustand versetzt. Das bedeutet, dass alle steuerbaren Leistungsschalter ausgeschaltet werden. Ab-

hängig von dem abzuschaltenden Strom und den beteiligten Induktivitäten können dadurch sehr hohe Spannungen auftreten. Um einen Lichtbogenüberschlag zu vermeiden und die Spannung zu begrenzen, sind in größeren MMCs regelmäßig Überspannungsbegrenzungen verbaut. Es wäre auch möglich, die Isolierung auf die höchstmögliche Spannung auszulegen, doch bei großen Umrichtern ist dies oft die teurere Variante. Solche Überspannungsbegrenzungen werden auch Überspannungsableiter oder kurz Ableiter genannt. Sobald diese beginnen Strom zu führen, werden weitere Elemente des MMC wichtig. So bestimmt vor allem die parasitäre Induktivität über eine Reihe aus Modulen, wie schnell ein Strom in den Ableiter kommutieren kann. Weiterhin kann für eine detailliertere Betrachtung der Kommutierungsvorgänge eine Reihe von parasitären Kapazitäten relevant sein. Die relevanten Elemente sind in Abbildung 2 ergänzt. Da zur Untersuchung des Blockierens eines MMC eine Phase des Umrichters genügt, wurde in Abbildung 2 auf die dreiphasige Darstellung verzichtet. Die beiden Ableiter $R_{Abl\ 1}$ und $R_{Abl\ 2}$ sind in Abbildung 1 nicht enthalten. Im Absatz 3.1 sowie zu Beginn des Absatzes 3.2 wird auf deren Notwendigkeit eingegangen. Weiterhin wurden in Abbildung 1 die parasitären Streuinduktivitäten $L_{\sigma\ 1,2}$ vernachlässigt. Diese sind jedoch entscheidend für die im Verlauf dieser Arbeit betrachteten Kommutierungsvorgänge. Sie repräsentieren die verteilt auftretenden Induktivitäten durch die Verbindungen der Submodule untereinander. Da Elemente einer Serienschaltung vertauschbar sind, können sie zu einer einzelnen konzentrierten Streuinduktivität des Zweiges zusammengefasst werden. In realen Systemen kann es einen weiteren Ableiter am AC-Knoten geben. Da dieser bei einer Taktsperre ohne weitere Fehler nicht aktiv wird, wird er im weiteren Verlauf dieser Arbeit vernachlässigt. Weiterhin ist in Abbildung 2 die Kapazität C_{AC} , oder auch AC-Kapazität, dargestellt. Diese repräsentiert sämtliche parasitären Kapazitäten des AC-Knotens, vor allem Wicklungskapazitäten des Transformators sowie Leitungs- und Durchführungskapazitäten. Elemente mit dem tiefgestellten Index „1“ werden im Folgenden auch als Element des oberen Zweiges bezeichnet. Analog dazu befinden sich Elemente mit dem Index „2“ im unteren Zweig.

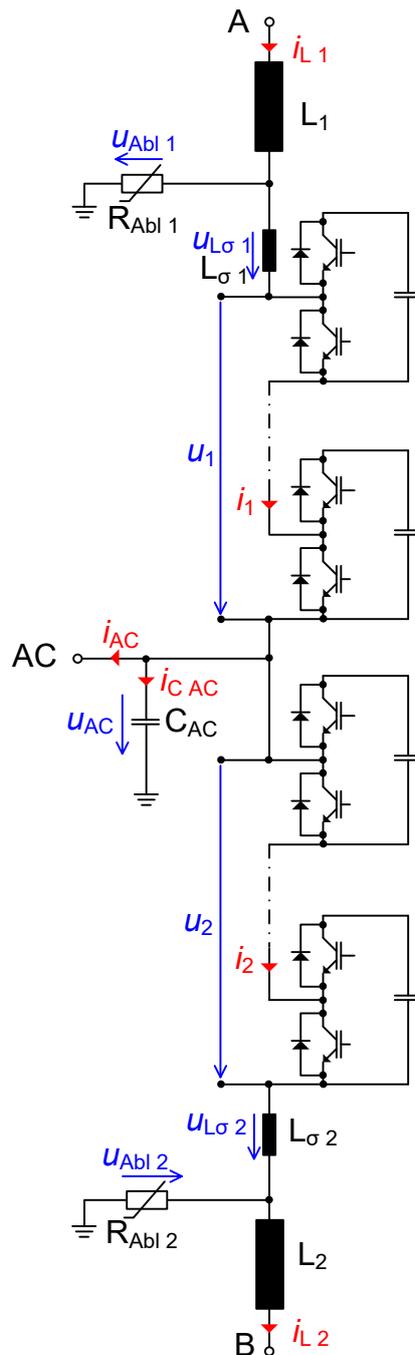


Abbildung 2: Einzelphase mit parasitären Elementen

1.3 Funktion des MMC

Die zwei Reihen aus Submodulen fungieren als zwei steuerbare Spannungsquellen. Damit kann sowohl eine AC-Spannung als auch eine treibende Spannung für die Zweigdrosseln zur gezielten Beeinflussung des Zweigstromes vorgegeben werden. Üblicherweise werden MMC eingesetzt um Leistung zwischen DC- und AC-Netzen zu übertragen. Im Bereich der Hochspannungs-Gleichstrom-Übertragungen sind derzeit die größten MMC zu finden.

MMC ermöglichen einen bidirektionalen Leistungstransfer. Weiterhin können MMC AC-seitig Blindleistung kompensieren. Eine Spezialform der MMC ist die Verwendung als Static Synchronous Compensator (STATCOM). Hier bleibt die DC-Seite offen, oder abhängig von der Topologie ist keine DC-Seite als solche vorhanden. Die gesamte Anlage dient nur der Blindleistungskompensation [5]. Ist ein MMC mit Vollbrückenmodulen ausgestattet, ist auch eine Leistungsübertragung zwischen zwei AC-Netzen möglich. Ist eines der Netze einphasig und sind die Netzfrequenzen unterschiedlich, wie bei Bahn-Netz-Kupplungen, dann genügt ein MMC für diese Anwendung. Sind beide Netze dreiphasig, so stehen mehrere Topologien zu Auswahl. Es können hierfür beispielsweise zwei MMC in einer back-to-back Konfiguration sowie ein Hexverter [6], als auch ein Modular Multilevel Matrix Converter (M3C) [7] verwendet werden.

1.3.1 Regelung im Normalbetrieb

Im Normalbetrieb überträgt ein MMC Leistung von der DC-Seite zur AC-Seite oder umgekehrt. Dabei ist, zumindest bei MMC aus Halbbrückenmodulen, der Spitzenwert der AC-Spannung kleiner als die halbe DC-Spannung. Befindet sich der Umrichter im geregelten Betrieb, so werden gezielt Module innerhalb eines Zweiges ein- und ausgeschaltet. Dies erzeugt die gewünschte AC-Spannung und gewährleistet ein energetisches Gleichgewicht unter den Submodulen. Dazu wird zum einen die Zweigspannung so angepasst, dass die resultierende Spannung über der Zweigdrossel den Zweigstrom in die gewünschte Richtung treibt. Zum anderen werden aus den Modulen im Zweig, abhängig von der Stromrichtung, diejenigen ausgewählt, die geladen beziehungsweise entladen werden müssen, um sich dem energetischen Mittel des Zweiges anzunähern. Um den Energiegehalt der Zweige untereinander zu symmetrieren, können Kreisströme angeregt werden. Diese fließen umrichterintern über zwei Zweige und sind an den äußeren Klemmen nicht messbar. Im Detail ist die Regelung eines beispielhaften MMC in der Dissertation von Steffen Rohner beschrieben [3].

1.3.2 Taktsperre – Übergang in einen sicheren Zustand

Die Bezeichnung Taktsperre beschreibt das Vorgehen das angewendet wird um, nach der Erkennung eines Fehlers, bzw. nach der Überschreitung eines festgelegten Grenzwertes, das System in einen sicheren Zustand zu überführen. Dabei werden alle Halbleiter abgeschaltet. Dieser Prozess wird auch Blockieren des Umrichters genannt. Die am nächsten liegende Vermutung ist, dass das System in einer gedämpften Schwingung abklingen wird,

bis alle Ströme zu null geworden sind. Der Vorgang ist jedoch weitaus komplexer. Es kann vorkommen, dass die Halbleiter, vor allem die Dioden, über ihre spezifizierten Grenzen hinaus belastet werden. Die detaillierte Analyse auf den folgenden Seiten ist notwendig, um, durch eine geeignete Auslegung oder andere Gegenmaßnahmen, eine Beschädigung der Bestandteile des MMC auszuschließen und einen ausfallsicheren Betrieb zu gewährleisten.

1.3.3 Potentielle Belastungen der Leistungshalbleiter

Bei einem Blockiervorgang werden alle Insulated Gate Bipolar Transistoren (IGBT) abgeschaltet. Stromführende IGBT nehmen dabei zunächst Spannung auf und kommutieren den Zweigstrom gatestromgesteuert ab zur gegenüberliegenden Freilaufdiode. Dies entspricht einem normalbetrieblichen Abschalten und führt somit zu keiner erhöhten Belastung. Ist der IGBT nicht stromführend, sondern die antiparallele Freilaufdiode, so leitet diese den Zweigstrom nach dem Blockieren zunächst weiter. Auch hier kommt es zu keiner erhöhten Belastung. Bei submodulinternen Kommutierungen sind demnach keine kritischen Belastungen zu erwarten.

Im Blockierfall findet durch das zeitgleiche Schalten vieler Submodule eine sehr schnelle, fast sprungartige, Zweigspannungsänderung statt. Dies ist kein normalbetriebliches Ereignis und hat zur Folge, dass durch die höhere treibende Spannung an den wirksamen Induktivitäten ein steileres di/dt des Zweigstromes entsteht. Dieser Effekt wird insbesondere durch gegebenenfalls ansprechende Überspannungsableiter verstärkt. Ein erhöhtes di/dt beim Abkommutieren einer Diode kann zum Überschreiten der Spezifikationen des Herstellers führen. Dies kann unter anderem zur Zerstörungen des betreffenden Bauteils führen. Ein einzelnes ausfallendes Bauteil ist für größere MMC unkritisch. Für diesen Fall wird in der Regel eine heiße Redundanz vorgesehen [8]. Dies ermöglicht eine erhebliche Fehlertoleranz des Gesamtsystems. Eine Zweigstromänderung betrifft jedoch alle Submodule im Zweig. Daher besteht die Chance, dass eine große Menge an Bauteilen ausfällt und ein Aufrechterhalten des Betriebes ausgeschlossen ist.

Im Fall des Abkommutierens von Dioden bei einem Blockiervorgang handelt es sich nicht mehr um ein reguläres Reverse-Recovery-Verhalten, sondern um ein Kurzschlussfall-IV-Verhalten. Die Anregung der Kommutierung erfolgt in diesem Fall durch den Richtungswechsel des Zweigstromes. Im Unterschied dazu erfolgt bei einem Reverse-Recovery die Anregung der Kommutierung durch den gegenüberliegenden IGBT inner-

halb des Submoduls. Zum Vergleich sind in Abbildung 3 und Abbildung 4 beide Verhalten beispielhaft dargestellt.

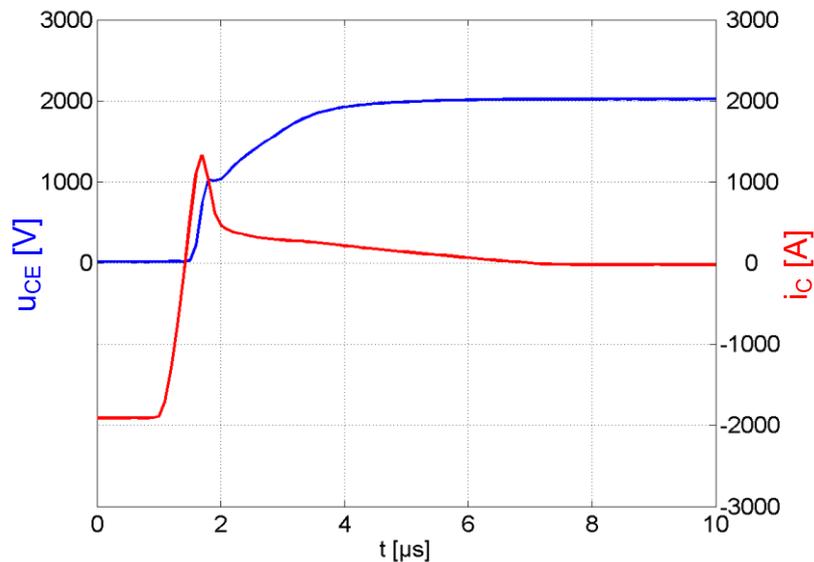


Abbildung 3: Reverse-Recovery-Verhalten einer Freilaufdiode aus einem IGBT-Modul[9]

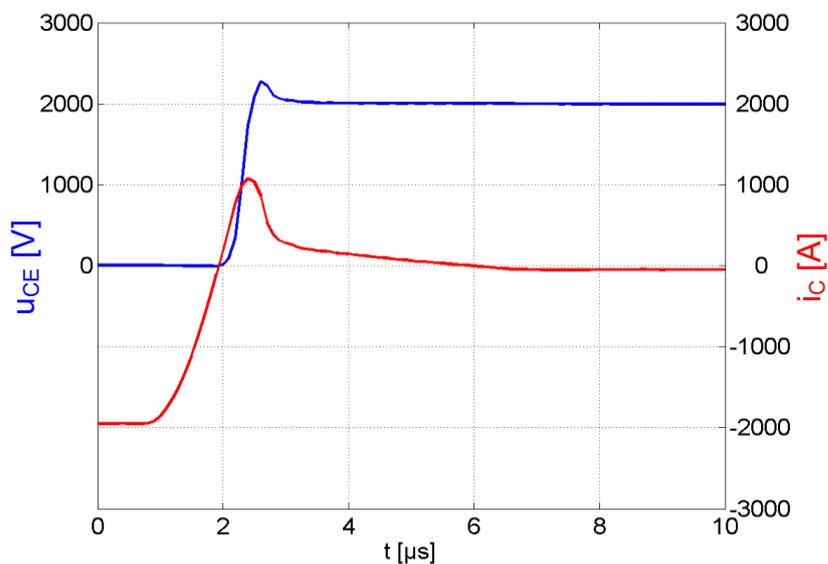


Abbildung 4: Kurzschlussfall-IV-Verhalten einer Freilaufdiode aus einem IGBT-Modul[9]

Beim Reverse-Recovery, dem normalbetrieblichen Abkommutieren, sinkt am gegenüberliegenden einschaltenden IGBT, während der „dynamischen Sättigungsphase“, die Kollektor-Emitter-Spannung nur noch langsam[10, S. 53]. Wie Abbildung 3 zeigt ist die Spannung der Diode daher auch nach der Rückstromspitze noch deutlich kleiner als die Zwischen-

kreissspannung, die dem stationären Endwert der Diodenspannung entspricht. Dies entlastet die Diode.

Doch bei einem Blockiervorgang ist die Kommutierung getrieben von der Änderung des Zweigstromes. Eine Entlastung, durch den gegenüberliegenden IGBT, findet im Kurzschlussfall IV nicht statt. Zu der vollen Zwischenkreissspannung kommt, wie Abbildung 4 zeigt, zusätzlich die Forward-Recovery-Spannung der gegenüberliegenden Diode hinzu. Dies erhöht die Spannung an der abkommutierenden Diode und steigert so deren Belastung [11, S. 69]. Aus dem Kurzschlussfall IV resultieren zwei mögliche Arten der Belastung einer Diode:

Die erste Belastungsart ist das Überschreiten der zulässigen Schaltleistung beim Abkommutieren einer Diode. Dies ist unter ungünstigen Randbedingungen bei einem Blockiervorgang möglich. Die Schaltleistung korrespondiert mit dem zuvor geführten Zweigstrom, und ist daher bei eher großen Zweigströmen kritisch.

Weiterhin zeigt sich, ebenfalls beim Abkommutieren einer Diode, ein sogenanntes snappiges Schaltverhalten. Dies ist vor allem bei kleinen Zweigströmen der Fall [10, S. 35 ff.]. Zusätzlich dazu fördert eine kurze Leitdauer das Auftreten dieses unerwünschten Effekts [11, S. 127]. In der betreffenden Diode sinkt dabei der Rückstrom plötzlich auf null. Dadurch kommutiert der Strom sehr schnell innerhalb des Submoduls. Durch die Streuinduktivität des Submoduls wird eine hohe Spannung induziert. Dies kann dazu führen, dass Leistungshalbleiter mit Spannungen beansprucht werden, die außerhalb des zulässigen Bereichs liegen.

Beide Fälle sind Formen eines Kurzschlussfalls IV und können bei Überschreitung des regulär spezifizierten Betriebsbereichs zum Ausfall führen. Daher soll folgend analysiert werden, unter welchen Randbedingungen diese Kommutierungen kritisch werden.

Eine der wichtigsten Größen beim Abkommutieren von Dioden ist die maximale Schaltleistung. Sie ist ein Maß für die Feldstärkebelastung innerhalb der Diodenchips [11, S. 42, 12, S. 8]. Die Schaltleistung einer Diode hängt von vielen Faktoren ab. Dazu zählen der Strom vor der Kommutierung, die Geschwindigkeit mit der der Strom abkommutiert und die Diodenleitdauer vor der Kommutierung [11, S. 127]. Die Zwischenkreissspannung beeinflusst ebenfalls die resultierende Schaltleistung, hier ist eine lineare Anhängigkeit zu erwarten.

Es wird im Verlauf dieser Arbeit gezeigt, dass bei Dioden, die nur kurz in Vorwärtsrichtung leitend waren, eine verringerte Schaltleistung auftritt. Kurz leitende Dioden sind geringer mit Ladungsträgern geflutet als länger leitende Dioden. Eine geringere Ladungsträgerkon-

zentration macht sich durch eine verringerte Reverse-Recovery-Ladung bemerkbar. Daraus resultiert auch die messbar verringerte Schaltleistung. Kurz leitend soll in diesem Zusammenhang heißen, dass die Ladungsträgerkonzentration noch nicht so hoch ist wie im stationären Durchlass. Die Plasmadynamik ist entscheidend dafür bei unterschreiten welcher Leitdauer von kurz leitenden Dioden gesprochen werden muss. Die Plasmadynamik hängt wesentlich von der Chipdicke und damit von der Sperrspannung ab. Wie die späteren Messungen zur Schaltleistung im Abschnitt 4.1.1 belegen, kann bei hochsperrenden Bauelementen unterhalb einer Leitdauer von 25 μs von kurz leitend gesprochen werden.

1.4 Literatur & der aktuelle Stand der Technik

Es existiert derzeit bereits reichlich Fachliteratur zum MMC. Darunter finden sich vor allem Werke, wie die oben genannten, die sich mit der Funktion und der Regelung eines MMC auseinandersetzen. Zum Verhalten eines MMC im Fehlerfall beschränkt sich der Stand der Wissenschaft derzeit auf intensive Untersuchungen zum HVDC Breaker. Diese können zwar zunehmend größere Fehlerströme bei immer höheren Spannungen abschalten[13], aber Prinzip bedingt lassen sich die Belastungen durch einen Blockiervorgang dadurch nicht reduzieren. Zum Thema Blockierverhalten gibt es derzeit praktisch keine Untersuchungen in der Art wie sie diese Dissertation bereit stellt. Das heißt einerseits handelt es sich demnach aus wissenschaftlicher Perspektive um neue erstmals veröffentlichte Untersuchungen. Andererseits muss zur Kenntnis genommen werden, dass bereits mehrere MMC großer Leistung in Betrieb sind, ohne dass es vermehrt Meldungen über Ausfallzeiten gegeben hätte. Es ist also davon auszugehen, dass die Problematik in der Wirtschaft bekannt ist oder zumindest durch ausreichende Reserven bedacht wird. Demnach gibt es vermutlich bereits eine Reihe von Untersuchungen zum Blockierverhalten des MMC. Diese sind jedoch als Betriebsgeheimnis eingestuft und daher nicht veröffentlicht. Die vorliegende Dissertationsschrift kann deshalb nur in sehr geringem Umfang auf bestehende Literatur zurückgreifen. Der Wissensrückstand öffentlich verfügbare Quellen gegenüber der Wirtschaft wird durch diese Arbeit verringert. Diese Dissertation treibt den Stand der Wissenschaft in diesem Forschungsbereich voran.

2. Methodik

In diesem Abschnitt sollen kurz die angewandten Methoden erläutert werden. Dies gibt einen Überblick über die wissenschaftlichen Vorgehensweisen im Rahmen dieser Dissertation. Wegen der verschiedenen Startbedingungen wird eine Fallunterscheidung durchgeführt. Die einzelnen Fälle werden mittels der folgend beschriebenen theoretischen Analyse untersucht. Bei Bedarf erfolgen detailliertere Untersuchungen durch Simulationen und Messungen. Dafür wird im Folgenden auch auf die Simulationsmethoden und verwendeten Modelle eingegangen. Der darauf folgende Absatz zu den Messmethoden beschreibt allgemein und kurz die Gegebenheiten der genutzten Prüfschaltung. Um den Ergebnissen nicht vorweg zu greifen, erfolgt die Beschreibung der jeweiligen Testschaltungen unmittelbar vor den Messungen.

2.1 Theoretische Analyse

Das Blockieren eines MMC kann, entsprechend der angenommenen Randbedingungen, sehr verschiedene Verhaltensweisen hervorrufen. Der Blockiervorgang ist um ein Vielfaches schneller als die übliche Netzfrequenz von 50 Hz. Demnach kann die Netzspannung zum Zeitpunkt des Blockierens als konstanter Wert angenommen werden. Da jedoch der Blockierzeitpunkt in der Regel nicht deterministisch vorhersagbar ist, muss das Verhalten bei jeder möglichen Netzspannung analysiert werden. Hierzu werden verschiedene Fälle unterschieden. Durch weitere Parameter, wie zum Beispiel die Phasenlage des Netzstromes und die daraus resultierende Energieflussrichtung, entsteht eine Vielzahl unterscheidbarer Fälle. Auf diese Fälle wird im Abschnitt 3.2 genauer eingegangen. Es erfolgt eine Einteilung in verschiedene Gruppen und eine erste gedankliche Analyse des Systemverhaltens.

Um diese Analyse durchführen zu können, werden einige Vereinfachungen angenommen. Dies beinhaltet ein ideal sprunghaftes Abschalten der IGBT und die Annahme eines idealen Ableiters, der ab Überschreiten der Schwellspannung beliebig viel Strom leiten kann. Ziel der theoretischen Analyse ist es einzelne Fälle zu identifizieren, bei denen die Halbleiterbelastung größer ist als bei einer normalbetrieblichen Kommutierung. Diese Fälle werden anschließend durch Schaltungssimulationen unter Variation weiterer Parameter genauer untersucht.

2.2 Simulationsmethoden

Die Schaltungssimulationen beschränken sich auf die Fälle, die zuvor durch theoretische Analyse als Fälle mit besonderen Halbleiterbelastungen oder Effekten ermittelt wurden. Es werden einige MMC-Parameter variiert, da viele parasitäre Eigenschaften nur ungenau bekannt, oder gezielt beeinflussbar und somit veränderbar sind. Zur Modellbildung wird im Folgenden ein angepasstes Konvertermodell erstellt. Ein Rechenmodell kann das Blockierverhalten eines MMC und den Zeitverlauf aller Strom- und Spannungswerte günstiger und schneller zugänglich machen als ein vollständiger MMC-Versuchsaufbau. Messungen an einem realen Aufbau, wären gerade für einen MMC, abhängig von dessen Größe, unverhältnismäßig aufwändig, teuer und langwierig.

Das Konvertermodell, das daher entwickelt wurde, schließt ein IGBT-Modell mit ein, welches die begrenzte Anstiegsgeschwindigkeit der Kollektor-Emitter-Spannung berücksichtigt. Um zu genaueren Ergebnissen zu gelangen als mit der theoretischen Analyse, wurde zusätzlich eine realistische Ableiterkennlinie hinterlegt. Um die Rechenzeit kurz zu halten, wird, wie folgend beschrieben, eine Reihe von Vereinfachungen angenommen.

Aufgrund der Beschaffenheit des IGBT-Modells und der primitiven Nachbildung der Dioden, mittels einer linearisierten statischen Durchlasskennlinie, ergibt sich, vor allem nach dem Zweigstromnulldurchgang, eine eingeschränkte Gültigkeit der Modelle. Einige relevante Daten können daher nicht durch Simulationen ermittelt werden. Dazu zählt vor allem das dynamische Reverse-Recovery-Verhalten der Dioden, beziehungsweise bei besonders harten Kommutierungsvorgängen, das Kurzschlussfall-IV-Verhalten der Dioden. Durch die Simulation werden demnach keine direkten Ergebnisse für Halbleiterbelastungen ermittelt. Eine so vereinfachte Simulation kann jedoch gut die Randbedingungen für diese Vorgänge bestimmen. Um belastbare Ergebnisse für Halbleiterbeanspruchungen zu ermitteln, muss die Simulation um entsprechende Messungen ergänzt werden. Für diese Messungen ist jedoch kein vollständiger MMC notwendig. Die Messungen werden an einem einzelnen Submodul durchgeführt. Die Randbedingungen dafür werden zuvor durch die Simulationen bestimmt.

Im Folgenden wird die Beschaffenheit des verwendeten Simulationsmodells detailliert beschrieben. Dabei wird ein beispielhafter Satz an auslegungsrelevanten und parasitären Eigenschaften gegeben. Weiterhin werden zu den parasitären Eigenschaften, wie Streuinduktivität und AC-Kapazität, alternative Werte angegeben. Diese Werte liegen im relevanten Wertebereich für reale MMC-Anwendungen und sollen gegebenenfalls dazu dienen, mittels der Simulation eine Abhängigkeit verschiedener Effekte von den parasitären Eigen-

schaften zu untersuchen. Diese parasitären Eigenschaften sind Eingangsgrößen des Simulationsmodells. Weitere relevante Eingangsgrößen der Simulationen sind die Momentanwerte der MMC-internen Ströme und Spannungen unmittelbar vor dem Blockieren. Diese Parameter werden im Zuge der Simulationen im technisch relevanten Bereich variiert.

Als Ergebnis jeder einzelnen Simulation werden die Zeitverläufe der Zweigspannungen, die der AC-Spannung und die der Zweigströme dargestellt. Die Darstellung erfolgt normiert. Spannungen werden dabei auf die DC-Spannung U_{DC} bezogen dargestellt. Ströme werden im Verhältnis zum Nennstrom I_N skaliert. Gegebenenfalls dargestellte Stromgradienten sind ebenfalls auf den Nennstrom I_N bezogen. Daraus ergibt sich für die normierte Stromänderungsgeschwindigkeit die Grundeinheit $1/s$ anstelle von A/s . Die Einheit $1/s$ ist in diesem Zusammenhang zu deuten als eine Stromänderungsgeschwindigkeit von einmal Nennstrom pro Sekunde.

2.2.1 Konvertermodellbildung

Um ein MMC-Blockierverhalten zu simulieren, ist zu überlegen, welche Bestandteile eines MMC dafür von Bedeutung sind und wie diese bestmöglich nachgebildet werden können. Hier muss Genauigkeit gegen Geschwindigkeit abgewogen werden. Auf eine hohe Präzision des MMC-Modells wird verzichtet, da die unbekannt parasitären Größen wie L_G und C_{AC} voraussichtlich einen größeren Einfluss auf das Blockierverhalten haben als die Restungenauigkeit der verwendeten Modelle. Zudem stehen zügige Simulationsergebnisse im Fokus. Einige der notwendigen Vereinfachungen für ein performantes Rechenmodell betreffen das verwendete IGBT-Modell und sind in dem zugehörigen Absatz 2.2.2 zu IGBT-Modellbildung genauer erläutert. Für alle Teile des Konverters wurden zudem sämtliche Temperaturabhängigkeiten vernachlässigt.

Das Modell zu Konverternachbildung ist ebenfalls auf wenig Rechenaufwand ausgelegt. Wie das in Abbildung 5 dargestellte Modell zeigt, wird auf eine dreiphasige Simulation verzichtet. Dies erhöht die Übersichtlichkeit und Strukturierbarkeit der Ergebnisse.

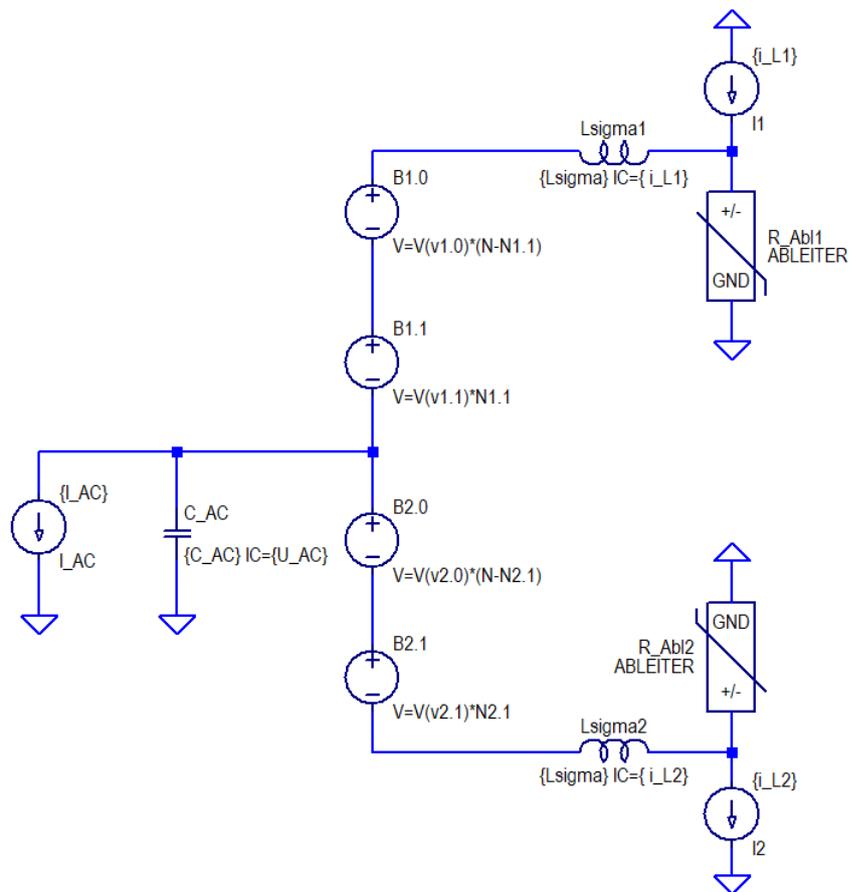


Abbildung 5: ESB zur Simulation einer Einzelphase

Die beiden Zweige sind, wie Abbildung 5 zeigt, jeweils unterteilt in zwei Spannungsquellen, B1.0 und B1.1, beziehungsweise B2.0 und B2.1, sowie eine zusammengefasste Streuinduktivität, hier ersatzweise $L_{\sigma 1}$ und $L_{\sigma 2}$ statt $L_{\sigma 1}$ und $L_{\sigma 2}$ aus Abbildung 2. Die Spannungsquellen repräsentieren jeweils eine Gruppe von Submodulen. In einer Gruppe von Submodulen ist die Ausgangsspannung vor dem Blockieren, abgesehen von der Fluss- bzw. Durchlassspannung, null. In der anderen Gruppe entspricht die Ausgangsspannung der Modulzwischenkreisspannung. Diese Spannungsquellen werden von dem Zweigstrom durchflossen. Gemäß Abbildung 6 werden vier einzelne Submodule simuliert. Dafür werden zu den Modulen Stromquellen in Reihe geschaltet, die den Zweigstrom spiegeln.

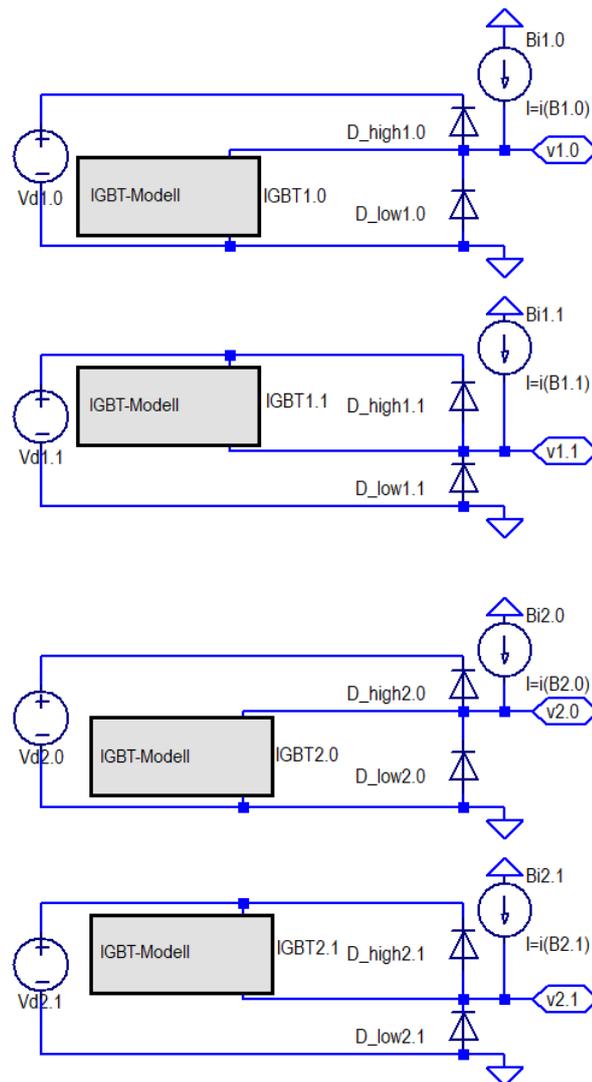


Abbildung 6: ESB-Bestandteil vier Einzelsubmodule

Die Modulausgangsspannung wird je Zweig multipliziert mit der Anzahl der Module, deren Ausgangsspannung initial null, beziehungsweise Zwischenkreisspannung, war. Es ergeben sich die Spannungen der vier Spannungsquellen aus Abbildung 5. Von den vier einzeln simulierten Modulen sind jeweils zwei für die Berechnungen des oberen Zweiges und zwei für die des unteren Zweiges vorgesehen. Die Nummerierung der Elemente zeigt mit der Ziffer vor dem Punkt an, ob es sich um ein Element des oberen Zweiges – 1 –, oder des unteren Zweiges – 2 – handelt. Die letzte Ziffer ist Null, wenn das Element Teil eines Submoduls mit einer Ausgangsspannung von null ist. Entspricht die Ausgangsspannung der Modulzwischenkreisspannung, ist die letzte Ziffer aller Elemente eines solchen Moduls eine Eins. In jedem Modul befindet sich ein Zwischenkreiskondensator, der durch eine Konstantspannungsquelle – V_d – dargestellt wird. Weitere Teile eines Moduls sind ein abschaltender IGBT, dessen Modell im folgenden näher erläutert wird, und zwei Freilaufdi-

oden, realisiert durch eine linearisierte Durchlasskennlinie. Diese Kennlinie der Durchlassspannung U_F wird mit der Schleusenspannung $U_S = 1,45 \text{ V}$ und dem differentiellen Widerstand $R_{\text{Diff}} = 1,3 \text{ m}\Omega$ zu $U_F = U_S + R_{\text{Diff}} \cdot I_F$ angenähert [14, S. 40]. Auf den zweiten IGBT jedes Submoduls wird zugunsten der Rechengeschwindigkeit verzichtet, da dieser dauerhaft im Sperrzustand bleiben würde.

Diese starke Zusammenfassung zu insgesamt nur vier simulierten Submodulen ist nur möglich, da ausschließlich das Blockierverhalten untersucht werden soll. Bei einem Blockierbefehl bekommen, im Gegensatz zum Normalbetrieb, alle Submodule zeitgleich denselben Schaltbefehl. Submodule gleichen Ausgangszustandes zeigen dabei ein weitestgehend ähnliches und damit zusammenfassbares Verhalten. Der Nachteil dieser Vereinfachung ist die Vernachlässigung verschiedener Eigenschaften der Submodule, die zum Teil aus deren Vorgeschichte resultieren. So werden zum Beispiel Unterschiede in der Zwischenkreisspannung und Temperatur ebenso vernachlässigt, wie eine mögliche Exemplarstreuung. Auch die gegebenenfalls, wegen kurzer Leitdauer, noch nicht erreichte statische Ladungsträgerverteilung im inneren der Halbleiter wird vernachlässigt.

2.2.2 IGBT-Modellbildung

Bei einem Blockiervorgang werden sämtliche IGBT ausgeschaltet. Um diesen Vorgang nachzubilden, genügt ein IGBT-Modell, das nur den Ausschaltvorgang, und nicht den Einschaltvorgang, abbildet. Ein einfacher Schalter kann in vielen Fällen genügen. In einigen Fällen kann es relevant sein, wie schnell der IGBT Spannung aufnimmt. Dies geschieht in der Realität mit einer endlichen Geschwindigkeit, da zunächst die Ladungsträger aus dem Chip ausgeräumt werden müssen. Dieses Verhalten kann im Modell, wie in Abbildung 7 zu sehen, durch Kapazitäten nachgebildet werden. Um einigen speziellen Kommutierungsfällen im MMC, bei denen ein Stromrichtungswechsel noch während der U_{CE} -Spannungsflanke stattfindet, Rechnung zu tragen, wurden zwei Kapazitäten verwendet, von denen eine abgekoppelt ist. Um die Größe dieser Kapazitäten zu bestimmen, ist es sinnvoll reale Abschaltmessungen heranzuziehen. Für das verwendete Modell werden, da das dU_{CE}/dt vom Kollektorstrom abhängt, zwei Messungen herangezogen, eine bei $12 \% I_N$ und eine bei $201 \% I_N$. Mithilfe der Strom-Spannungsbeziehung des Kondensators kann die erforderliche Kapazität bestimmt werden. Es wird eine lineare Verteilung des du/dt und damit der Kapazität C_{Plas} über den initialen Kollektorstrom angenommen. Aus den beiden Abschaltmessungen ergibt sich somit folgende Geradengleichung für die wirksame Gesamtkapazität:

$$C_{CE\text{ Ges}} = C_{CE} + C_{Plas}(i_C)$$

Dabei ist $C_{Plas} = C'_{Plas} \cdot i_C$. Als i_C soll hier der initiale Kollektorstrom verwendet werden. Dieser wird als Startbedingung der Simulation vorgegeben und ist somit bekannt. Werte für C_{CE} und C_{Plas} werden in den folgenden Absätzen zur Normierung und Skalierung des Modells erörtert.

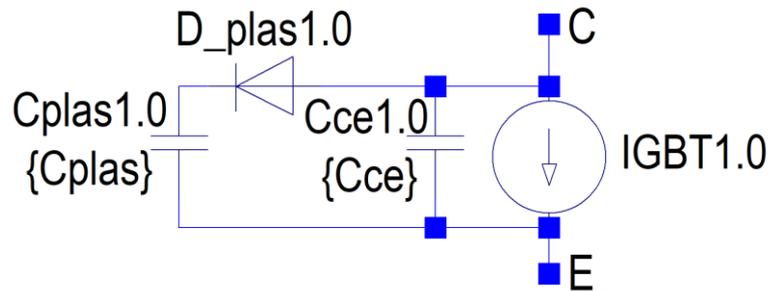


Abbildung 7: ESB zur Simulation eines IGBT-Turn-OFF

2.2.3 Modellgültigkeit

Durch die getroffenen Vereinfachungen ergibt sich eine Reihe von Einschränkungen. Das IGBT-Modell bildet einen abschaltenden IGBT nach. Im Gegensatz zu einem normalen Abschalten mit induktiver Last, kommt im MMC die Möglichkeit hinzu, dass der Strom während der Schaltflanke nicht konstant bleibt. Der Strom kann sich reduzieren oder sogar seine Flussrichtung ändern. Somit verbleibt dem verwendeten IGBT-Modell lediglich eine Gültigkeitsdauer bis zum Zeitpunkt des Zweigstromnulldurchganges. Ein darauffolgendes Reverse-Recovery, beziehungsweise eine Belastung durch einen Kurzschlussfall IV, für die gegenüberliegenden Dioden kann nur mit der Annahme eines linear weiterverlaufenden Stromes approximiert werden. Genauere Aussagen über mehr als einige wenige Mikrosekunden über diesen Zeitpunkt hinaus werden aufgrund des Modells zu unpräzise.

2.2.4 Normierung und Skalierung des Modells

Die Simulationen werden mit LT-Spice durchgeführt. Zur numerischen Berechnung müssen somit für die Untersuchungen Zahlenwerte für alle Parameter festgelegt werden. Um die Allgemeingültigkeit der vorliegenden Arbeit nicht einzuschränken, werden relevante Bezugsgrößen festgelegt und anschließend die restlichen Parameter darauf normiert. Die wichtigste Bezugsgröße ist die DC-Spannung U_{DC} . Sie gibt die mittlere normalbetriebliche Potentialdifferenz zwischen den Punkten A und B aus Abbildung 1 an. Für die Simulatio-

nen wird ein Bezugswert von $U_{DC} = 200$ kV festgelegt. Da die Ergebnisdarstellungen auf U_{DC} normiert erfolgen ist der tatsächliche Zahlenwert nahezu irrelevant für die Ergebnisse.

2.2.4.1 Skalierung der Leistungshalbleitermodule

Weitere Bezugsgrößen betreffen die verwendeten Leistungshalbleitermodule. Bezugnehmend auf die derzeit im Hochleistungsbereich üblicherweise verwendeten IHV-Module der Spannungsklassen 3,3 kV bis 6,5 kV [15] werden der Nennstrom mit $I_N = 1000$ A und die mittlere Modulzwischenkreisspannung auf $\bar{U}_d = 3$ kV festgelegt.

Weiterhin sind die Ersatzkapazitäten für das IGBT-Modell zu bestimmen. Dafür ist folgend in der Abbildung 8 eine beispielhafte Abschaltmessung bei 12 % des Nennstromes und einer Zwischenkreisspannung von 3 kV dargestellt. Gemessen wurde diese Kurve an einem IGBT mit einer maximalen Kollektor-Emitter-Spannung von 4,5 kV. Laut Hersteller handelt es sich um einen LPT-IGBT (light punch through).

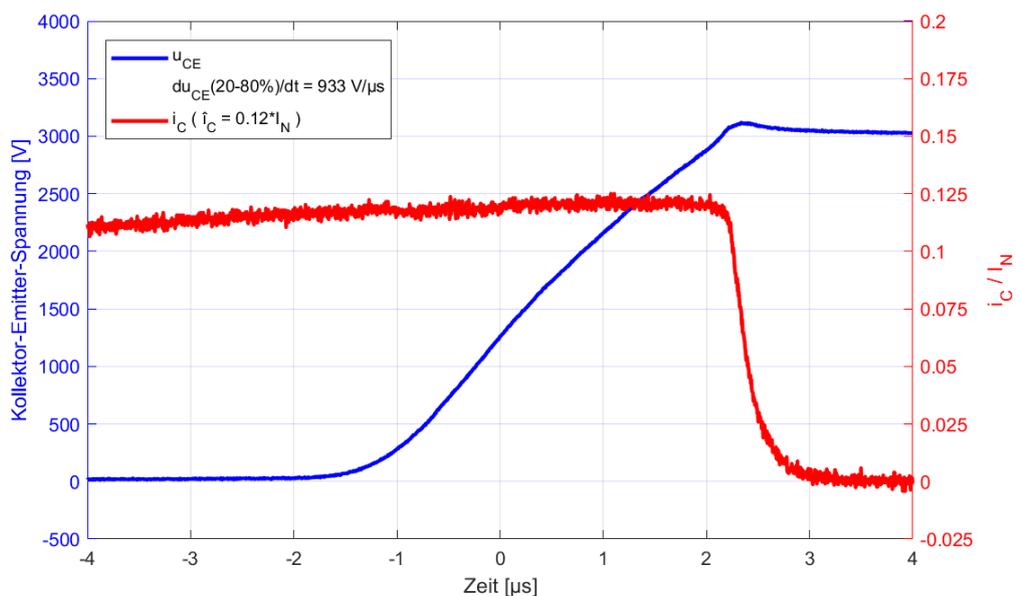


Abbildung 8: Abschaltmessung bei 12 % Nennstrom und 3 kV

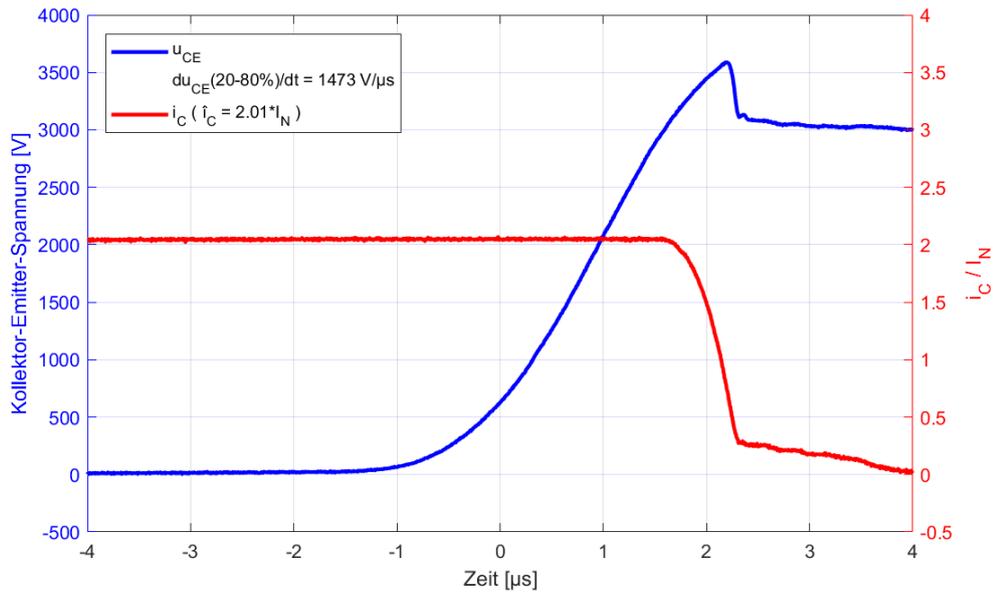


Abbildung 9: Abschaltmessung bei 201 % Nennstrom und 3 kV

Abbildung 9 zeigt eine solche Messung bei 201 % Nennstrom an demselben Prüfling. Die Spannungsanstiegsgeschwindigkeiten beider Messungen wurden mithilfe der Zeitpunkte, an denen U_{CE} 20 % bzw. 80 % der Zwischenkreisspannung erreicht hat, errechnet. Mit den ermittelten Werten für die Spannungsanstiegsgeschwindigkeit können die Kapazitäten C_{CE} und C_{Plas} aus Abbildung 7, wie nachfolgend beschrieben, bestimmt werden: Die Strom-Spannungs-Beziehung am Kondensator wird nach der Kapazität umgestellt, es ergibt sich:

$$C = \frac{i(t)}{du(t)/dt}$$

Die gezeigten Abschaltmessungen zeigen, dass der Strom während des Spannungsanstiegs als konstant angenommen werden kann. Aus dem du/dt -Wert von $933 \text{ V}/\mu\text{s}$ für 12 % Nennstrom ergibt sich eine wirksame gesamt Kollektor-Emitter-Kapazität von:

$$C_{CE \text{ Ges}}|_{i_c=I_N \cdot 0,12} = \frac{I_N \cdot 0,12}{933 \text{ V}/\mu\text{s}}$$

Zusammengefasst und gerundet sind es:

$$C_{CE \text{ Ges}}|_{i_c=I_N \cdot 0,12} \approx I_N \cdot 129 \text{ pF/A}$$

Aus dem du/dt -Wert von $1473 \text{ V}/\mu\text{s}$ für 201 % Nennstrom ergibt sich eine wirksame gesamt Kollektor-Emitter-Kapazität von:

$$C_{CE \text{ Ges}}|_{i_c=I_N \cdot 2,01} = \frac{I_N \cdot 2,01}{1473 \text{ V}/\mu\text{s}}$$

Zusammengefasst und gerundet sind es in diesem Fall:

$$C_{CE\ GES}|_{i_c=I_N \cdot 2,01} \approx I_N \cdot 1365 \text{ pF/A}$$

Da für größere Nennströme mehrere Chips parallel verwendet werden, erhöhen sich dadurch auch die Kapazitätswerte. Daher sind die Kapazitätswerte linear abhängig vom Nennstrom angegeben. Mit der Annahme einer linearen Abhängigkeit zwischen der momentanen Stromstärke i_c und dem du/dt resultiert ebenfalls eine lineare Abhängigkeit der Kapazitätswerte von der momentanen Stromstärke. Aus den beiden genannten Punkten können nun der von i_c unabhängige Wert für C_{CE} und ein stromabhängiger Anteil für C_{Plas} bestimmt werden. C_{CE} ergibt sich demnach zu:

$$C_{CE} = 51 \text{ pF/A} \cdot I_N$$

Der Wert für C_{Plas} wird durch folgenden Ausdruck bestimmt:

$$C_{Plas} = 654 \text{ pF/A} \cdot i_c$$

Aus der Summe der beiden Kapazitäten ergibt sich der Wert für $C_{CE\ GES}$. Der für den Prüfling angegebene Datenblattwert für dessen Ausgangskapazität beträgt auf I_N bezogen lediglich 9,2 pF/A. Die Diskrepanz ist durch die, bei der Messung berücksichtigten, gespeicherten Ladungsträger im Bauteilinneren zu erklären.

2.2.4.2 Skalierung der Streuinduktivität

Weiterhin sollen die parasitären Größen, bezogen auf die Eckdaten des MMC, festgelegt werden. Induktivitäten werden beispielsweise im Transformatorbau in % U_k angegeben. Dies gibt im Fall eines sekundärseitigen Kurzschlusses an, bei wie viel Prozent der primären Nennspannung der Nennstrom fließt [16, S. 140 f.]. Es ist ein Maß für die Streuinduktivität eines Transformators.

Auf diese Weise soll nun auch L_σ in Abhängigkeit zu den Bezugsgrößen ausgedrückt werden. Dazu wird die Strom-Spannungs-Beziehung der Streuinduktivität bei Normalbetrieb genutzt:

$$U_{L\sigma} = U_k(L_\sigma) = L_\sigma \cdot \frac{di}{dt}$$

Durch die Annahme einer Netzfrequenz von $f=50$ Hz und eines sinusförmigen Stromes mit einen Effektivwert der dem Nennstrom von 1000 A entspricht ergibt sich U_k zu:

$$U_k(L_\sigma) = L_\sigma \cdot 2\pi f \cdot I_N$$

Diese Gleichung ergibt nach L_σ umgestellt:

$$L_\sigma = \frac{U_k(L_\sigma)}{I_N \cdot 2\pi f}$$

Um L_σ in Bezug zur einer AC-Ausgangsspannung anzugeben, wird der Einfachheit halber von der AC-Ausgangsspannung bei Vollaussteuerung ausgegangen. Damit entspricht die Ausgangsspitzenspannung \hat{u}_{AC} der halben DC-Spannung. Der Effektivwert U_{AC} ist um den Faktor $1/\sqrt{2}$ kleiner und ergibt sich zu:

$$U_{AC} = \frac{U_{DC}}{2 \cdot \sqrt{2}}$$

Damit kann L_σ in Bezug zu U_{AC} ausgedrückt werden als:

$$L_\sigma = U_k(L_\sigma)/U_{AC} \cdot \frac{U_{DC}}{2 \cdot \sqrt{2} \cdot I_N} \cdot \frac{1}{2\pi f}$$

Werte für das Maß der Streuinduktivität $U_k(L_\sigma)/U_{AC}$, die mit vertretbarem Konstruktionsaufwand erreichbar sind, liegen in einem Bereich von 0,3 bis 0,7 ‰.

2.2.4.3 Skalierung der AC-Kapazität

Vergleichbar zu der normierten Angabe der Streuinduktivität in ‰ U_k , soll nun C_{AC} ebenfalls in Abhängigkeit zu den Bezugsgrößen des MMC ausgedrückt werden. Dafür wird angegeben wie viel Strom, bezogen auf den Nennstrom I_N , beim Anlegen der Leerlaufspannung, durch die Kapazität fließt. Als Leerlaufspannung wird hier wieder die Ausgangsspannung bei Vollaussteuerung angenommen. Im Vergleich zur Kurzschlussspannung U_k wird dieser Wert als Leerlaufstrom I_{LL} bezeichnet. Analog zu Absatz 2.2.4.2 ergibt sich C_{AC} zu:

$$C_{AC} = I_{LL}(C_{AC})/I_N \cdot \frac{I_N \cdot 2 \cdot \sqrt{2}}{U_{DC}} \cdot \frac{1}{2\pi f}$$

Die Werte für $I_{LL}(C_{AC})/I_N$ können je nach Konstruktionsart stark variieren. So wird beispielsweise bei engem Bauraum eine gasisolierte Schaltanlage verwendet. Durch die geringeren Isolierabstände weist diese eine größere Koppelkapazität gegen Erde auf als eine Freiluftschaltanlage. Es muss für $I_{LL}(C_{AC})/I_N$ mit Werten im Bereich von 0,4 ‰ bis 4 ‰ gerechnet werden.

2.2.4.4 Anzahl der Submodule

Ein weiterer relevanter Wert um eine Simulation starten zu können ist n , die Anzahl der Submodule pro Zweig. Dafür ist davon auszugehen, dass die Zweigspannung im Normalbetrieb in der Lage sein muss die volle DC-Spannung zu erreichen. Um n zu bestimmen kann also die DC-Spannung durch die mittlere Modulzwischenkreisspannung \bar{U}_d geteilt werden. Unter Berücksichtigung der Tatsache, dass die Zweigspannung zum vollen Erhalt

der Regelbarkeit die DC-Spannung auch überschreiten können muss, wird ein Sicherheitsfaktor einkalkuliert. Weiterhin soll, sowohl bei Unterspannung in den Einzelmodulen, als auch bei einer DC-seitigen Überspannung, ein störungsfreier Betrieb gewährleistet sein. Ein Sicherheitsfaktor von 1,5 ist angebracht. Das ergibt für die gewählten Beispielanordnung mit $U_{DC} = 200 \text{ kV}$ und $\bar{U}_d = 3 \text{ kV}$ eine Modulanzahl von $n = 100$ pro Zweig.

2.2.4.5 Skalierung des Ableiters

Zusätzlich muss ein Ableiter dimensioniert werden, um in der Simulation die relevanten Kommutierungen nachvollziehen zu können. Dieser Ableiter soll die Isolierung schützen und dafür bei Überspannung Ströme zum Bezugspotential ableiten. Da die Kommutierungsvorgänge innerhalb eines MMC extrem schnell sein können, kommen hierfür nur Varistoren in Frage. Es gibt grundlegend zwei Arten von Varistoren: Den Metalloxid Varistor (MOV), der in der Regel aus Zinkoxid (ZnO) gefertigt wird und den Siliziumcarbid (SiC) Varistor. In Abbildung 10 sind vergleichend für beide Typen beispielhafte Kennlinie gegeben. Es ist zu erkennen, dass sich aus den Eigenschaften von Zinkoxid eine bessere Begrenzung von Überspannungen ergibt. Daher wird eine typische Kennlinie eines Zinkoxid-Ableiters verwendet, um ein Modell für die Schaltungssimulation zu generieren.

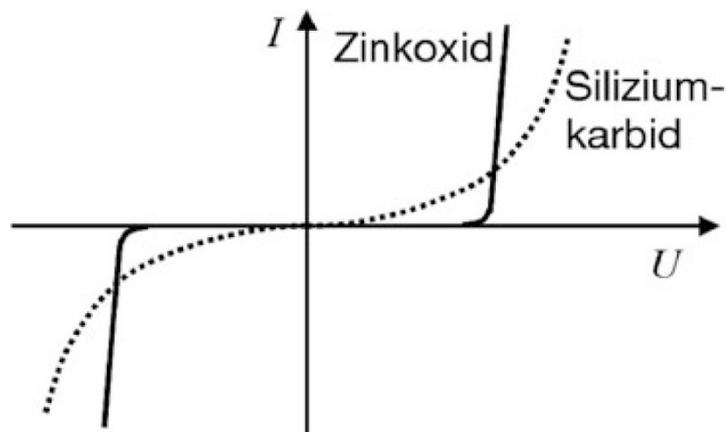


Abbildung 10: Vergleich ZnO- und SiC-Ableiter [17, S. 124]

Als repräsentative Kennlinie wird die des Metalloxid Varistors mit der Typ-Bezeichnung B80K1100 aus der B722-Serie der Firma TDK beziehungsweise EPCOS gewählt [18]. Die Spannung kann in der Praxis durch Reihenschaltung und in der Simulation durch Multiplikation frei skaliert werden. Der Prüfstrom $I_{AbI N}$ zur Ermittlung der maximalen Klemmspannung dieses Varistors liegt mit 800 A nahe an den zu erwartenden Werten des Nennstro-

mes der Halbleitermodule. Für die verbleibenden Anpassungen der Ableiterkennlinie wird der Ableiternennstrom durch einen Parameter ebenfalls linear skaliert.

Die Kennlinie des resultierenden und verwendeten Ableitermodells ist in der folgenden Abbildung 11 zu sehen. Diese Darstellung erfolgt einfach logarithmisch, wie bei Überspannungsableitern üblich, da ein weiter Strombereich darzustellen ist. Der Strom wurde auf den Prüfstrom des Ableiters, $I_{\text{Abl N}}=800$ A, bezogen. Die Spannung wurde relativ zur Klemmspannung bei Prüfstrom, $U_{\text{Abl N}}=2,643$ kV, dargestellt. Die Änderung der Charakteristik ab 70 % der Nennspannung gibt den gewünschten spannungsbegrenzenden Effekt wieder. Durch die logarithmische Darstellung wird dies überbetont. Der Bereich unterhalb 20 % der Nennspannung ist nur grob extrapoliert. Der resultierende Strom ist in diesem Bereich für das Gesamtsystem unbedeutend klein und die dadurch beeinflusste Verlustleistung wird, außer für die Auslegung im Rahmen der durchgeführten Analysen, nicht weiter betrachtet.

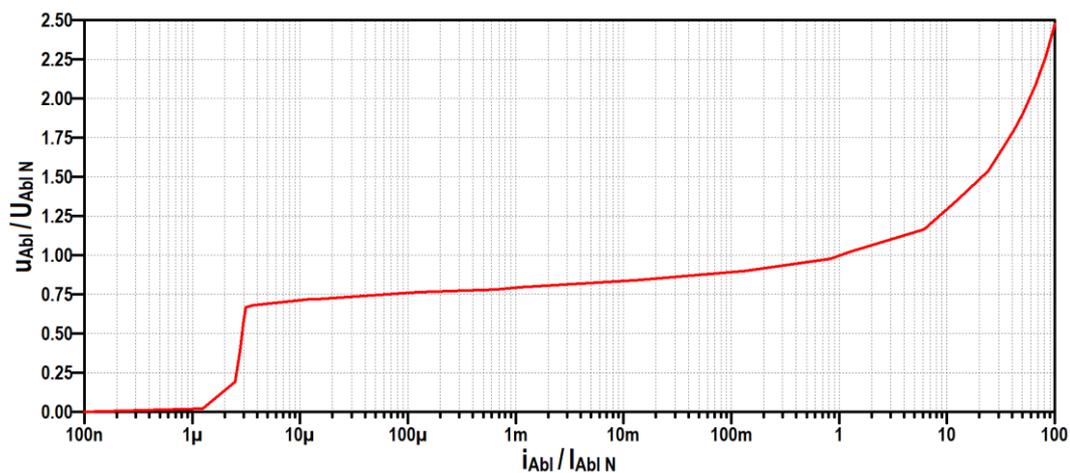


Abbildung 11: Ableiterkennlinie, normiert, einfachlogarithmisch

Zur Auslegung, beziehungsweise Skalierung, sind zwei Eigenschaften relevant. Die Leistungsaufnahme im Leerlauf muss vernachlässigbar gering sein und im Ableitfall muss der gesamte Laststrom getragen werden können. Im Fall des Ableitens soll die Spannung auf einen Wert begrenzt werden, der die gesamte Isolation schützt. Bei der Auslegung ist es also sinnvoll den Ableiter mit möglichst niedriger Spannung zu entwerfen, um Kosten bei der Isolation zu sparen. Eine vernachlässigbar geringe Verlustleistung zeichnet sich dadurch aus, dass sie ohne zusätzliche Kühlung durch passive Konvektion abgeführt werden kann. Im Rahmen dieser Arbeit wird ein Millionstel der nominellen Umrichterleistung hierfür als ausreichend gering angenommen. Es gibt pro Zweig mindestens zwei Ableiter deren

normalbetriebliche Spannung im Mittel jeweils der halben DC-Spannung entspricht. Demnach darf durch den Ableiter bei normaler Betriebsspannung maximal ein Millionstel des Nennstromes der Umrichterphase fließen. Im Fall des Ableitens muss der doppelte Nennstrom getragen werden können. Der Einsatz eines Ableiters macht nur dann Sinn, wenn die auftretenden Spannungen merklich reduziert werden. Die zu erwartende Spannung ohne Ableiter ist die Summenspannung aller Submodule im Zweig. Wie oben beschrieben, kann jeder Zweig etwa die DC-Spannung zuzüglich des Sicherheitsfaktors von 1,5 aufnehmen.

Jeder der beiden Ableiter soll also bei halber DC-Spannung einen Leerlaufstromverbrauch von weniger als einem Millionstel des Nennstromes haben und bei eineinhalbfacher DC-Spannung soll der doppelte Nennstrom abgeleitet werden können. Diese Anforderungen werden beispielsweise erfüllt wenn $U_{AbI N}=U_{DC}$ ist und $I_{AbI N}$ einem Drittel bis einem Zehntel des Halbleitermodulnennstromes entspricht. Für die Simulationen im weiteren Verlauf dieser Arbeit wird, sofern keine abweichenden Angaben gemacht sind, der Prüfstrom des Ableiters $I_{AbI N}$ als ein Fünftel des Modulnennstromes I_N festgelegt.

2.2.5 Überblick über die Skalierungsgrößen

Die Festlegung eines Beispieldatensatzes zur Simulation eines Blockiervorganges kann der folgenden Tabelle 1 entnommen werden. Ein Beispieldatensatz ist notwendig damit das verwendete Schaltungssimulationsprogramm die entsprechenden Daten als Eingangsgrößen nutzen kann. Die Ergebnisse werden anschließend bezogen auf die Skalierungsgrößen dargestellt. Dadurch ist der Beispieldatensatz in gewissen Grenzen frei wählbar ohne die bezogene Darstellung der Ergebnisse zu verändern. Es kommt vielmehr auf die Verhältnisse der Größen zueinander an.

Tabelle 1: Beispieldatensätze für Simulationen

Variable	Alternativwert (Negativtoleranz)	Beispieldatensatz	Alternativwert (Positivtoleranz)
U_{DC} [kV]	-	200	-
I_N [A]	-	1000	-
\bar{U}_d [kV]	-	3,0	-
U_{AbiN}/U_{DC} [1]	-	1	-
C_{CE}/I_N [pF/A]	-	51	-
C_{Plas}/i_C [pF/A]	-	654	-
Faktoren für bezogene Größen:			
I_{AbiN}/I_N [1]	1/3	1/5	1/10
$U_k(L_\sigma)/U_{AC}$ [%]	0,3	0,5	0,7
$I_{LL}(C_{AC})/I_N$ [%]	0,4	1,5	4,0

Die für Simulationen notwendigen bezogenen Größen lassen sich zusammengefasst wie folgt bestimmen:

$$L_\sigma = U_k(L_\sigma)/U_{AC} \cdot \frac{U_{DC}}{2 \cdot \sqrt{2} \cdot I_N} \cdot \frac{1}{2\pi f}$$

$$C_{AC} = I_{LL}(C_{AC})/I_N \cdot \frac{I_N \cdot 2 \cdot \sqrt{2}}{U_{DC}} \cdot \frac{1}{2\pi f}$$

$$n = 1,5 \cdot \frac{U_{DC}}{\bar{U}_d}$$

$$C_{CE} = 51 \text{ pF/A} \cdot I_N$$

$$C_{Plas} = 654 \text{ pF/A} \cdot i_C$$

Durch diese Festlegungen sind alle notwendigen Parameter bekannt. Die Schaltungssimulationen wurden dementsprechend durchgeführt. Die Ergebnisse werden im weiteren Verlauf dieser Arbeit vorgestellt.

2.3 Messmethoden

Wie in Abschnitt 2.2 beschrieben müssen zu den Simulationen ergänzende Messungen an einzelnen Leistungshalbleitern erfolgen, um die Belastungen für Leistungshalbleiter im MMC zu ermitteln. Dafür werden verschiedene auf einzelne Belastungsfälle angepasste Prüfaufbauten entwickelt. In diesen wird das Verhalten eines Zweiges aus der Simulation skaliert, um vergleichbare Randbedingungen in einem einzelnen Modul zu schaffen. Die

Messergebnisse werden, zur besseren Vergleichbarkeit untereinander, normiert dargestellt. Der Strom wird dabei bezogen auf den Nennstrom eines Leistungshalbleitermoduls ausgedrückt. Die gemessenen Sperrspannungen werden auf die jeweilige maximal zulässige Sperrspannung bezogen. Die Zwischenkreisspannung beträgt dabei in der Regel zwischen 55% und 66% der maximalen Sperrspannung.

Die verwendeten Halbleitermodule wurden gemäß einer Anwendung zur Energieversorgung in großindustriellem Maßstab gewählt. Daher wurden IHV-Module mit maximal zulässigen Sperrspannungen von 3,3 kV bis 6,5 kV für die Messungen verwendet. Die jeweiligen Nennströme liegen daher, entsprechend der aktuell am Markt verfügbaren Module, in einem Bereich von 750 A bis 1500 A.

Die Messaufbauten wurden in einer Prü fzelle mit zwangsläufigen Berührungsschutz und Erdungstrennschalter realisiert. Die Aufnahme der Messdaten erfolgte durch zwei Digitaloszilloskope der Marke LeCroy. Diese waren durch Trenntransformatoren galvanisch vom Netz getrennt, um Messstörungen zu vermeiden. Hohe Spannungen, wie Kollektor-Emitter-Spannungen, wurden mit einem 1:1000 teilenden Tastkopf aufgenommen, Gatespannungen entsprechend mit einem 1:10 Tastkopf. Zur Strommessung wurden geeignete Rogowskispulen der Marke PEM verwendet. Der Leistungsteil des Messaufbaus besteht aus zwei Zwischenkreiskondensatoren mit je einer angeschlossenen Halbbrücke, sowie einem Kondensatorladegerät. Dieser Aufbau wurde bedarfsgerecht ergänzt durch verschiedene Induktivitäten, einen Kurzschließer, sowie robuste Varistorelemente. Daraus ergibt sich, abhängig vom zu messenden Belastungsfall, eine Vielzahl möglicher Schaltungstopologien. Um nicht den Erkenntnissen der theoretischen Analyse und der Simulation aus Kapitel 3 vorwegzugreifen, werden diese Messschaltungen erst in den jeweiligen Abschnitten vor den Messungen in Kapitel 4 beschrieben. Bilder der Prü fzelle und der Messausrüstung befinden sich im Anhang (Kapitel 6).

3. MMC-Verhalten bei Taktsperrung

Folgend wird das Verhalten eines MMC bei Eintreten einer Taktsperrung analysiert. Dabei wird zunächst kurz auf das Verhalten ohne Begrenzung der auftretenden Spannung eingegangen. Nachdem dann die Notwendigkeit eines Überspannungsableiters klar ist, wird anschließend das Verhalten mit Ableiter ausführlich analysiert. Abschließend wird eine alternative Vorgehensweise – die gestufte oder partielle Taktsperrung – vorgeschlagen und kurz umrissen. Diese Methode weist sowohl einige Vorteile als auch Nachteile auf.

3.1 Taktsperrung ohne Maßnahmen zur Spannungsbegrenzung

Das Verhalten eines MMC bei einem Blockiervorgang ist wesentlich von der vorherrschenden Zweigstromrichtung abhängig. Ist bei einem MMC, dessen Submodule aus Halbbrücken bestehen, der Zweigstrom negativ (z.B. i_1 aus Abbildung 2), wird die Zweigspannung bei Taktsperrung nahezu Null. Es verbleiben im leitenden Pfad nur Dioden aus deren Flussspannung in Summe eine sehr geringe negative Zweigspannung resultiert. Dieser Fall ist unkritisch.

Ist der Zweigstrom jedoch positiv, wird die Zweigspannung maximal. Analysiert man das Ersatzschaltbild des MMC aus der Einleitung, Abbildung 1, wird klar, dass die Zweigspannung sich nun aus der Summe aller Modulspannungen ergibt. Genauer betrachtet muss die Flussspannung der nun leitenden Dioden sogar noch addiert werden. Diese ist jedoch klein genug um im Vergleich zur Zwischenkreisspannung vernachlässigt werden zu können.

Da ein Zweig im Normalbetrieb die volle DC-Spannung sperren können muss, heißt das, dass im ungünstigen Blockierfall – bei positiven Zweigströmen i_1 und i_2 – über beide Zweige in Serie mindestens die doppelte DC-Spannung abfällt. Durch diese drastische Spannungsüberhöhung sind für die einzelnen Submodule eines MMC keine negativen Folgen zu erwarten. Es gilt jedoch zu beachten, dass an einen MMC weitere Anlagenteile angeschlossen sind. Diese Anlagenteile können DC-seitig zum Beispiel Gleichrichter, Wechselrichter oder DC-Kabel sein. Gerade in höheren Leistungsklassen werden diese Komponenten in der Spannungsfestigkeit nicht mit einer derartigen Reserve ausgelegt. Speziell bei Hochspannungs-DC-Kabeln sind die Reserven gering und ein Überspannungsschutz muss eingesetzt werden [19]. Weiterhin ist zu beachten, dass die Isolierung der Einzelkomponenten gegen Erde der erhöhten Spannung standhalten muss. Wegen der entstehenden

Überspannung muss hier gegebenenfalls die Isolierungskoordination angepasst werden, sonst ist durch Unterschreiten vorgeschriebener Schlagweiten mit Lichtbögen zu rechnen. Um das Einhalten vorgeschriebener Isolationsabstände sicherzustellen, kann es notwendig sein, unter enormem finanziellem Aufwand, größere Konverter-Hallen beziehungsweise Offshore-Plattformen zu planen. Aus diesen Überlegungen wird klar, dass in der Regel ein Überspannungsableiter eingesetzt wird um dies zu vermeiden.

3.2 Taktsperrung mit Ableiter – eine kategorisierende Systemanalyse

Durch die vorige Erläuterung wird klar, dass ein Ableiter notwendig ist. Die Begrenzung der Spannung hat jedoch auch Nachteile. Der Zweigstrom kann nun im Blockierfall auf den Ableiter kommutieren. Unter bestimmten Randbedingungen, die im Folgenden näher erläutert werden, resultieren derartig hohe Stromgradienten, dass die Leistungshalbleiter außerhalb des vom Hersteller als sicher spezifizierten Betriebsbereiches operieren. Das betrifft vor allem Dioden und kann deren Zerstörung zur Folge haben. Zu den Randbedingungen unter denen dies eintreten kann zählen vor allen Dingen positive Zweigströme. Bei einem positiven Zweigstrom wird die high-side Diode jedes Moduls im Zweig leitend. An den Ausgangsklemmen jedes Moduls liegt dann dessen Zwischenkreisspannung an. In Summe ergibt sich über den Zweig die maximal mögliche Spannung. Im Gegensatz zur momentanen Zweigspannung u_1 bzw. u_2 (vgl. Abbildung 2) wird diese mit \hat{U}_1 bzw. \hat{U}_2 betitelt. Aus dieser maximalen Spannung resultiert eine hohe treibende Spannung für die Kommutierung des Stromes auf den Ableiter. Dies hat die oben benannte sehr schnelle Kommutierung zur Folge. Ist der Zweigstrom negativ ergibt sich ein anderes Verhalten: Die low-side Dioden werden leitend. Die Ausgangsspannung aller betreffenden Module wird, bis auf die vernachlässigbare Diodenflussspannung, zu null.

Wie oben erläutert, wird das Verhalten bei einem Blockiervorgang wesentlich von der vorherrschenden Stromrichtung beeinflusst. Um die Überlastung und Zerstörung einzelner Halbleiter auszuschließen und Maßnahmen dagegen zu entwickeln, werden im Folgenden verschiedene Fälle untersucht. Bei dieser Fallunterscheidung werden systematisch alle möglichen Anfangsbedingungen analysiert. Es wird untersucht, in welchen Fällen besondere Belastungen für die Halbleiter entstehen und bei welchen Randbedingungen diese Belastungen am stärksten sind.

Unterschieden werden müssen also positive und negative Zweigströme, jeweils für den oberen und unteren Zweig. Aus den Zweigströmen ergibt sich – bei statischer Betrachtung,

3 MMC-Verhalten bei Taktsperrung – 3.2 Taktsperrung mit Ableiter – eine kategorisierende Systemanalyse

vor dem Blockieren – der Ausgangsstrom. Dessen Vorzeichen bzw. Betrag ist ebenfalls relevant. Dieser Umstand muss daher auch Einfluss auf die Fallunterscheidung haben. Weiterhin kann die Höhe der vor dem Blockieren anliegenden Ausgangsspannung relevant sein, vor allem wenn die parasitäre Ausgangskapazität berücksichtigt werden soll. Da die Schaltung bezüglich des positiven und negativen Zweiges absolut symmetrisch ist, genügt es alle möglichen Fälle für einen der beiden Zweige durchzugehen. Wenn ein kritisches Verhalten in diesem Zweig auftritt, so ist folglich bekannt, dass es einen zweiten symmetrischen Fall gibt, der den gegenüberliegenden Zweig belastet. Im Folgenden wird daher nur das Verhalten des oberen Zweiges untersucht. Bei der Fallunterscheidung werden die Fälle zunächst abhängig von den Stromrichtungen in 13 Kategorien eingeteilt. Gemäß der folgenden Tabelle 2 soll eine Kategoriebezeichnung beginnend mit dem Großbuchstaben „A“ alle Kategorien kennzeichnen, deren Fälle einen positiven Zweigstrom im oberen Zweig aufweisen. „B“ kennzeichnet die Fälle mit negativem Zweigstrom. Weiterhin wird die Kennzeichnung „C“ verwendet für alle Fälle, bei denen vor dem Blockieren kein Strom im oberen Zweig fließt. Die folgende Ziffer der Kategoriebezeichnung gibt Auskunft über den Zweigstrom im unteren Zweig. Null steht für einen Zweigstrom von null, Eins für einen positiven Zweigstrom und Zwei für einen negativen Zweigstrom. Bei gleichem Vorzeichen der Zweigströme entscheidet deren Relation über das Vorzeichen des AC-Stromes. In diesen Fällen folgt eine zweite Ziffer, die eine Auskunft über die Relation der Ströme, beziehungsweise über das Vorzeichen des AC-Stromes, gibt. Ist die zweite Ziffer Null wird davon ausgegangen, dass der AC-Strom vor dem Blockieren null war. Dies bedeutet gleichzeitig, dass beide Zweigströme gleich groß sind. Eine Eins als zweite Ziffer weist auf einen positiven AC-Strom hin. Hierfür muss i_1 größer sein als i_2 . Entspricht die zweite Ziffer einer Zwei ist es umgekehrt. Das Vorzeichen des AC-Stromes ist relevant, da nach dem Kommutieren der Zweigströme, der AC-Strom in einem der Zweige verbleibt und so dessen Zweigspannung definiert.

3 MMC-Verhalten bei Taktsperrung – 3.2 Taktsperrung mit Ableiter – eine kategorisierende Systemanalyse

Tabelle 2: Fallunterscheidung: Einteilung in 13 Kategorien

Kategorie	Oberer Zweigstrom	Unterer Zweigstrom	AC-Relation	
			AC-Strom	Relation
A 0	positiv	null	positiv	$i_1 > i_2$
A 1.0	positiv	positiv	null	$i_1 = i_2$
A 1.1	positiv	positiv	positiv	$i_1 > i_2$
A 1.2	positiv	positiv	negativ	$i_1 < i_2$
A 2	positiv	negativ	positiv	$i_1 > i_2$
B 0	negativ	null	negativ	$i_1 < i_2$
B 1	negativ	positiv	negativ	$i_1 < i_2$
B 2.0	negativ	negativ	null	$i_1 = i_2$
B 2.1	negativ	negativ	positiv	$i_1 > i_2$
B 2.2	negativ	negativ	negativ	$i_1 < i_2$
C 0	null	null	null	$i_1 = i_2$
C 1	null	positiv	negativ	$i_1 < i_2$
C 2	null	negativ	positiv	$i_1 > i_2$

Jede dieser 13 Kategorien kann weiter unterteilt werden. Zum Zeitpunkt des Blockierens kann kapazitives und induktives Verhalten des AC-Knotens unterschieden werden. Mit anderen Worten: Es ist zu unterscheiden, ob am AC-Knoten eine Spannung oder ein Strom eingepreßt wird. Weiterhin kann die AC-Ausgangsspannung positiv, null oder negativ sein. Daraus ergeben sich zu jeder dieser 13 Kategorien jeweils sechs Einzelfälle. Diese Fälle sollen gemäß der folgenden Tabelle 3 mit Kleinbuchstaben bezeichnet werden.

Tabelle 3: Unterteilung der Kategorien in je sechs Fälle

Fall	AC-Knoten	AC-Spannung
a)	induktiv	positiv
b)	induktiv	Null
c)	induktiv	negativ
d)	kapazitiv	positiv
e)	kapazitiv	Null
f)	kapazitiv	negativ

Rein mathematisch ergeben sich mit 13 Kategorien zu je sechs Fällen insgesamt 78 Einzelfälle die analysiert werden müssen. Diese Einteilung bringt die notwendige Struktur zur systematischen Analyse. Durch das Wirken ähnlicher Prinzipien verringert sich der Aufwand zur gedanklichen Durchdringung. Während die ersten Fälle noch sehr detailliert untersucht werden müssen, kann in vielen Folgefällen auf die vorangehend beschriebenen Prinzipien verwiesen werden.

Zunächst noch einige Vorbetrachtungen zur Fallanalyse: Wie die Analyse des Ersatzschaltbildes (Abbildung 2) zeigt, führt ein positiver Zweigstrom dazu, dass an den Ausgangsklemmen des Moduls dessen Zwischenkreisspannung anliegt. Über den gesamten Zweig entsteht somit die maximal mögliche Spannung, die der Summe aller Zwischenkreisspannungen der enthaltenen Module entspricht. Dieser Zustand bleibt so lange bestehen bis sich die Stromrichtung ändert. Dies wird in der Regel dann der Fall, wenn der zugehörige Ableiter den gesamten Zweigstrom übernimmt. Bei negativem Strom wird sowohl die Modulspannung als auch die Zweigspannung zu null. Bei einem Zweigstrom von null ändert sich die Zweigspannung zunächst nicht. Die Zweigspannung kann sich ändern, wenn dem Zweig durch äußere Beschaltung, beispielsweise durch den zweiten Zweig, eine Spannungsänderung vorgegeben wird. Der Strom der einer Spannungsänderung entgegen wirkt fällt sehr gering aus, da die Leistungshalbleiter wenn überhaupt nur wenig Ladungsträger enthalten, die dafür ausgeräumt werden müssten.

Um die gedankliche Analyse durchzuführen bedarf es einiger vereinfachender Annahmen. Die erste Annahme ist ein endlos steiler Spannungssprung an allen Modulen, gleichzeitig zum Zeitpunkt des Blockiersignals. Dadurch wird das gesamte dynamische Verhalten der Leistungshalbleiter, inklusive der endlichen Spannungsanstiegsgeschwindigkeit der abschaltenden IGBT, vernachlässigt. Das Resultat ist eher eine prinzipielle Aussage, wie das

Gesamtsystem grundsätzlich reagiert. Wie die Simulationen zu den entsprechenden Fällen zeigen, weicht das Verhalten besonders bei kleineren Strömen von dieser Annahme ab.

Eine weitere Vereinfachung ist die Annahme einer festen Klemmung der Spannung, durch eine ideale Konstantspannungsquelle in Reihe zu einer idealen Diode, anstelle einer spezifischen Ableiterkennlinie. Durch diese Annahme sind die zugehörigen Spannungen genau definiert. Als Nebeneffekt ergibt sich, dass die treibenden Spannungen über den Streuinduktivitäten bekannt sind. Auf dieser Basis wird in einem der folgenden Absätze ein erster Schätzwert für das di/dt bestimmt. Sind die maximal zulässigen di/dt -Werte der Leistungshalbleiter bekannt, kann somit eine erste Auslegung des Ableiters erfolgen.

Es folgen nun die theoretischen Analysen der 13 genannten Kategorien. Falls diese einen Hinweis auf besondere Halbleiterbelastungen geben, erfolgt ergänzend eine detailliertere Untersuchung mittels Simulation. Gegebenenfalls erfolgt zu besonders relevanten Aspekten eine gesonderte Diskussion.

3.2.1 Kategorie A 0

Entsprechend der vorhergehenden Fallunterscheidung ist bei Blockiervorgängen der Kategorie A 0 von einem positivem Zweigstrom im oberen Zweig und einem Strom von Null im unteren Zweig auszugehen. Die Stromsumme im AC-Knoten gibt vor, dass der AC-Strom dem Zweigstrom des oberen Zweiges entsprechen muss.

3.2.1.1 Theoretische Analyse der Fälle A 0 - a, b & c

Im Fall eines induktiven AC-Knotens kann sich die AC-Spannung ändern. Der untere Zweig stellt einer solchen Spannungsänderung, entsprechend der Vorbetrachtungen, nichts entgegen. So wird nach dem Blockieren die obere Zweigspannung maximal. Sollte dadurch der obere Ableiter einen Teil des Zweigstromes übernehmen, so verringert sich in diesem Moment das Potential des AC-Knotens um das notwendige Maß, sodass der Ableiter nicht weiter leitet. Der Zweigstrom ändert sich nicht, beziehungsweise nur so – ungefährlich – langsam wie es die Zweigdrossel und die AC-seitigen Induktivitäten zulassen.

3.2.1.2 Theoretische Analyse des Falles A 0 d

Im Fall einer kapazitiv geprägten Spannung am AC-Knoten ändert sich dessen Potential nicht. Dies bedeutet, dass im Fall d, also bei einer positiven AC-Spannung, abhängig von der Ableiterauslegung, der positive Ableiter anspricht. Da wegen des positiven oberen

3 MMC-Verhalten bei Taktsperrung – 3.2 Taktsperrung mit Ableiter – eine kategorisierende Systemanalyse

Zweigstromes die obere Zweigspannung maximal wird, ergibt sich bei Analyse der Spannungsmasche eine negative treibende Spannung an der Streuinduktivität (vgl. Abbildung 2: $u_{L\sigma 1} = u_{Abl1} - u_1 - u_{AC}$). Demnach reduziert sich der Zweigstrom. Der Strom in der Zweigdrossel bleibt nahezu unverändert, da deren Induktivität um ein Vielfaches höher ist. Daraus ergibt sich zwangsläufig, dass die Differenz aus dem nahezu konstanten Zweigdrosselstrom und dem abfallenden Zweigstrom in den Ableiter fließt. Aufgrund der treibenden Spannungen wird der Zweigstrom linear fallen bis er den Wert null erreicht hat. Der Strom des oberen Zweiges ist nun vollständig in den Ableiter kommutiert. Aufgrund der vorhandenen Ladungsträger in den Leistungshalbleitern ändert sich die Zweigspannung nicht unmittelbar nach Erreichen eines Stromes von null. Demnach wirkt die treibende Spannung weiter und der Zweigstrom wird negativ. In den zuvor vorwärts leitenden Dioden wirkt dieser Strom nun als Reverse-Recovery-Strom, der die Ladungsträger ausräumt. Dieses Ausräumen der Reverse-Recovery-Ladung stellt, abhängig von den parasitären Eigenschaften des MMC, eine Belastung für die Dioden mit einem Kurzschlussfall IV dar. Eine Besonderheit dabei ist, dass hier mehrere Dioden in Reihe durchströmt und abkommutiert werden, die unterschiedliche Vorgeschichten und daher ungleiche Kommutierungseigenschaften haben. Einige der Dioden waren schon lange vor dem Blockieren leitend und haben im Chipinneren die statische Ladungsträgerkonzentration erreicht. Diese Dioden, die vor dem Blockieren vom Zweigstrom durchflossen wurden, werden folgend als lang leitende Dioden bezeichnet. Andere Dioden sind erst durch den Blockiervorgang, also das Abschalten des gegenüberliegenden IGBT, vor wenigen Mikrosekunden leitend geworden. Diese Dioden haben die statische Ladungsträgerkonzentration noch nicht erreicht und sind geringer mit Ladungsträgern geflutet. In diesen Dioden – folgend kurz leitende Dioden genannt – ist eine geringere Reverse-Recovery-Ladung enthalten. Dadurch ist während der Rückstromspitze der lang leitenden Dioden die Sperrverzugsladung der kurz leitenden Dioden bereits vollständig ausgeräumt. Die kurz leitenden Dioden nehmen nun deutlich vor den lang leitenden Dioden Spannung auf. In der Regel wird diese Spannung genügen, damit die lang leitenden Dioden keine Spannung mehr aufnehmen müssen. Durch die Spannungsänderung wechseln die Vorzeichen der treibenden Spannung und des Stromgradienten. Der Zweigstrom geht anschließend auf null zurück. Nachdem der obere Zweigstrom zu null geworden ist, steht der AC-Strom zur Verfügung um die AC-Kapazität umzuladen bis der obere Zweig wieder, wie in den Fällen a, b & c, leitend wird.

Durch die hohe Anfangsspannung des AC-Knotens und die zusätzlich maximal werdende Zweigspannung ergibt sich in diesem Fall die höchstmögliche treibende Spannung über

der Streuinduktivität des Zweiges. Daher ist mit dem höchsten di/dt zu rechnen. Im Anschluss an diese Analyse wird das zu erwartende di/dt daher detailliert diskutiert.

3.2.1.3 Diskussion zum Fall A 0 d – maximal zu erwartende Stromgradienten

Wie bei der Analyse von Fall A 0 d festgestellt wurde, ist anhand dieses Falles das maximal zu erwartende di/dt zu diskutieren. Da hier zum Einen einfache Bedingungen zur di/dt Bestimmung vorherrschen und zum Anderen maximale di/dt zu erwarten sind.

Zur Bestimmung der maximal auftretenden Stromgradienten beim Blockieren eines MMC ist die naheliegende Variante, das Ersatzschaltbild aus Abbildung 2 zu betrachten und unter der Annahme vereinfachender Randbedingungen gemäß Absatz 2.1, eine erste Näherung aufzustellen. In einem ersten Schritt soll nun abweichend von Fall A 1.0 d von der Annahme ausgegangen werden, dass die AC-Spannung bei null ist. Außerdem seien beide Zweigströme gleich groß und positiv. All diese Annahmen entsprechen der Beschreibung des Falles A 1.0 b. Damit kann die Spannungsgleichung für einen Maschenumlauf, vom AC-Knoten, der sich auf Erdpotential befindet, über den oberen Zweig mit der maximalen Zweigspannung \hat{U}_1 , sowie der Streuinduktivität des Zweiges $L_{\sigma 1}$ und über den Ableiter zurück zum Erdpotential, aufgestellt werden. Umgestellt nach der Spannung über der Streuinduktivität und geteilt durch deren Induktivitätswert, ergibt sich eine erste Näherung für das zu erwartende di/dt :

$$di_1/dt = \frac{U_{Abl 1} - \hat{U}_1}{L_{\sigma 1}}$$

Dabei sei \hat{U}_1 die maximale Zweigspannung die sich aus der Summe aller Submodulzwischenkreisspannungen ergibt. $U_{Abl 1}$ sei die Ableiterspannung bei maximalem Zweigstrom. Korrelierend mit üblichen Hableiterwerten kann für den maximalen Zweigstrom der zwei- bis dreifache Nennstrom angenommen werden.

Wird jedoch nicht von dem einfachen symmetrischen und AC-kapazitätsfreien Voraussetzungen des Falles A 1.0 b ausgegangen, sondern der Fall A 0 d herangezogen, so ergeben sich andere Verhältnisse. Abhängig von der Höhe der momentanen Ausgangsspannung vor dem Blockieren und der angenommenen Größe für die AC-Kapazität, weicht ein zu erwartendes di/dt erheblich von der oben beschriebenen ersten Näherung ab. Um eine bessere Näherung zu erhalten, muss in der Berechnung für den Maschenumlauf eine von null abweichende AC-Spannung berücksichtigt werden. Um die Berechnung zunächst einfacher zu halten, wird davon ausgegangen, dass die AC-Kapazität ihre Spannung wäh-

rend des Kommutierungsvorganges nur unwesentlich ändert. Damit ergibt sich das di/dt in zweiter Näherung zu:

$$di_1/dt = \frac{U_{Abl1} - U_{AC} - \hat{U}_1}{L_{\sigma 1}}$$

Dabei sei U_{AC} die aktuelle AC-Spannung vor dem Blockieren. Sucht man nun eine Worst-Case-Annahme für U_{AC} , so ergibt sich das betragsmäßig maximale di/dt bei maximaler positiver AC-Spannung. Maximal entspricht diese bei Vollaussteuerung der halben DC-Spannung $U_{DC}/2$. Aus dieser Annahme ergibt sich folgender Worst Case aus der zweiten Näherung:

$$\max \left(\left| di_1/dt \right| \right) = \left| \frac{U_{Abl1} - U_{DC}/2 - \hat{U}_1}{L_{\sigma 1}} \right|$$

Nach dieser zweiten Näherung ergeben sich deutlich höhere Werte für das zu erwartende di/dt . Diese di/dt -Werte liegen bei Annahme realistischer Werteparameter so hoch, dass die Schaltleistung, die maßgeblich vom di/dt abhängt [11, S. 127], den zulässigen Wertebereich überschreiten kann. Es wird im weiteren Verlauf dieser Arbeit untersucht, ob diese Worst-Case-Annahmen zu überhöhten Schaltleistungen führen. Es soll nach noch unbekanntem entlastenden Effekten gesucht werden. Das di/dt konstruktiv auf einen Wert zu begrenzen, der ein Überschreiten von $P_{RR\text{Max}}$ ausschließt, wäre sehr kostenintensiv.

Sollte dieser Weg dennoch Anwendung finden müssen, so ergeben sich aus der obigen Formel zwei Ansatzpunkte. Zum einen ist direkt ersichtlich, dass $L_{\sigma 1}$ umgekehrt proportional auf das di/dt wirkt. Demnach reduziert sich die Stromänderungsgeschwindigkeit in dem Maße, in dem die Streuinduktivität erhöht wird. Dabei gilt es jedoch zu beachten, dass diese Maßnahme auch unerwünschte Nebeneffekte haben kann, da hier ein ursprünglich parasitärer Energiespeicher massiv vergrößert würde. Im Fehlerfall müsste diese Energie beherrscht werden. Ein anderer Ansatzpunkt das di/dt im Blockierfall zu senken, ist die Ableiterkennlinie anzupassen. Durch eine höhere Ableiterspannung reduziert sich, gemäß obiger Formel, ebenfalls das di/dt im Blockierfall. Auch hier gilt es die resultierenden Nachteile zu beachten. Im Fehlerfall ergäben sich hieraus höhere Spannungen, dieser Umstand müsste bei der Isolationskoordination Beachtung finden.

Die bisherige Annahme, dass sich die AC-Spannung während der Kommutierung nur unwesentlich ändert, ist eine Einschränkung der obigen Gleichung. Dies führt zu einem überschaubaren Aufwand bei der Analyse, kann aber von praxisnahen Ergebnissen abweichen. Daher wird im weiteren Verlauf der Arbeit, im Zuge der Untersuchungen zu Fall A 1.0 a, untersucht welche Ergebnisse bei der Annahme einer endlichen AC-Kapazität

mit realistischen Werten zu erwarten sind. Es ist davon auszugehen, dass sich durch diese Kapazität Schwingungen ergeben, die zu einem zeitlich nicht konstanten di/dt führen. Erhärtet sich diese Annahme, so ist zu prüfen, ob die zeitliche Veränderung des di/dt während der Kommutierung relevante Veränderungen im Gesamtsystem des MMC verursachen. Nachfolgend wird mittels Simulation ein Zahlenwert für den di/dt -Wert ermittelt.

3.2.1.4 Simulation des Falles A 0 d – Bestimmung des maximalen di/dt

Es folgt mithilfe der Simulation zu Fall A 0 d eine Abschätzung des maximal auftretenden di/dt . Anschließend wird ergänzend geklärt, dass in bestimmten anderen Fällen identische Mechanismen wirken. Der theoretischen Analyse folgend werden, bei einer hohen momentanen Ausgangsspannung, einer großen AC-Kapazität und bei großen positiven Strömen im oberen Zweig, die maximalen Stromanstiege erreicht. Dies entspricht dem Fall A 0 d. Für das folgend dargestellte Simulationsergebnis wurde der Beispieldatensatz aus Tabelle 1 verwendet. Abweichend davon wurde eine vergrößerte AC-Kapazität eingestellt, durch die Verwendung des Parameters I_{LL} , mit einem Wert von 4 % aus dem Alternativdatensatz für Positivtoleranzen.

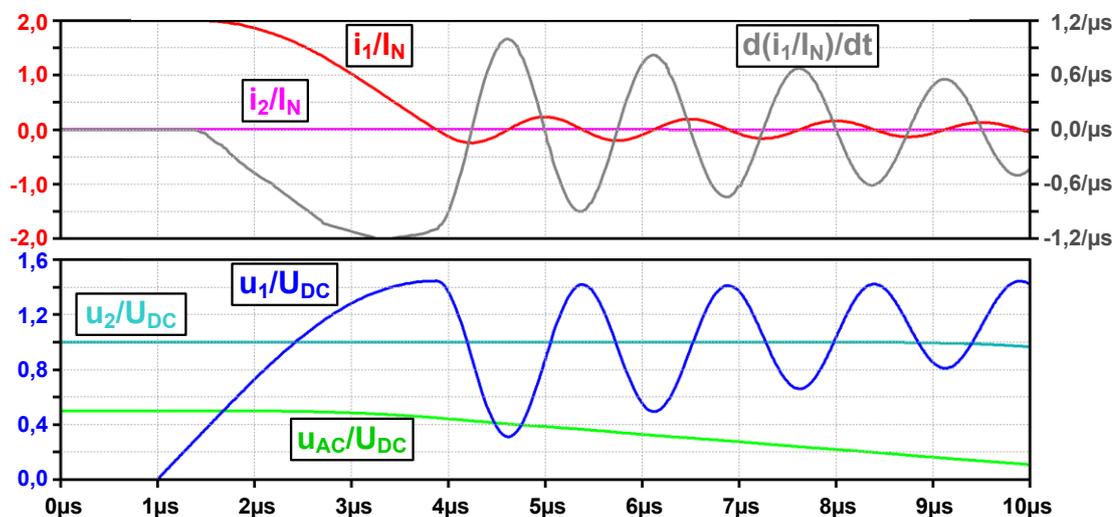


Abbildung 12: Fall A 0 d bei $i_1(t_0)=2 \cdot I_N$; $i_2(t_0) \approx 0$; $u_{AC}(t_0)=0,5 \cdot U_{DC}$; $I_{LL}=4,0 \%$

Die Zweigströme in Abbildung 12 sind normiert auf den Nennstrom dargestellt. Die Spannungen wurden entsprechend auf die DC-Spannung normiert. Es ist zu erkennen, dass der Strom im oberen Zweig i_1 , hier in rot, sehr schnell abfällt. Der maximale Betrag der Stromänderungsgeschwindigkeit, hier grau dargestellt, beträgt „ $1,2/\mu s$ “. Dies ist zu verstehen als

3 MMC-Verhalten bei Taktsperrung – 3.2 Taktsperrung mit Ableiter – eine kategorisierende Systemanalyse

das 1,2-fache der Normgröße I_N pro Mikrosekunde. Dies ist für viele Dioden ein hoher Wert, der Schaltleistungen erwarten lässt, die außerhalb des sicheren Arbeitsbereichs liegen können. Der hohe di/dt -Wert resultiert in diesem Fall aus der maximal treibenden Spannung über $L_{\sigma 1}$. Diese ergibt sich aus der Summe von u_{AC} und u_1 , abzüglich der Ableiterspannung. Der Startwert für u_{AC} , grün dargestellt, ist maximal gewählt und bleibt weitestgehend konstant, so wie es bei der Annahme eines kapazitiven Verhaltens des AC-Knotens zu erwarten war. Die Spannung u_1 , dunkelblau dargestellt, erreicht bei $3,8 \mu s$ nahezu ihren maximal möglichen Wert von $1,5 \cdot U_{DC}$ und ermöglicht so das hohe di/dt .

Durch die große AC-Kapazität sind die beiden Zweige voneinander entkoppelt. Das Verhalten des unteren Zweiges spielt demnach keine Rolle für das maximale di/dt im oberen Zweig. Es sind die gleichen Ergebnisse für die Fälle A 1.0 d, A 1.1 d, A 1.2 d und A 2 d zu erwarten. Um dies nachvollziehen zu können, ist nachfolgend in Abbildung 13 das Simulationsergebnis für den Fall A 1.0 d dargestellt.

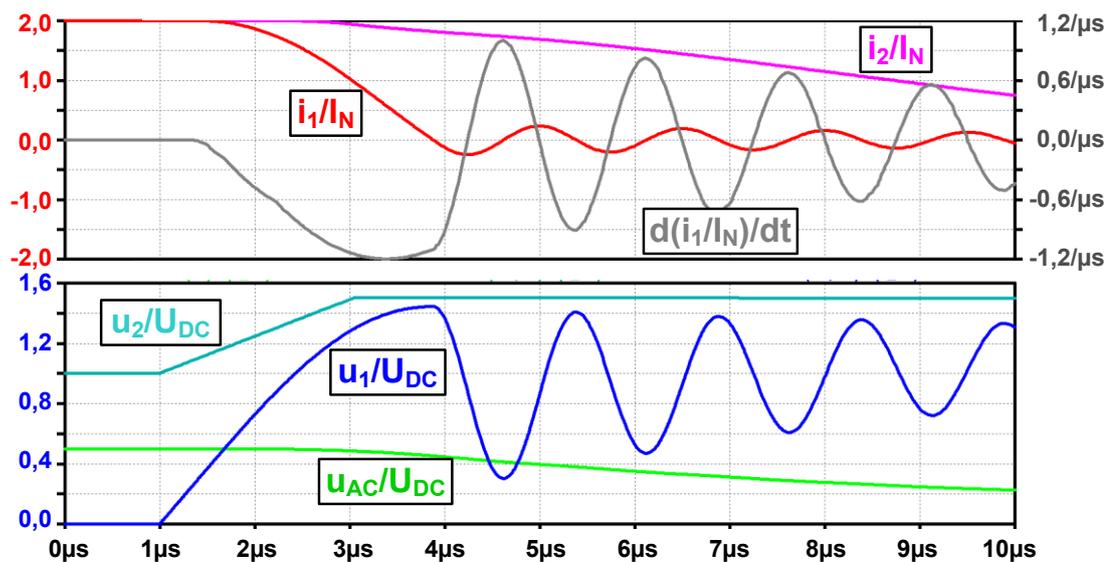


Abbildung 13: Fall A 1.0 d bei $i_1(t_0)=2 \cdot I_N$; $i_2(t_0)=2 \cdot I_N$; $u_{AC}(t_0)=0,5 \cdot U_{DC}$; $I_{LL}=4,0 \text{ ‰}$

Es ist zu erkennen, dass Zweigstrom und Zweigspannung des oberen Zweiges nahezu identisch zum Fall A 0 d sind.

Zur weiteren Analyse ist nachfolgend das Simulationsergebnis für Fall A 1.0 d mit dem Negativtoleranz-Wert für C_{AC} dargestellt.

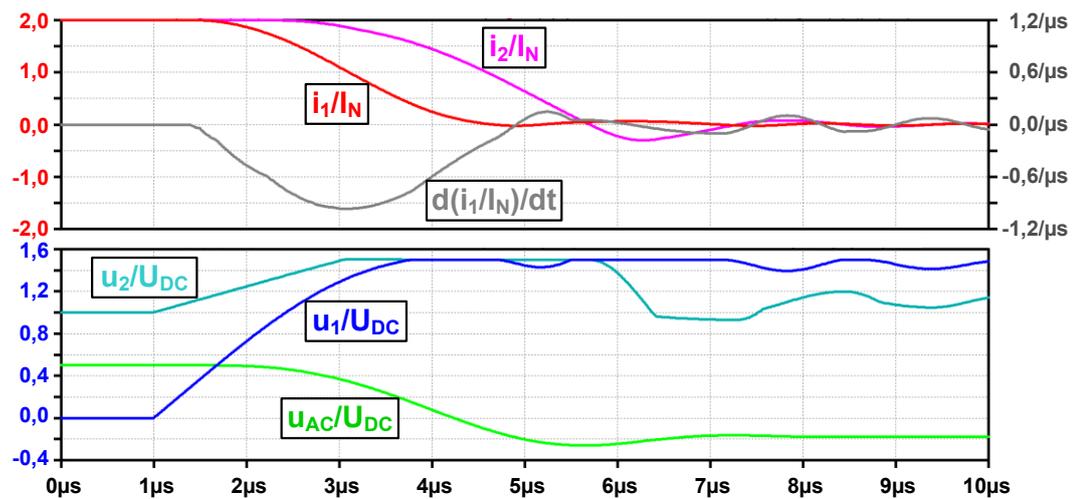


Abbildung 14: Fall A 1.0 d bei $i_1(t_0)=2 \cdot I_N$; $i_2(t_0)=2 \cdot I_N$; $u_{AC}(t_0)=0,5 \cdot U_{DC}$; $L_{LL}=0,4 \text{ ‰}$

Aus Abbildung 14 ist zu erkennen, dass bei kleinerer AC-Kapazität das maximale di/dt etwa um 20 % geringer ist. Im Bereich des Stromnulldurchgangs ist das di/dt erheblich reduziert. Dieser Effekt lässt sich dadurch erklären, dass u_{AC} durch die geringere Kapazität schneller abnehmen kann, daher ist die Summe aus u_{AC} und u_1 jederzeit kleiner als in den vorigen Darstellungen, Abbildung 12 und Abbildung 13. Somit ist auch die treibende Spannung an den Induktivitäten entsprechend verringert. Es reduziert sich folglich auch die Stromänderungsgeschwindigkeit.

Als Ergebnis dieser Simulationen kann festgehalten werden, dass für die Simulationen gemäß Abbildung 12 Worst-Case annahmen für die Starbedingungen getroffen wurden und daraus ein maximaler di/dt -Wert von $1,2 \cdot I_N/\mu s$ resultiert. In den Fällen A 1.0 d, A 1.1 d, A 1.2 d und A 2 d ist ein identisches Verhalten zu erwarten. Daher wird im Folgenden bei der Analyse dieser Fälle auf den Fall A 0 d verwiesen.

3.2.1.5 Simulation des Falles A 0 d – Entlastung durch andere Submodule

Die vorigen Betrachtungen haben gezeigt, dass unter den getroffenen Worst-Case-Annahmen ein sehr hohes di/dt von $1,2 \cdot I_N/\mu s$ zu erwarten ist. Wie die späteren Messungen dazu zeigen, führt dies durch überhöhte Schaltleistungen zu einer enormen Belastung der Dioden. Der als sicher spezifizierte Arbeitsbereich wird dabei überschritten. Daher soll dieser Fall nun genauer betrachtet werden, um zu ergründen, ob es entlastende Effekte gibt, die bisher unberücksichtigt sind.

3 MMC-Verhalten bei Taktsperrung – 3.2 Taktsperrung mit Ableiter – eine kategorisierende Systemanalyse

Die folgende Analyse zeigt, dass bei einer Serienschaltung von Dioden der Fall eintreten kann, dass einige Dioden nach dem Auftreten eines hohen di/dt anschließend keiner Beanspruchung durch hohe Sperrspannungen ausgesetzt sind. Dies führt zu geringeren Schaltleistungen. Es kann die These aufgestellt werden, dass dieses Resultat einer solchen Serienschaltung einen grundlegend entlastenden Effekt für die Leistungshalbleiter darstellt.

Zur genaueren Untersuchung werden im Folgenden nicht mehr nur die Zweigströme und Zweigspannungen betrachtet, sondern vor allem die aufgenommenen Spannungen der einzelnen Leistungshalbleiter innerhalb der verschiedenen Submodule. Von besonderem Interesse sind dabei die Spannungen der verschiedenen high-side Dioden, die abkommutiert werden. Abbildung 15 zeigt den simulativen Zeitverlauf bei identischen Simulationsparametern, wie zuvor im Fall A 0 d aus Abbildung 12.

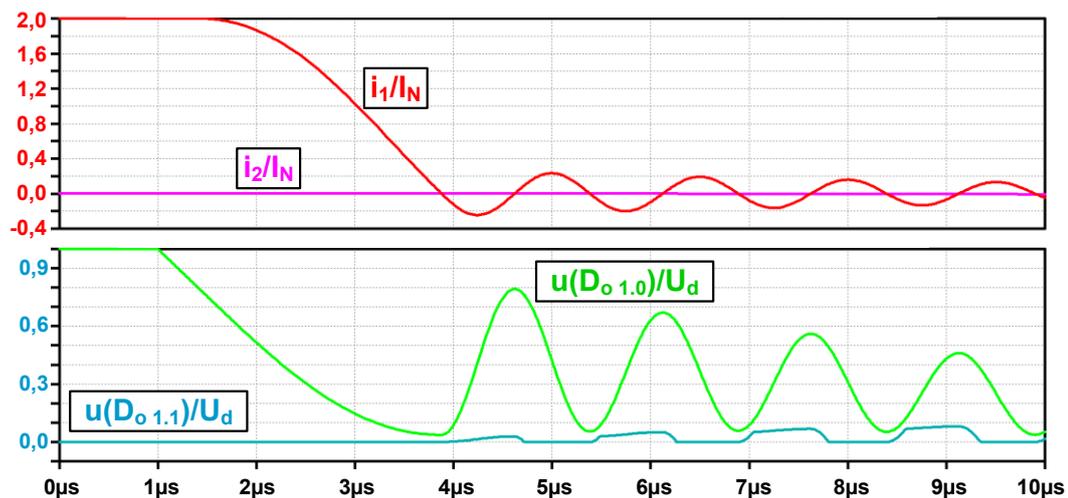


Abbildung 15: Fall A 0 d bei $i_1(t_0)=2 \cdot I_N$; $i_2(t_0) \approx 0$; $u_{AC}(t_0)=0,5 \cdot U_{DC}$; $I_{LL}=4,0 \%$

In Abbildung 15 ist zu erkennen, dass die vor dem Blockiervorgang sperrende Diode $D_{o1.0}$ ab $1 \mu s$ bis $3,8 \mu s$ Spannung abgibt – hier in grün und bezogen auf die mittlere Zwischenkreisspannung U_d dargestellt. Die Diodenspannung wird in dem Maße kleiner, in dem der gegenüberliegende abschaltende IGBT Spannung aufnimmt. Die Sperrspannung der Diode bleibt hier jedoch größer als null. Der Zweigstrom ändert seine Richtung bevor die Spannung zu null werden kann und die Diode wird nicht in Vorwärtsrichtung leitend. Am Ende dieses Absatzes wird darauf eingegangen, warum hier ab dem Vorzeichenwechsel des Zweigstromes das Modell nicht ungültig wird. Ab diesem Moment ist die Genauigkeit

der Ergebnisse anzuzweifeln, das prinzipielle Schaltverhalten wird jedoch korrekt abgebildet. Demnach reduziert sich die Spannung am abschaltenden IGBT ab $3,8 \mu\text{s}$ bis $4,6 \mu\text{s}$ sehr schnell. Grund ist die in der Simulation abgekoppelte und nun nicht mehr wirksame Kapazität C_{Plas} (vgl. Abbildung 7). Real sorgt der halbleiterphysikalisch bedingte Tailstrom des IGBT [10, S. 53] sogar dafür, dass die Spannung bereits sinkt, obwohl der Zweigstrom noch positiv ist. Ab dem Moment, in dem sich die IGBT Spannung wieder reduziert, sinkt auch die gesamte Zweigspannung. Grund hierfür ist die Vielzahl an IGBT Modulen in denen dies zeitgleich geschieht. Durch die reduzierte Zweigspannung ist auch die treibende Spannung an der Streuinduktivität reduziert. Der Betrag des di/dt sinkt. Im weiteren Verlauf ab $4,2 \mu\text{s}$ reduziert sich der Betrag des rückwärts fließenden Zweigstromes und wird zu null. Dieses Unterschwingen des Zweigstroms stellt nicht genügend Ladung zur Verfügung, um bei lang leitenden Dioden $D_{o1.1}$ die gesamte Reverse-Recovery-Ladung auszuräumen. Wie die blaue Kurve aus Abbildung 15 zeigt, nehmen folglich Dioden des Typs $D_{o1.1}$ keine Spannung auf und werden somit nicht übermäßiger Schaltleistung ausgesetzt. Dieser Effekt der nicht leitend werdenden Freilaufdiode scheint unkritisch, wird aber dennoch im weiteren Verlauf dieser Arbeit, im Rahmen der Messungen zum snappigen Diodenverhalten, mit untersucht. Dadurch wird ausgeschlossen, dass sich dem vorhergesagten Verhalten weitere unbekannte Effekte überlagern und doch eine Gefährdung von Halbleitern stattfindet.

Ein weiterer Effekt der auftreten kann, ist in Abbildung 15 nicht zu erkennen. Daher ist folgend in Abbildung 16 durch eine geringere initiale AC-Spannung mit $u_{AC}(t_0)=0,3$ ein weitere Zeitverlauf dargestellt, bei dem die Dioden $D_{o1.0}$ kurz leitend werden.

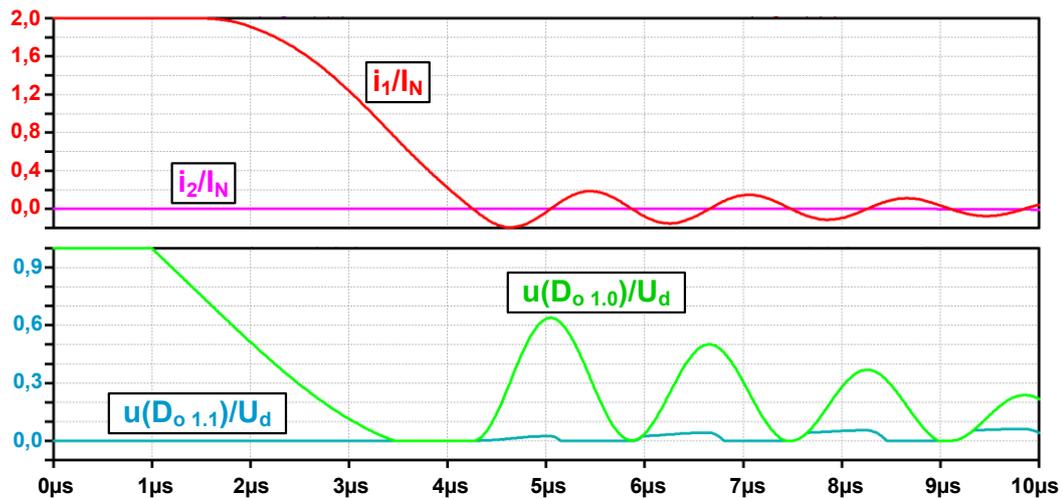


Abbildung 16: Fall A 0 d bei $i_1(t_0)=2 \cdot I_N$; $i_2(t_0) \approx 0$; $u_{AC}(t_0)=0,3 \cdot U_{DC}$; $I_{LL}=4,0 \%$

In Abbildung 16 ist zu erkennen, dass sich die Sperrspannung von $D_{o 1.0}$, in hellgrün dargestellt, entsprechend des gegenüber abschaltenden und Spannung aufnehmenden IGBT, reduziert. Ab $3,5 \mu s$ leitet die Diode $D_{o 1.0}$. Bei $4,3 \mu s$ erfolgt der Stromnulldurchgang des Zweigstromes, d.h. die Diode wird abkommutiert. Entsprechend der Ausführungen zum Modell in Absatz 2.2.3, beginnt hier der Bereich eingeschränkter Gültigkeit. Aus dem Modell wirkt hier nur noch die verhältnismäßig kleine Kapazität C_{CE} (vgl. Abbildung 7) des gegenüberliegenden Schalters der Spannungsänderung entgegen. Für die Diode ist, wie eingangs beschrieben, nur eine statische Kennlinie hinterlegt. Es trifft sich jedoch gut, dass diese kleine Kapazität prinzipiell auch die geringe Reverse-Recovery-Ladung einer nur kurz leitenden Diode abbildet. Die größere Kapazität C_{Plas} (vgl. Abbildung 7) wirkt hier nicht mehr, da sie bereits umgeladen und durch die Diode D_{Plas} abgekoppelt ist.

Für die Diode $D_{o 1.1}$ aus einem Modul, in dem die high-side Diode schon vor dem Blockiervorgang leitend war, zeigt sich jedoch ein anderes Verhalten des Modells. Hier ist die Kapazität C_{Plas} voll wirksam und reduziert merklich die Geschwindigkeit des Spannungsanstieges. In Abbildung 16 ist dem blauen Sperrspannungsverlauf $u(D_{o 1.1})$ zu entnehmen, dass die Diode $D_{o 1.1}$ kaum Sperrspannung aufnimmt. Eine real lang leitende Diode würde, bis die Reverse-Recovery-Ladung ausgeräumt ist, keine Spannung aufnehmen. Auch wenn die Kapazität C_{Plas} ursprünglich nicht dafür gedacht war, die dynamischen Eigenschaften einer Diode abzubilden, kommt das simulierte Verhalten voraussichtlich nahe an die real zu erwartenden Messkurven heran. Da das Modell allerdings nicht für diesen

Zweck kalibriert ist, gibt es nur Auskunft über den prinzipiellen Kurvenverlauf. Resultierende Werte unterliegen einer erhöhten Toleranz. Es folgt daher eine experimentelle Untersuchung dieses Verhaltens im weiteren Verlauf dieser Arbeit.

Es ist eindeutig zu erkennen, dass in den beiden Fällen aus Abbildung 15 und Abbildung 16 die lang leitenden Dioden kaum Spannung aufnehmen. Dadurch reduziert sich deren Belastung enorm. Die in Reihe geschalteten Submodule ohne lang leitende Dioden tragen somit durch die kurz leitenden Dioden, die schneller Spannung aufnehmen können, zur Entlastung der lang leitenden Dioden bei. Dies ist eine enorm wichtige Erkenntnis. Es bedeutet, dass der im vorigen Absatz ermittelte Stromanstieg von $1,2 \cdot I_N$ zwar theoretisch auftritt, aber dadurch nicht zwangsläufig lang leitende Dioden überbeansprucht werden. Der beschriebene Effekt trägt zur Entlastung der Leistungshalbleiter bei. Es ist jedoch nicht klar ob dieser Effekt in allen kritischen Fällen wirksam ist. Erkenntnisse dazu folgen im Zuge der Untersuchungen zu Fall A 1.2 c und durch anschließende Messungen im Kapitel 4.4.

3.2.1.6 Theoretische Analyse des Falles A 0 e

Im Fall A 0 e wird eine AC-Spannung von null angenommen. Alle anderen Parameter bleiben identisch zu Fall A 0 d. Daher ist, abgesehen von der folgend erwähnten Ausnahme, mit einem identischen Verhalten zu Fall d zu rechnen. Nur bei einer Auslegung mit ungewöhnlich hohen Ableiterspannungen wird das Verhalten dem folgend beschriebenen Fall f ähnlicher. Es sind keine Kommutierungsvorgänge zu erwarten die kritischer sind als die zuvor bei Fall A 0 d beschriebenen.

3.2.1.7 Theoretische Analyse des Falles A 0 f

Im Fall f tritt eine negative AC-Spannung auf. Dieser Fall ist abhängig vom Wert der AC-Spannung. Oberhalb einer bestimmten Schwelle, definiert durch Ableiterspannung abzüglich der maximalen Zweigspannung, ist mit einem zu Fall d vergleichbaren Verhalten zu rechnen. Liegt die AC-Spannung tiefer wird das Verhalten dem der Fälle a, b & c ähneln, jedoch mit folgendem Unterschied: Es ändert sich nicht die AC-Spannung, sondern die AC-Spannung zuzüglich der maximalen Zweigspannung genügt nicht, um den Ableiter ansprechen zu lassen. Der Strompfad wechselt nicht in den Ableiter. Es gibt daher keine kritischen Kommutierungen.

3.2.2 Kategorie A 1.0

Der Fallunterscheidung folgend ist bei Blockiervorgängen der Kategorie A 1.0 von gleichgroßen positiven Zweigströmen im oberen und unteren Zweig auszugehen. Die Stromsumme im AC-Knoten gibt vor, dass der AC-Strom null sein muss.

3.2.2.1 Theoretische Analyse der Fälle A 1.0 – a, b & c

Bei der Annahme eines kapazitätsfreien AC-Knotens wird die AC-Spannung unmittelbar zu null, weil beide Zweigspannungen wegen des positiven Zweigstromes maximal werden und sich die AC-Spannung aus dem dazwischenliegenden symmetrischen induktiven Spannungsteiler ergibt. Dies wird in der Regel dazu führen, dass beide Ableiter ansprechen. Das heißt, die Ableiter begrenzen die Spannung auf einen Wert der geringer ist als die maximale Zweigspannung. Die Spannungsdifferenz steht zur Verfügung um eine Stromänderung in den betreffenden Induktivitäten $L_{\sigma 1}$ und $L_{\sigma 2}$ hervorzurufen. Es folgt ein Kommutieren wie im Fall A 0 d, jedoch nun zeitgleich im oberen und unteren Zweig.

Die Annahmen dieser Fälle sind symmetrisch bezüglich des oberen und unteren Zweiges und bieten daher besonders gute Voraussetzungen um das zu erwartende di/dt grundlegend abzuschätzen. Diese Fälle wurden daher in der Diskussion über die zu erwartenden di/dt -Werte bereits aufgegriffen. Es zeigte sich dabei, dass hier ein geringerer di/dt -Wert als in Fall A 0 d zu erwarten ist. Es handelt sich also um einen potentiell riskanten Blockierfall, der jedoch nicht den Worst Case in bezug auf das di/dt darstellt. Daher wird dies nicht gesondert untersucht. Es wird folgend am Beispiel dieses Falles untersucht ob besonders kleine AC-Kapazitäten als kapazitätsfrei betrachtet werden können. Dabei wird ein weiterer Effekt ermittelt und untersucht.

3.2.2.2 Diskussion zum Fall A 1.0 a – nicht konstante Stromgradienten

Die bisherigen theoretischen Untersuchungen zum di/dt haben zwischen rein kapazitivem und kapazitätsfreiem AC-Knoten unterschieden. Der reale Kapazitätswert ist unbekannt. Um die Analysen zu präzisieren werden folgend praxisrelevante Werte, zwischen null und unendlich, angenommen. Durch die Annahme einer endlichen AC-Kapazität wird die gedankliche Durchdringung erheblich erschwert. Mithilfe vereinfachender Annahmen kann das Verhalten über Differentialgleichungen beschrieben werden. Unter der Annahme, die Zweigspannung ändere sich beim Blockieren sprunghaft und die Ableiterspannung sei ideal begrenzt, ergibt sich folgende, im Anhang (Kapitel 6.2) hergeleitete, Lösung:

$$i_1(t) = i_1(t_0) - t \cdot \frac{u_1 - u_{Abl1}}{L_{\sigma 1}} - u_{AC}(t_0) \sqrt{\frac{C_{AC}}{2 \cdot L_{\sigma 1}}} \cdot \sin\left(t \cdot \sqrt{\frac{2}{C_{AC} \cdot L_{\sigma}}}\right)$$

Eine Schaltungssimulation ist oftmals in der Anwendung wesentlich komfortabler. Beide Methoden führen zu dem Ergebnis, dass, bei Annahme einer endlichen AC-Kapazität, ein initial positiver Zweigstrom nicht mehr linear fällt, sondern eine Sinusschwingung additiv dazu überlagert wird. Diese Schwingungen sind von den parasitären Eigenschaften der Streuinduktivität und der AC-Kapazität abhängig. Da beide in der Regel nur grob abgeschätzt werden können, kann die Frequenz einer solchen Schwingung erheblich variieren. Daraus ergibt sich für das Abkommutieren einzelner Dioden ein Stromverlauf, der erheblich von dem eines klassisch induktiv gemessenen Kurzschlussfall IV mit linearem Stromverlauf abweicht.

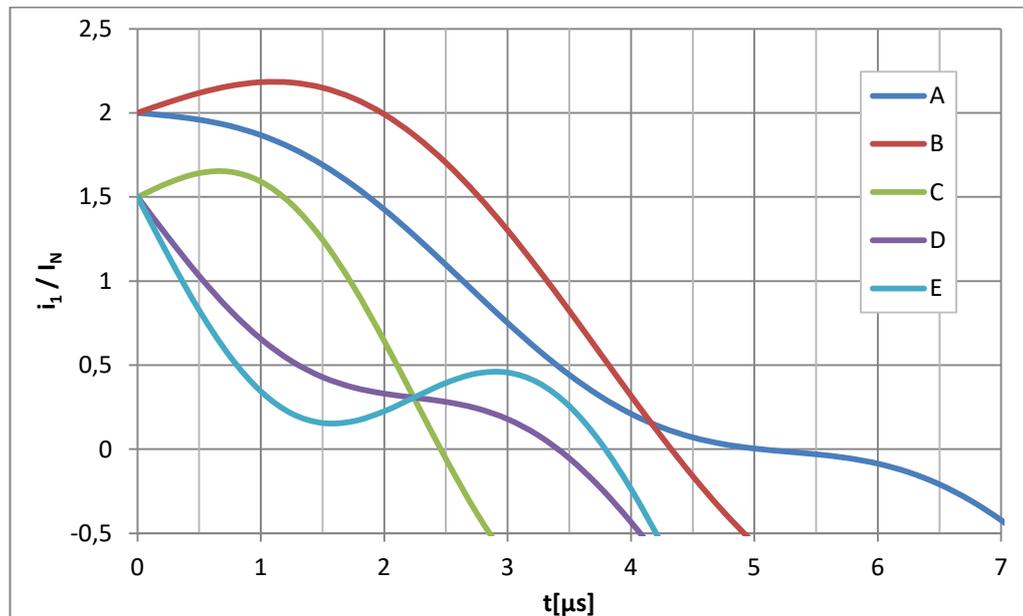


Abbildung 17: Beispielstromverläufe bei endlicher AC-Kapazität

Abbildung 17 zeigt beispielhaft einige Zweigstromverläufe, die mittels Differentialgleichung bestimmt wurden. Es ist hierbei zu erwähnen, dass die angenommenen Randbedingungen für Ströme kleiner als null nicht mehr gelten. Zur Verdeutlichung der Sinusschwingung wurden die Kurven jedoch trotzdem über diesen Punkt hinaus dargestellt. In Tabelle 4 werden die Randbedingungen der einzelnen Fälle aus Abbildung 17 angegeben.

Tabelle 4: Legendenaufschlüsselung zu Abbildung 17 nach Abs. 2.2.4

	A	B	C	D	E
$i_1(t_0) / I_N$	2,00	2,00	1,50	1,50	1,50
\hat{U}_1 / U_{DC}	1,50	1,50	1,50	1,50	1,50
$U_{Abi}(\text{bei } I_N) / U_{DC}$	1,20	1,20	1,20	1,20	1,20
$U_{AC}(t_0) / U_{DC}$	-0,25	-0,50	-0,50	0,25	0,50
$U_K(L_\sigma) / U_{AC} [\text{‰}]$	0,70	0,70	0,50	0,50	0,50
$I_{LL}(C_{AC}) / I_N [\text{‰}]$	0,20	0,40	0,20	0,20	0,20

Die Größen U_K und I_{LL} beschreiben die Streuinduktivität des Zweiges und die AC-Kapazität. Diese Größen wurden im Absatz 2.2.4 genauer beschrieben. Es genügt hier zu wissen, dass ein U_K/U_{AC} von 0,5 ‰ einen MMC-üblichen Wert für L_σ beschreibt. Aus größeren Werten für U_K resultiert eine erhöhte Streuinduktivität. Ein Wert für I_{LL}/I_N von 0,4 ‰ beschreibt einen kleinen, aber noch MMC-üblichen, Wert für die AC-Kapazität. Kleinere Werte sprechen für einen Transformator mit besonders geringen Kapazitäten.

Abbildung 17 verdeutlicht die Möglichkeit, dass durch die Berücksichtigung einer endlichen AC-Kapazität, der Stromgradient im Stromnulldurchgang erheblich erhöht oder verringert wird. Beispielsweise ist die mit „A“ bezeichnete Kurve im Nulldurchgang erheblich flacher als die anderen Kurven. Der unabhängig vom Stromnulldurchgang maximal auftretende di/dt -Wert ist identisch zu dem Fall bei dem eine unendlich große AC-Kapazität angenommen wurde.

Unklar ist jedoch bisher, welches di/dt bei diesem Verhalten maßgebend für die Schaltleistung und die daraus resultierende Halbleiterbelastung ist. Denkbar ist, dass das mittlere di/dt in einem bestimmten Zeitraum vor oder um den Stromnulldurchgang relevant ist. Es kann auch der maximale oder minimale Stromgradient relevant sein. Aus diesem Grund wird Folgend einer dieser Fälle simuliert. Zusätzlich werden weitere experimentelle Untersuchungen dazu durchgeführt. Im Absatz 4.4 wird zunächst auf den verwendeten Messaufbau genauer eingegangen, bevor anschließend die Messergebnisse dieses Teilaspektes genauer beschrieben werden.

3.2.2.3 Simulation des Falles A 1.0 a – Nicht konstanter Stromanstieg

Wie soeben beschrieben, führen parasitäre Effekte einschließlich des Einflusses der AC-seitigen Kapazität dazu, dass der Stromgradient während des Blockiervorgangs nicht konstant bleibt. Die veränderte Form des Zweigstromes und die Auswirkungen auf die Halbleiter sollen nun Mittels Simulation näher untersucht werden.

3 MMC-Verhalten bei Taktsperrung – 3.2 Taktsperrung mit Ableiter – eine kategorisierende Systemanalyse

Weiterhin besteht die These, dass lang leitende Dioden durch die kurz leitenden Dioden entlastet werden. Dies kann zum einen eintreten, in dem die kurz leitenden Dioden, wie in Absatz 3.2.1.5 beschrieben, die gesamte notwendige Sperrspannung aufnehmen. Zum anderen kann, auch wenn dies nicht zutrifft, davon ausgegangen werden, dass bevor die lang leitenden Dioden Spannung aufnehmen, zunächst alle kurz leitenden Dioden abkommutiert sind. Dies bedeutet, dass in dem entsprechenden Kommutierungskreis ein erheblicher Anteil der treibenden Spannung fehlt. Daraus ergibt sich ein deutlich reduzierter Stromgradient, der vom regulären linearen Stromverlauf abweicht. Dies entlastet voraussichtlich die lang leitenden Dioden. Da dieser Effekt erst nach dem Sperren der kurz leitenden Dioden auftritt, wird für die lang leitenden Dioden kurz nach dem Stromnulldurchgang der Stromanstieg deutlich abflachen. Dies wird im Zuge des Falles A 1.2 c im Absatz 3.2.4.2 näher untersucht.

Um einen Ansatz zur Auslegung des Teststandes zu bekommen, wurde hier zunächst durch Parametervariationen eine Konfiguration gesucht, bei der sich wie beschrieben ein nicht linear fallender Stromverlauf ergibt. Wird abweichend vom Beispieldatensatz die AC-Kapazität besonders klein gewählt, beispielsweise durch $I_{LL} = 0,3 \text{ ‰}$, so ergibt sich der folgend in Abbildung 18 dargestellte Zeitverlauf.

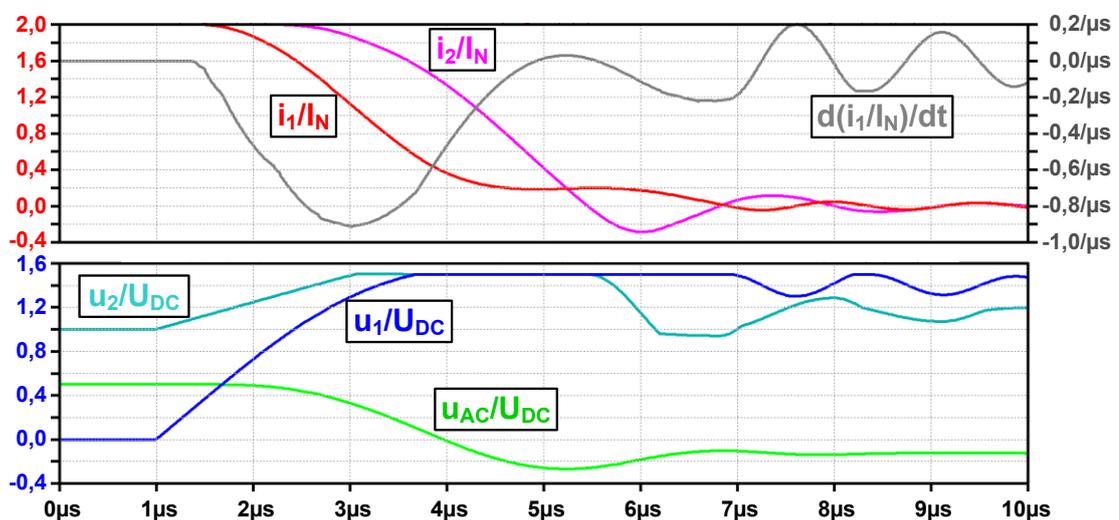


Abbildung 18: Fall A 1.0 a bei $i_1(t_0)=2 \cdot I_N$; $i_2(t_0)=2 \cdot I_N$; $u_{AC}(t_0)=0,5 \cdot U_{DC}$; $I_{LL}=0,3 \text{ ‰}$

In dem Zeitverlauf ist zu erkennen, dass durch die Überlagerung einer Sinusschwingung auf den fallenden Zweigstrom des Blockiervorganges ein flacher Bereich vor dem Stromnulldurchgang entsteht (rote i_1 Kurve bei 5 µs). Das eingangs betragsmäßig hohe di/dt von

-0,9 $I_N/\mu\text{s}$ wird zwischenzeitlich zu null. Zum Zeitpunkt des Stromnulldurchgangs ergibt sich ein reduzierter di/dt -Wert von -0,2 $I_N/\mu\text{s}$.

Es kann festgehalten werden, dass es wichtig ist, einen nicht konstanten Stromanstieg zu beachten. Da die Simulation es nicht vermag, das Reverse-Recovery-Verhalten realgetreu darzustellen, bedürfen solche Kommutierungsvorgänge einer messtechnischen Untersuchung. Es ist dabei von besonders hohem Interesse, ob die resultierende Schaltleistung eher mit der Schaltleistung eines hohen, oder mit der eines niedrigen di/dt korreliert. Die Ergebnisse der Messungen werden im Absatz 4.4 gezeigt und erörtert.

3.2.2.4 Theoretische Analyse des Falles A 1.0 d

Im Fall einer kapazitiv eingeprägten positiven Spannung am AC-Knoten ist für den oberen Zweig mit einer Kommutierung identisch zu Fall A 0 d zu rechnen. Für den unteren Zweig kann eine Kommutierung abhängig von der AC-Spannung eintreten. Die Betrachtung des unteren Zweiges ist jedoch aus Symmetriegründen irrelevant.

3.2.2.5 Theoretische Analyse des Falles A 1.0 e

Ist eine AC-Spannung von null kapazitiv eingeprägt, so ist mit einem ähnlichen Verhalten zu Fall A 1.0 a zu rechnen. Die erhöhte AC-Kapazität wirkt einer überlagerten schnellen Schwingung entgegen. Eine Kommutierung auf den Ableiter ist prinzipiell möglich. Dieser Fall stellt allerdings nicht den Worst Case in Bezug auf das zu erwartende di/dt dar. Weitere Untersuchungen dazu fanden bereits bei dem Fall A 0 d statt und sind hier daher nicht mehr notwendig.

3.2.2.6 Theoretische Analyse des Falles A 1.0 f

Ist die eingeprägte AC-Spannung negativ, hängt das Verhalten, wie schon im Fall A 0 f, von der Höhe der AC-Spannung ab. Unterschreitet die AC-Spannung die Grenze, vorgegeben durch Ableiterspannung abzüglich der maximalen Zweigspannung, so tritt keine Kommutierung auf. Der Zweigstrom im oberen Zweig bleibt unverändert bis die Zweigdrossel abkommutiert. Liegt die AC-Spannung über dieser Schwelle so wird ein Kommutieren gemäß den Analysen zu Fall A 0 d eintreten.

3.2.3 Kategorie A 1.1

Entsprechend der voranstehenden Fallunterscheidung ist in dieser Kategorie von positiven Zweigströmen, sowohl im oberen als auch im unteren Zweig auszugehen, wobei der obere Zweigstrom größer ist als der untere Zweigstrom. Aus der Stromsummengleichung im

AC-Knoten ergibt sich der AC-Strom als Differenz der beiden Zweigströme. Es resultiert ein AC-Strom der gemäß Abbildung 2 positiv ist und aus der Umrichterphase heraus fließt.

3.2.3.1 Theoretische Analyse der Fälle A 1.1 - a, b & c

In den Fällen A 1.1 a, b & c wird angenommen, die AC-Spannung könne sich sprunghaft ändern. Tritt die Taktsperrung ein, so werden wegen der positiven Zweigströme beide Zweigspannungen maximal. Wie im Fall A 0 d beginnt eine Kommutierung zum Ableiter, nun jedoch in beiden Zweigen gleichzeitig. Der Kommutierungspfad geht über beide Ableiter und beide Zweige. In diesem Kommutierungskreis ergibt sich die AC-Spannung aus dem induktiven Spannungsteiler der Zweigstreuinduktivitäten. Der AC-Strom bleibt unverändert. Demnach leitet der obere Zweig weiterhin mehr Strom als der untere Zweig. Wenn der Strom im unteren Zweig zu null geworden ist, ist der obere Zweigstrom noch positiv. Dann kann der untere Zweig, zumindest nach dem Ausräumen entsprechender Reverse-Recovery-Ladungen, seine Spannung ändern. Das weitere Verhalten gleicht dem aus Kategorie A 0. Hier verschiebt sich in den Fällen a, b & c die AC-Spannung nach unten, sodass der obere Zweig den verbleibenden AC-Strom leiten und dadurch seine maximale Spannung beibehalten kann. Die Spannung am DC-Ende des oberen Zweiges ist durch den Strom des Ableiters und dessen Kennlinie vorgegeben. Der eingeschwungene Strom des oberen Ableiters ergibt sich aus der Differenz der initialen Zweigströme, diese entspricht dem AC-Strom. Der Strom des unteren Ableiters entspricht dem initialen unteren Zweigstrom. Da für den oberen Zweig weder die Zweigspannung durch die äußere Beschaltung bestimmt ist, noch der Zweigstrom zu null wird, erfolgt in diesen Fällen auch keine relevante Belastung der Leistungshalbleiter. Diese Fälle sind unkritisch und müssen daher nicht eingehender untersucht werden.

3.2.3.2 Theoretische Analyse der Fälle A 1.1 - d, e & f

In den Fällen A 1.1 d, e & f wird von einer eingepprägten Spannung im AC-Knoten ausgegangen. Dadurch ist das Verhalten der Zweige voneinander entkoppelt. Es gibt keine Wechselwirkung zwischen den Zweigen. Daher verhalten sich diese Fälle identisch zu den Fällen d, e & f aus Kategorie A 0. Es gibt bei ausreichend hoher AC-Spannung eine vollständige Kommutierung auf den Ableiter inklusive der resultierenden Halbleiterbelastungen. Die höchsten Belastungen resultieren in Fall A 1.1 d, sie sind identisch mit denen aus Fall A 0 d. Detaillierte Untersuchungen dazu sind bereits in Absatz 3.2.1 erfolgt.

3.2.4 Kategorie A 1.2

Gemäß der Fallunterscheidung wird von positiven Zweigströmen sowohl im oberen als auch im unteren Zweig ausgegangen, wobei der obere Zweigstrom kleiner ist als der untere Zweigstrom. Daraus ergibt sich, dass der AC-Strom in die Umrichterphase hinein fließt.

3.2.4.1 Theoretische Analyse der Fälle A 1.2 - a, b & c

Eine Gemeinsamkeit der Fälle a, b & c ist die Annahme eines kapazitätsarmen AC-Knotens (vorwiegend induktiv). Die Fälle unterscheiden sich durch verschiedene Annahmen für die AC-Ausgangsspannung vor dem Blockieren.

Diese Fälle können besonders kritisch sein, denn hier werden die lang leitenden Dioden nicht durch die aufgenommene Sperrspannung der kurz leitenden Dioden entlastet, wie es für den Fall A 0 d beschrieben wurde. Dies ist daran zu erkennen, dass die Zweigspannung $u_1(t)$ im Laufe des Kommutierungsvorgangs kleiner wird als ihr Wert zu Beginn der Kommutierung $u_1(t_0)$.

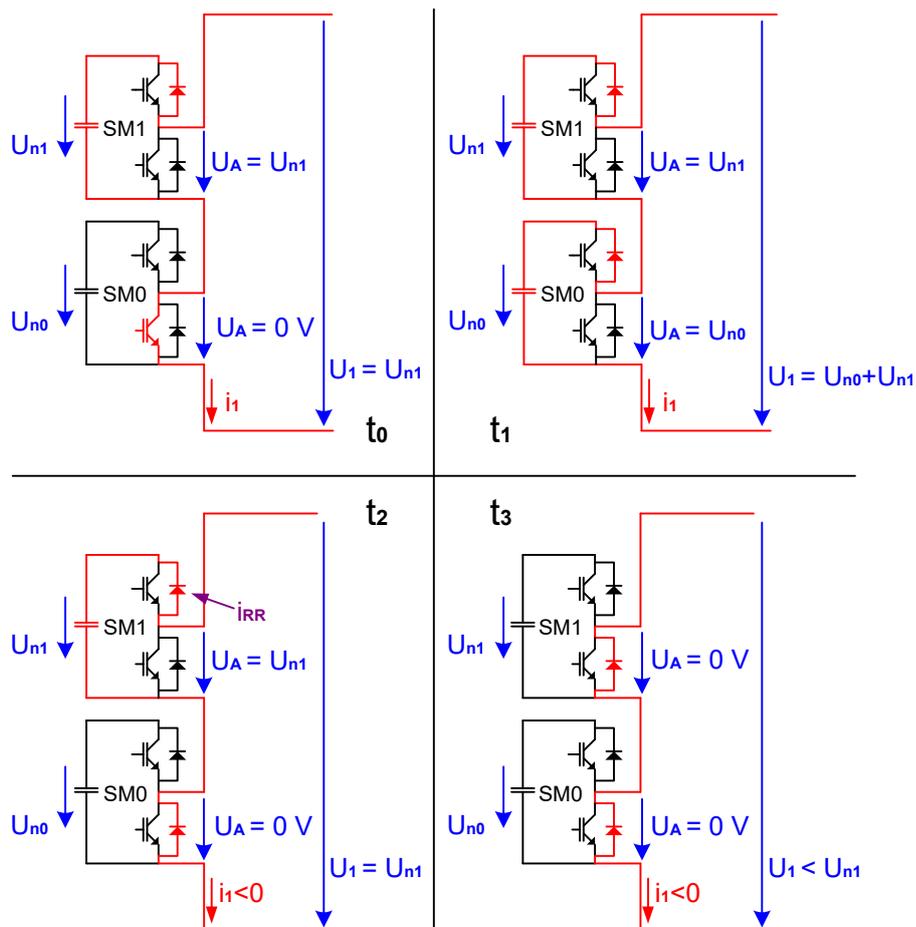


Abbildung 19: Zweigspannung U_1 vor, während und nach kritischer Kommutierung

Abbildung 19 zeigt warum lang leitenden Dioden Spannung sperren müssen, wenn die Zweigspannung $u_1(t)$ ihren initialen Wert $u_1(t_0)$ unterschreitet. Gezeigt wird hier ein vereinfachter Zweig, beziehungsweise ein Zweigausschnitt, bestehend aus zwei Submodulen. Bei dem Submodul 0 (SM0) ist zum Zeitpunkt t_0 der low-side IGBT eingeschaltet und leitet den Zweigstrom. Bei dem anderen Submodul 1 (SM1) ist der high-side IGBT eingeschaltet. Dessen antiparallele Diode leitet den Zweigstrom. Durch das Blockieren leiten nach der submodulinternen Kommutierung alle high-side Dioden zum Zeitpunkt t_1 den Zweigstrom. Die Zweigspannung ergibt sich aus der Summe aller Zwischenkreisspannungen. Aufgrund dieser Spannung kommutiert anschließend der Zweigstrom in den Ableiter. Wegen der unveränderten Spannungsverhältnisse bleibt das di/dt konstant, der Zweigstrom wechselt seine Flussrichtung. Ist die Reverse-Recovery-Ladung der kurz leitenden Diode ausgeräumt nimmt diese Sperrspannung auf. Der Zweigstrom kommutiert zum Zeitpunkt t_2 in die low-side Freilaufdiode des Submoduls 0. In vielen Fällen wird dieser Rückgang der Zweigspannung bewirken, dass kein zusätzlicher Strom in den Ableiter fließt und der Zweigstrom zu null werden kann. Fließt der Zweigstrom jedoch immer noch weiter in Rückwärtsrichtung, dann nimmt anschließend auch die high-side Diode des Submoduls 1 Spannung auf. Zum Zeitpunkt t_3 ist dadurch die Zweigspannung kleiner als die Zwischenkreisspannung U_{n1} . Damit ist die momentane Zweigspannung, nachdem die lang leitende Diode Spannung aufgenommen hat, kleiner als ihr Startwert $u_1(t_0)=U_{n1}$. Nun kann die Anzahl der Submodule gedanklich vervielfältigt werden. Es wird klar: Wenn die Zweigspannung $u_1(t)$ ihren initialen Wert $u_1(t_0)$ unterschreitet zeigt dies an, dass lang leitende Dioden Sperrspannung aufgenommen haben. Die folgenden Spice-Simulationen des nächsten Abschnitts zeigen, ob dieser Fall eintritt oder ob die Topologie eines MMC diese Konstellation ausschließt. Warum in den zu betrachtenden Fällen die obere Zweigspannung $u_1(t)$ unter ihren Anfangswert $u_1(t_0)$ sinkt, lässt sich folgendermaßen erklären:

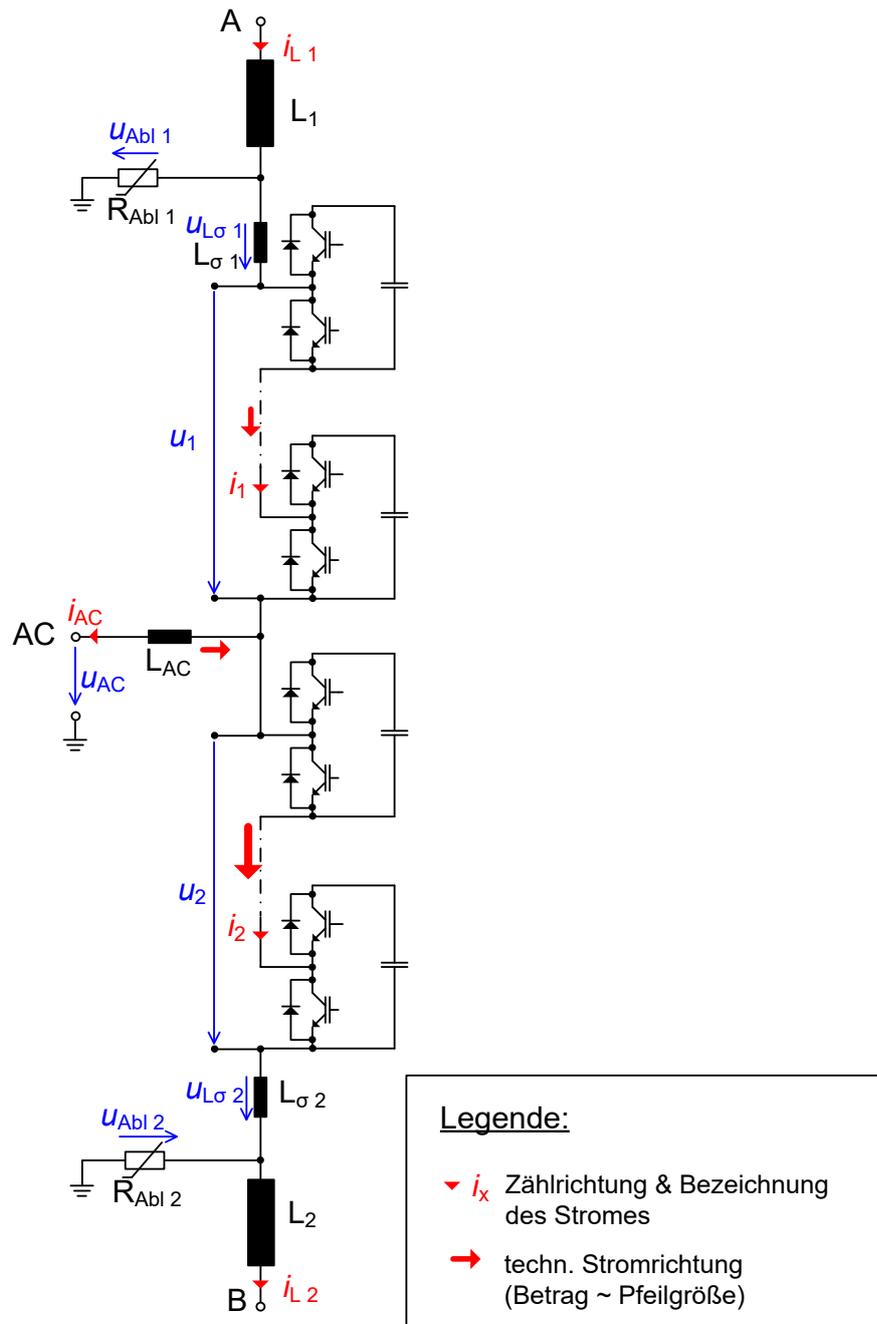


Abbildung 20: Umrichterphase zu den Fällen A 1.2 a, b & c

Zur Veranschaulichung wird in Abbildung 20 eine Phase des Umrichters vereinfacht dargestellt. Analysiert wird zunächst der Zeitpunkt an dem die Kommutierung bereits abgeschlossen ist. In Bezug zu Abbildung 19 ist dies erst deutlich nach t_3 der Fall. Dann sind alle Ströme quasistatisch und induktive Spannungsabfälle dürfen vernachlässigt werden. Nach den Ausgleichsvorgängen ist der obere Zweig stromlos. Der untere Zweig leitet weiterhin Strom. Dieser Strom entspricht in seinem Betrag dem AC-Strom vor dem Blockieren, $i_{AC}(t_0)$. Daher ist die untere Zweigspannung u_2 maximal. Sie ergibt sich aus der Anzahl der

3 MMC-Verhalten bei Taktsperrung – 3.2 Taktsperrung mit Ableiter – eine kategorisierende Systemanalyse

Module im Zweig multipliziert mit der mittleren Zwischenkreisspannung U_d . Die beiden Ableiterspannungen sind zur Vereinfachung der Analyse fest definiert als U_{Abl1} und U_{Abl2} . Daher ist die Spannung des oberen Zweiges von außen definiert. Sie ergibt sich aus der Summe der beiden Ableiterspannungen abzüglich der maximalen unteren Zweigspannung \hat{U}_2 .

$$u_1(t_\infty) = U_{Abl1} + U_{Abl2} - \hat{U}_2$$

Dieser Endwert wird sich in dem betrachteten Fall immer einstellen, unabhängig welche Höhe die obere Zweigspannung vor dem Blockieren $u_1(t_0)$ hatte. Lang leitende Dioden müssen, gemäß der Abfolge aus Abbildung 19, Spannung aufnehmen wenn die Bedingung

$$u_1(t_0) > u_1(t_\infty)$$

erfüllt ist. Unter Zuhilfenahme der folgenden Startbedingung:

$$u_1(t_0) = \frac{U_{DC}}{2} - u_{AC}(t_0)$$

kann diese Bedingung umformuliert werden zu:

$$u_{AC}(t_0) < U_{DC}/2 - u_1(t_\infty)$$

Demnach ist mit einer Sperrspannungsbeanspruchung lang leitender Dioden zu rechnen, wenn die AC-Ausgangsspannung vor dem Blockieren kleiner ist als die halbe DC-Spannung abzüglich des festen Endwertes der oberen Zweigspannung $u_1(t_\infty)$. Mit ersetzttem $u_1(t_\infty)$ ergibt sich, als Bedingung dafür das lang leitenden Dioden Sperrspannung aufnehmen müssen:

$$u_{AC}(t_0) < U_{DC}/2 - U_{Abl1} - U_{Abl2} + \hat{U}_2$$

Der unter Fall A 0 d beschriebene Entlastungsvorgang, durch den die lang leitenden Dioden keine Sperrspannung aufnehmen müssen, greift in diesem Fall also nicht. Andererseits müssen die kurz leitenden Dioden trotzdem zuerst Sperrspannung aufnehmen. Dies reduziert zumindest die treibende Spannung über der Streuinduktivität. Dadurch wird kurz nach dem Stromnulldurchgang das di/dt der lang leitenden Dioden reduziert. Es liegt die Vermutung nahe, dass dies ebenfalls einen entlasten Beitrag für die lang leitenden Dioden darstellt. Dies wird anschließend messtechnisch untersucht. Es gilt zu klären, ob dies zur Verringerung der Schaltleistung führt. Dafür wird im Verlauf des Kapitels 4 ein angepasster Versuchsaufbau entwickelt. Dieser ermöglicht es, das di/dt einer lang leitenden Diode, nach dem Stromnulldurchgang zu verringern.

Solange unklar ist ob das durch die kurz leitenden Dioden verringerte di/dt zu einer maßgeblichen Entlastung der lang leitenden Dioden beiträgt, kann dieser besonders kritische Fall auch mithilfe eine Diskussion über die AC-Kapazität ausgeschlossen werden. Kann

konstruktiv eine gewisse Mindest-AC-Kapazität garantiert werden, ist dieser Belastungsfall unkritisch, da ein Übergang vom beschriebenen Fall A 1.2 c zum nachfolgend beschriebenen Fall A 1.2 f erfolgt. Diese Argumentation ist jedoch von den angeschlossenen Komponenten abhängig. Ein üblicher Transformator würde mit seiner Wicklungskapazität vermutlich dafür sorgen, dass es sich um den weniger kritischen Fall A 1.2 f handelt. Bei einem besonders kapazitätsarmen Transformator oder einer direkt angeschlossenen Freileitung wäre diese Argumentation allerdings hinfällig, daher folgen zunächst weitere Untersuchungen mittels Simulation bevor anschließend mit der theoretischen Analysen der Fälle A 1.2 d, e & f fortgefahren wird.

3.2.4.2 Simulation des Falles A 1.2 c – Abkommutieren lang leitender Dioden

Die vorangehenden theoretischen Analysen zu Fall A 1.2 c legen nahe, dass in diesem Fall lang leitende Dioden abkommutiert werden, ohne dass entlastende Effekte die Schaltleistung reduzieren. Daher wird dieser Fall Mittels Simulation genauer untersucht.

In der folgenden Abbildung 21 sind beispielhaft die simulierten Zeitverläufe der Zweigspannungen und -ströme, sowie der AC-Spannung für den Fall A 1.2 c dargestellt.

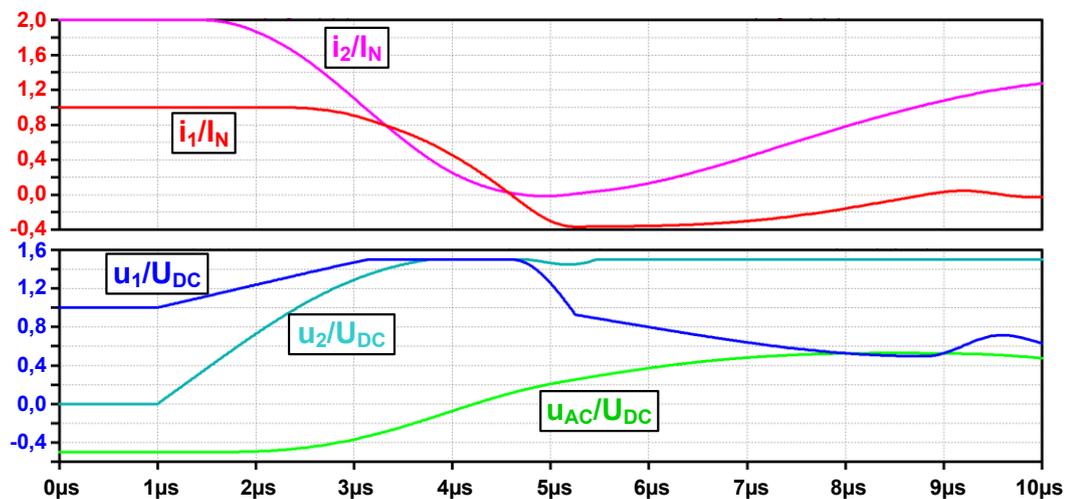


Abbildung 21: Fall A 1.2 c bei $i_1(t_0)=I_N$; $i_2(t_0)=2 \cdot I_N$; $u_{AC}(t_0)=-0,5 \cdot U_{DC}$

Dabei wurde entsprechend für den Fall c ein Parametersatz mit einer geringen AC-Kapazität (gemäß Tabelle 1 $I_{LL}/I_N=0,4 \%$) gewählt. Es ist zu erkennen, dass für diese Konstellation die obere Zweigspannung u_1 (in blau und mit $1/U_{DC}$ normiert) im späteren Verlauf der Kommutierung unter ihren Startwert von $1,0 \cdot U_{DC}$ sinkt. Dies bedeutet entsprechend der vorigen Ausführungen der theoretischen Systemanalyse, dass hier auch lang

3 MMC-Verhalten bei Taktsperrung – 3.2 Taktsperrung mit Ableiter – eine kategorisierende Systemanalyse

leitende Dioden abkommutiert werden. Bei diesem Vorgang kann die Schaltleistung riskant hoch werden. Daher folgt, mit Abbildung 22, eine weitere Simulation mit veränderter initialer AC-Spannung um zu evaluieren, welche Randbedingung für die Messungen anzunehmen ist.

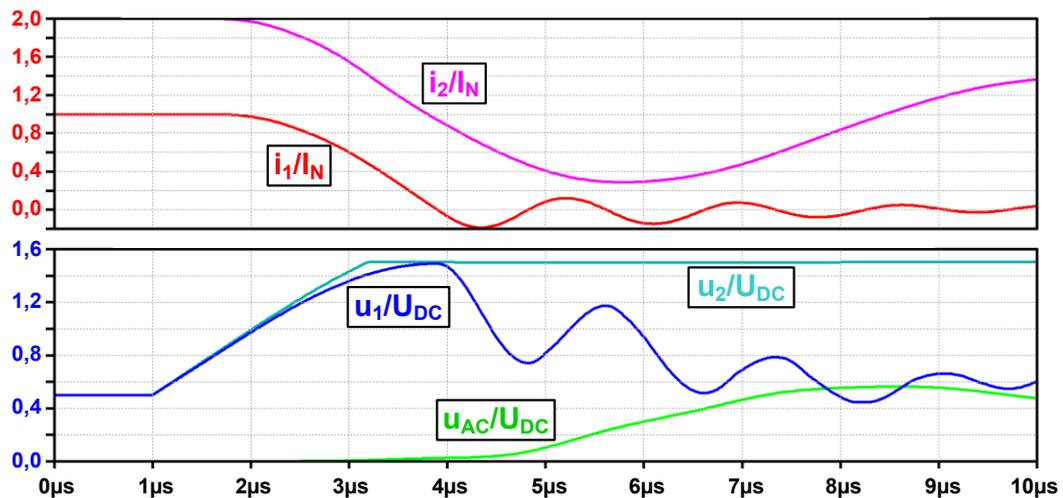


Abbildung 22: Fall A 1.2 b bei $i_1(t_0)=I_N$; $i_2(t_0)=2 \cdot I_N$; $u_{AC}(t_0)=0$

Abbildung 22 zeigt die Zeitverläufe für die Annahme einer AC-Spannung von null – es handelt sich hierbei um Fall A 1.2 b. Es ist zu erkennen, dass die obere Zweigspannung noch ihren Startwert unterschreitet. Dies geschieht allerdings erst nachdem sich der Zweigstrom auf null eingependelt hat. In einem realen System ist davon auszugehen, dass die gezeigte Schwingung durch die Verlustleistung, die das Ausräumen der Ladungsträger aus den Leistungshalbleitern mit sich bringt, so stark gedämpft wird, dass eine kritische Belastung der Halbleiter ausgeschlossen werden kann. Zur Ermittlung der Messparameter kann festgehalten werden, dass eine maximal negative Ausgangsspannung den Worst Case darstellt. Weiterhin ist anzumerken, dass das Simulationsmodell nach dem Stromnulldurchgang nur noch bedingt anwendbar ist und hier nur einen prinzipiellen Verlauf darstellt. Anschließend wird daher dieser Fall im Teststand weitestgehend realgetreu nachgestellt und messtechnisch untersucht.

Aus Abbildung 21 kann für die durchzuführenden Messungen ein di/dt von $0,8 \cdot I_N/\mu s$ zum Zeitpunkt des Stromnulldurchgangs abgeschätzt werden. Dieser Wert wird im Folgenden als zu erwartend herangezogen. Im Gegensatz dazu wurde die Anwendbarkeit des höheren Wertes aus Absatz 3.2.1.4 durch die entlastenden Analysen aus Absatz 3.2.1.5 wider-

legt. Weiterhin ist in Abbildung 21 zu erkennen, wie das di/dt beginnt sich unmittelbar nach dem Stromnulldurchgang deutlich zu reduzieren. Dies ist ein Indiz dafür, dass auch hier gemäß des vorletzten Absatzes aus Abschnitt 3.2.4.1 die kurz leitenden Dioden zur Entlastung der lang leitenden Dioden beitragen. Jedoch muss hier nochmals auf die eingeschränkte Gültigkeit des Modells in diesem Zeitbereich verwiesen werden. Genauere Erkenntnisse dazu erfolgen mit den Messungen aus Abschnitt 4.4.1 zum abflachenden Zweigstrom nach dem Stromnulldurchgang.

3.2.4.3 Theoretische Analyse der Fälle A 1.2 - d, e & f

In den Fällen A 1.2 d, e & f wird von einer eingprägten Spannung im AC-Knoten ausgegangen. Wie schon in den vorigen Kategorien ist durch die AC-Kapazität das Verhalten der Zweige voneinander entkoppelt, es gibt keine Wechselwirkung des einen Zweiges auf den anderen Zweig. Daher verhalten sich auch diese Fälle identisch zu den Fällen d, e & f aus Kategorie A 0. Es gibt demnach bei ausreichend hoher AC-Spannung eine vollständige Kommutierung auf den Ableiter, inklusive der resultierenden Halbleiterbelastungen durch hohe Schaltleistungen. Diese Belastungen wurden für den Fall A 0 d bereits erörtert und müssen daher nicht erneut betrachtet werden.

Für Kategorie A 1.2 ist es außerdem Prämisse, dass der obere Zweigstrom i_1 kleiner ist als der untere Zweigstrom i_2 . Dadurch stellt sich insbesondere hier die Frage ob bei besonders kleinen Zweigströmen spezifische Effekte zu erwarten sind. Es ist bekannt dass Dioden insbesondere bei kleinen Strömen zu snappigem Schaltverhalten tendieren. Aus diesem Grund folgt eine Diskussion zu möglichen Ursachen snappigen Schaltverhaltens. Eine anschließende Simulation liefert präzisere Erkenntnisse.

3.2.4.4 Diskussion zum Fall A 1.2 f – snappiges Schaltverhalten von Dioden

Der Rückstromabriss beziehungsweise ein snappiges Schalterhalten einer Diode hängt von vielen Faktoren ab. Der Effekt kann bei einem Reverse-Recovery-Vorgang und während eines Kurzschlussfall IV auftreten. Dabei reißt der Rückstrom der Diode plötzlich ab und wird schlagartig zu null. Aus dieser Stromänderung resultiert durch die Streuinduktivität eine drastische Überspannung. Diese Überspannung kann das maximale Sperrvermögen der Halbleiter übersteigen und zur Zerstörung des Halbleiterbausteins führen. Snappiness kann vor allem bei sehr kleinen Strömen beobachtet werden. Viele Leistungsdioden sind speziell so konstruiert, dass sie nicht zu Snappiness neigen. Dies sind Dioden mit sogenanntem soften Reverse-Recovery-Verhalten. Die im weiteren Verlauf dieser Ar-

beit erfolgten experimentellen Untersuchungen haben jedoch gezeigt, dass selbst solche weichen Dioden unter einer weiteren Randbedingung zu einem schnappen Verhalten neigen. Ist zusätzlich zu der Bedingung eines kleinen Laststromes die Leitdauer der Diode sehr kurz, so ergibt sich, trotz Verwendung einer weichen Diode, die Gefahr einer Überspannung durch Snappiness. In einem Zweipunktumrichter ist diese Tatsache nicht sonderlich relevant, da kurze Pulse in der Regel durch die Steuerung vermieden werden. In einem MMC können, im Rahmen eines Blockiervorganges, zwei Auslöser genau solche Randbedingungen hervorrufen:

Zum einen ist es denkbar, dass ein Submodul erst kurz vor einem Blockiervorgang den Schaltzustand gewechselt hat. Dadurch könnte der Strom nach der Zustandsänderung des Submoduls gerade erst in dessen high-side Diode kommutiert sein und anschließend durch den Blockiervorgang wieder abkommutiert werden. Da ein zeitgleiches Schalten vieler Module regulär vermieden wird, würde diese Konstellation nur ein einzelnes Submodul treffen. Bei kleinen Zweigströmen ist es wahrscheinlicher, dass der Zweigstrom, gemäß der folgenden Erörterung, zu klein ist, um den Ableiter ansprechen zu lassen. Eine schnelle Kommutierung fände nicht statt. Bei größeren Zweigströmen ist davon auszugehen, dass diese Diode nicht die einzige kurz leitende Diode bleibt. Alle anderen Dioden wären dann jedoch noch kürzer leitend und würden gemäß voriger Thesen zu Entlastung dieser einzelnen Diode beitragen. Daher wird dieser mögliche Auslöser für eine schnelle Kommutierung im Rahmen dieser Arbeit nicht weiter betrachtet.

Der zweite mögliche Auslöser ist der Blockiervorgang eines MMC selbst. Abhängig von den Startbedingungen und parasitären Eigenschaften des MMC ist folgende Konstellation denkbar: Ein positiver Zweigstrom wird durch die Streuinduktivität des Zweiges zunächst weiter getrieben. Wegen des Blockiersignals werden anschließend alle der bis dahin nicht leitenden high-side Dioden des Zweiges leitend. Aufgrund der Randbedingungen während des Blockiervorgangs, wird der Strom anschließend abkommutiert. Damit ist für alle betreffenden Dioden die Bedingung der kurzen Leitdauer erfüllt.

Es soll nun geklärt werden, ob in diesem Fall zeitgleich die zweite Bedingung, eines kleinen Stromes, erfüllt sein kann. Bei kleinen Strömen dauert es beim Abschalten länger die Ladungsträger aus dem low-side IGBT auszuräumen. Dadurch steigt auch die Zweigspannung beim Blockieren langsamer an. Es bleibt mehr Zeit für den Zweigstrom in den Ableiter zu kommutieren. Auf dieser Erkenntnis beruht die folgende These:

Bei ausreichend kleinen initialen Zweigströmen wird der Zweigstrom negativ, bevor die Kollektorspannung der abschaltenden low-side IGBT die Zwischenkreisspannung erreicht

hat. Die high-side Dioden werden demnach nicht leitend und sind nicht der Gefährdung eines snappigen Schaltverhaltens ausgesetzt.

Damit aus dieser These ein ausreichender Schutz vor Diodenstromabrissen im gesamten MMC abgeleitet werden kann, müssen zwei relevante Stromgrenzen bestimmt werden. Es muss zum einen ermittelt werden wie groß der „ausreichend kleine initiale Zweigstrom“ maximal sein darf, sodass die high-side Dioden immer noch nicht leitend sind. Diese Frage ist mittels Simulation zu klären. Voraussetzung ist ein positiver Zweigstrom, es eignet sich daher jeder Fall dessen Kategoriebezeichnung mit „A“ beginnt. Folgend soll dies in Absatz 3.2.4.5 am Beispiel des Falles A 1.2 f untersucht werden. Die zweite relevante Stromgrenze ist messtechnisch zu bestimmen. Es muss geklärt werden bis hin zu welchen Strömen noch mit Diodenstromabrissen zu rechnen ist. Bei größeren Strömen resultiert aus der erhöhten Anzahl von Ladungsträgern ein softes Schaltverhalten. Untersuchungen dazu erfolgen im Absatz 4.3.2. Wenn diese zweite Stromgrenze kleiner als die zuvor Beschriebene ist, dann kann snappiges Schaltverhalten bei einem Blockiervorgang eines MMC gänzlich ausgeschlossen werden.

3.2.4.5 Simulation des Falles A 1.2 f – Untersuchungen zur Snappiness

Snappiges Schaltverhalten von Dioden kann durch besonders hohe Überspannungen zur Zerstörung der Leistungshalbleiter führen. Dies soll möglichst ausgeschlossen werden. Besonders kritisch hierfür sind kleine positive Zweigströme. Alle Fälle deren Kategoriebezeichnung mit „A“ beginnen können potentiell diese Bedingung erfüllen. Messtechnische Vorfelduntersuchungen zeigen, dass durch Überspannung im Zusammenhang mit Snappiness, die maximal zulässige Sperrspannung überschritten werden kann. Die dafür notwendigen Randbedingungen können gegebenenfalls, entsprechend der zuvor im Absatz 3.2.4.4 aufgestellten These, in einem MMC ausgeschlossen werden. Um diese These zu bekräftigen, werden im Folgenden simulative Untersuchungen zum MMC-Blockierverhalten bei sehr kleinen positiven Zweigströmen beispielhaft am Fall A 1.2 f durchgeführt.

Es wird die These aufgestellt, dass durch die Berücksichtigung eines endlichen du_{CE}/dt ein Teil des Zweigstromes auf den Ableiter kommutiert, schon bevor u_{CE} die Zwischenkreisspannung erreicht hat. Bei kleinen Zweigströmen, wie sie für ein befürchtetes snappiges Diodenverhalten Voraussetzung sind, kann dieser Teil des Zweigstromes den gesamten Zweigstrom ausmachen. Wie der Kommutierungsvorgang dann aussieht, ist folgend am Beispiel des Falls A 1.2 f dargestellt.

3 MMC-Verhalten bei Taktsperrung – 3.2 Taktsperrung mit Ableiter – eine kategorisierende Systemanalyse

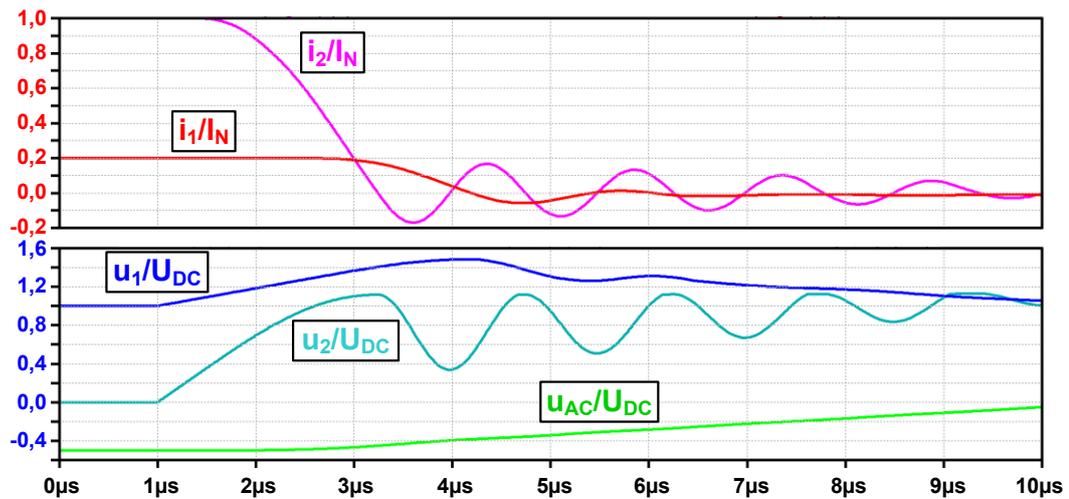


Abbildung 23: Fall A 1.2 f bei $i_1(t_0)=0,2 \cdot I_N$; $i_2(t_0)=I_N$; $u_{AC}(t_0)=-0,5 \cdot U_{DC}$

Abbildung 23 zeigt die resultierenden Zeitverläufe bei einer Parameterkonstellation von $i_1(t_0)=0,2 \cdot I_N$ und $i_2(t_0)=I_N$ sowie $u_{AC}(t_0)=-0,5 \cdot U_{DC}$. Die Zweigspannung u_1 – in blau – bleibt bei dieser Simulation unterhalb ihres Maximalwertes von $1,5 \cdot U_{DC}$. Für kleinere Startwerte bei dieser Simulation unterhalb ihres Maximalwertes von $1,5 \cdot U_{DC}$. Für kleinere Startwerte von i_1 bleibt der Maximalwert von u_1 ebenfalls unter $1,5 \cdot U_{DC}$. Das Ergebnis mit einem größeren Wert für $i_1(t_0) = 0,3 \cdot I_N$ ist folgend in Abbildung 24 dargestellt.

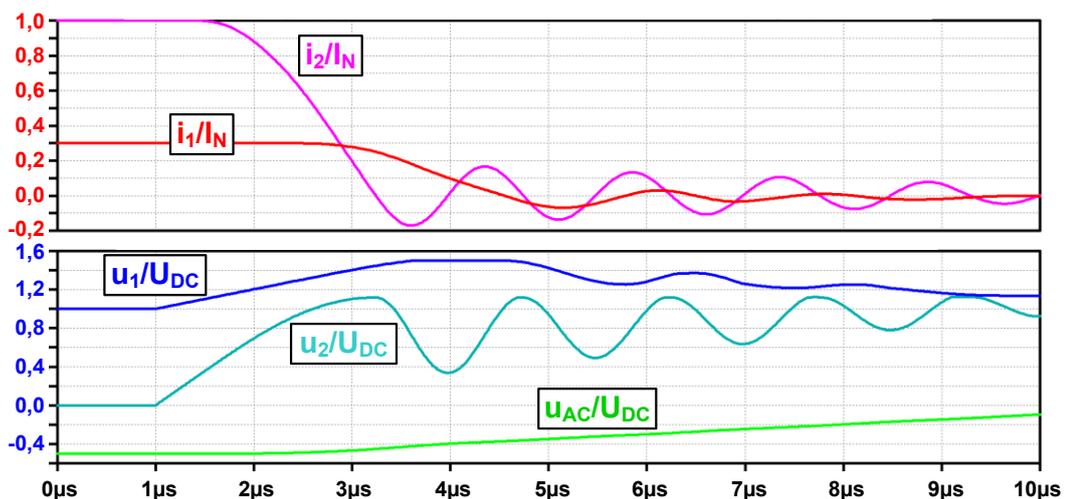


Abbildung 24: Fall A 1.2 f bei $i_1(t_0)=0,3 \cdot I_N$; $i_2(t_0)=I_N$; $u_{AC}(t_0)=-0,5 \cdot U_{DC}$

Ein anderes Verhalten ergibt sich, wie Abbildung 24 zu entnehmen ist, bei Zweigströmen über $0,2 \cdot I_N$. Hier erreicht u_1 den Maximalwert von $1,5 \cdot U_{DC}$ und bleibt auf diesem Wert, bis

der Zweigstrom unter null fällt. Während u_1 maximal ist, leiten kurzzeitig alle high-side Dioden des Zweiges.

Diese Simulationen zeigen, dass bei kleinen Strömen der Zweigstrom in den Ableiter kommutiert, bevor die high-side Dioden leitend geworden sind. Das heißt, dass bei ausreichend kleinen Zweigströmen, unterhalb von $0,2 \cdot I_N$, kein Kurzschlussfall IV auftritt. Sollten die später aufgeführten Messungen belegen, dass eine Gefährdung durch Überspannung nur unterhalb dieses Stromes gegeben ist, so kann diese Gefährdung, innerhalb eines MMC mit den als üblich angenommenen parasitären Eigenschaften, ausgeschlossen werden. Der Wert von $0,2 \cdot I_N$ ergibt sich hier aus den Verhältnissen der, bei Erstellung des Modells definierten, parasitären Größen. Damit die Zweigspannung ihren Maximalwert erreicht, müssen die Ersatzkapazitäten aller low-side IGBT, die vor dem Blockieren leitend waren, bis zur Zwischenkreisspannung aufgeladen werden. Dies geschieht, wenn die in L_σ gespeicherte Energie ausreichend ist, um diese Ersatzkapazitäten umzuladen. Das heißt der genannte Grenzwert von $0,2 \cdot I_N$ ist abhängig von der Größe der Streuinduktivität, der Größe der Ersatzkapazität des IGBT-Modells, und somit vom IGBT-Typ sowie von der Anzahl der abzuschaltenden low-side IGBT. Durch diese mehrfache Abhängigkeit des Grenzwertes ist es nicht trivial eine Worst-Case Annahme zu treffen. Daher werden die bestimmten $0,2 \cdot I_N$ für die späteren Messungen als Vergleichswert herangezogen. Anschließend kann diskutiert werden wie viel Abstand zwischen den Stromgrenzen liegt und ob damit die Bedingungen der These aus Absatz 3.2.4.4 auch abzüglich mehrerer Unsicherheitsfaktoren noch als erfüllt gelten.

Ergänzend belegt die folgende Simulation, dass wie zuvor beschrieben nicht die initiale Stromstärke, sondern die in L_σ gespeicherte Energie, im Vergleich zur hier konstant belasteten Energie zum Umladen der Ersatzkapazitäten, das Maß für die Gefährdung darstellt. Beispielhaft ist in Abbildung 25 ein Zeitverlauf mit einem vergrößerten Wert für L_σ dargestellt.

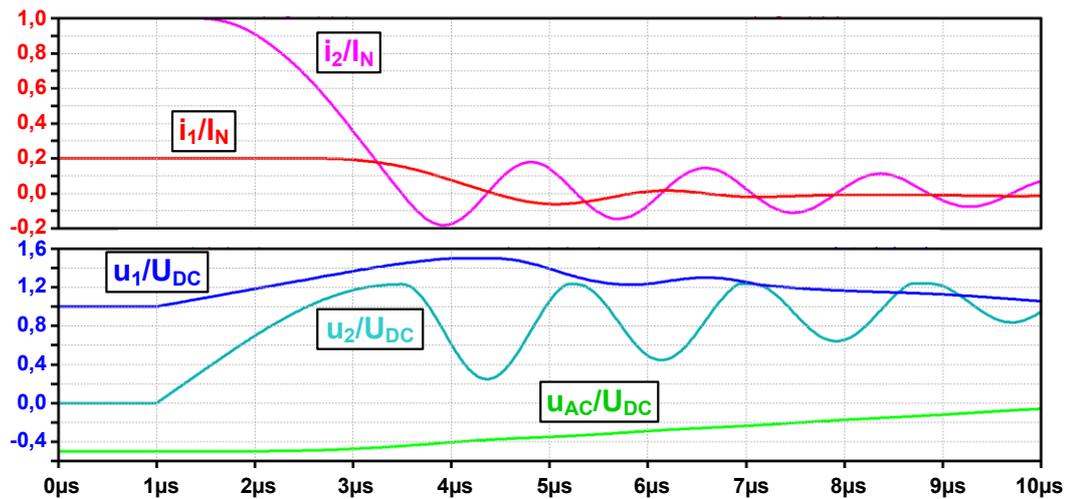


Abbildung 25: Fall A 1.2 f bei $i_1(t_0)=0,2 \cdot I_N$; $i_2(t_0)=I_N$; $u_{AC}(t_0)=-0,5 \cdot U_{DC}$; L_σ mit Positivtoleranz

Es ist zu erkennen, dass in Abbildung 25, im Vergleich zu Abbildung 23, die Zweigspannung u_1 kurzzeitig auf ihrem Maximalwert verharrt und der Zweigstrom erst später die Nulllinie schneidet. Es ist demnach ratsam L_σ nicht bedingungslos zu steigern, auch wenn dies zur Reduktion des maximalen Stromanstieges und somit der resultierenden Schaltleistung, für den Fall großer Zweigströme, sinnvoll sein kann.

Es kann also festgehalten werden, dass unter üblichen Umständen kurz leitende Dioden nur auftreten, wenn der Zweigstrom größer ist als $0,2 \cdot I_N$. Für die wenigen Anwendungen mit einem unüblich großen L_σ muss dieser Wert nach unten korrigiert werden. Die Messergebnisse aus Absatz 4.3.2 belegen in Relation zu diesem Wert, ob in einem MMC mit snappigem Schaltverhalten gerechnet werden muss.

3.2.5 Kategorie A 2

Wie Tabelle 2 entnommen werden kann ist in Kategorie A 2 davon auszugehen, dass vor der Taktsperrung ein positiver Strom im oberen Zweig sowie ein negativer Strom im unteren Zweig fließt. Es ergibt sich zwangsläufig ein positiver AC-Strom, der aus der Umrichterphase heraus fließt. Das heißt, dass beim Blockieren der obere Zweig seine maximale Spannung annimmt und die Spannung des unteren Zweiges, unter Vernachlässigung der Durchlassspannungen der Dioden, zu null wird.

3.2.5.1 Theoretische Analyse der Fälle A 2 - a, b & c

Unter der Annahme, dass der AC-Knoten keine kapazitiven Komponenten enthält, wird sich dessen Spannung unmittelbar den äußeren Gegebenheiten anpassen. Hier wird durch den negativen Strom im unteren Zweig dessen Zweigspannung zu null. Da der untere Ableiter dabei nicht anspricht und daher der untere Zweigstrom unverändert bleibt, ergibt sich keine Rückwirkung auf den AC-Knoten und den oberen Zweig. Das elektrische Verhalten des oberen Zweiges wird sich nur unwesentlich von den Fällen A 0 a, b, & c unterscheiden. Demnach geht der obere Zweigstrom nicht auf den Ableiter über. Es gibt keine kritischen Kommutierungen in diesen Fällen. Weiter Analysen dazu sind nicht notwendig.

3.2.5.2 Theoretische Analyse der Fälle A 2 - d, e & f

In diesen Fällen wird von einer kapazitiv eingprägten AC-Spannung ausgegangen. Wie schon vormals erläutert, sind dadurch die Zweige entkoppelt. Der obere Zweig verhält sich, unabhängig vom unteren Zweig, wie in den Fällen A 0 d, e & f. Dabei ist Fall A 2 d genauso kritisch bezüglich di/dt und Schaltleistung wie Fall A 0 d. Die Analysen im Absatz 3.2.1 dazu sind ausreichend detailliert um hier nicht erneut diskutiert werden zu müssen.

3.2.6 Kategorie B 0

Gemäß der Fallunterscheidung ist in der Kategorie B 0 davon auszugehen, dass der obere Zweigstrom negativ, sowie der untere Zweigstrom null ist. Demnach muss der AC-Strom ebenfalls negativ sein, also in die Umrichterphase hinein fließen. Unter diesen Voraussetzungen wird die obere Zweigspannung, beim Blockieren nahezu null. Die verbleibende Restspannung ergibt sich aus den Flussspannungen der einzelnen Dioden und kann im Vergleich zu den Zwischenkreisspannungen vernachlässigt werden. Da der untere Zweig keinen Strom führt, ist dessen Spannung nicht durch ihn selbst vorgegeben und passt sich den Vorgaben der äußeren Beschaltung an.

3.2.6.1 Theoretische Analyse der Fälle B 0 - a, b & c

In den Fällen a, b & c wird von einem kapazitätsfreien AC-Knoten ausgegangen, dessen Spannung sich sprunghaft verändern kann. Durch die Verringerung der oberen Zweigspannung zu null wird die AC-Spannung angehoben auf den Wert der halben nominellen DC-Spannung. Bis auf das Kommutieren des Stromes innerhalb der Submodule ist keine weitere Kommutierung zu erwarten. Dieser Vorgang unterscheidet sich nicht von den nor-

malen betrieblichen Kommutierungen und ist daher nicht kritisch. Weitere Untersuchungen zu diesen Fällen finden daher nicht statt.

3.2.6.2 Theoretische Analyse des Falles B 0 d

Für den Fall d gilt die Annahme einer kapazitiv eingepprägten Spannung am AC-Knoten. Weiterhin soll die AC-Spannung positiv sein. Ist die initiale AC-Spannung sehr hoch, so ist die obere Zweigspannung initial bereits nahe null, und es findet kaum eine Veränderung statt. Da die AC-Spannung kapazitiv fixiert ist, wird sich die Spannung am oberen Ableiter um den notwendigen Betrag reduzieren. Dies bedeutet, dass der Ableiter keinen Strom übernimmt und keine kritischen Kommutierungen stattfinden.

Verringert sich die AC-Spannung im Verlauf des Blockiervorganges, kann ein weiterer Effekt auftreten. Dies geschieht nur unter der Annahme, dass der Ableiterknoten – das obere Zweigende – ebenfalls über eine Erdkapazität verfügt und ist im folgenden Absatz zu Fall e detailliert erläutert.

3.2.6.3 Theoretische Analyse des Falles B 0 e

Entsprechend der Fallunterscheidung nach Tabelle 3 ist für Fall e davon auszugehen, dass die AC-Spannung kapazitiv eingepragt und null ist. Wie schon bei Fall d wird durch das Blockieren die obere Zweigspannung zu null. Unter den bisher betrachteten Umständen wird folglich auch die Ableiterspannung zu null und es treten keine kritischen, sondern nur die modulinternen, Kommutierungen auf.

Wird jedoch davon abweichend von einer, gegebenenfalls nur kleinen, Ableiterkapazität ausgegangen, so ergibt sich ein verblüffend verändertes Verhalten.

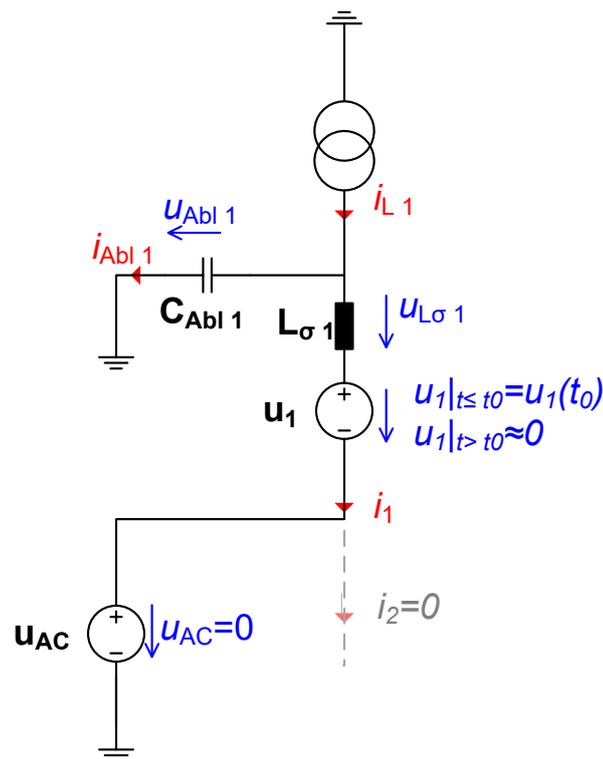


Abbildung 26: Schaltung des Schwingkreises aus Fall B 0 e

Wie Abbildung 26 zeigt, resultiert aus dieser Ableiterkapazität C_{Abl1} und aus $L_{\sigma1}$ ein Reihenschwingkreis. Die Kapazität ist initial geladen. Die Änderung der Zweigspannung regt den Schwingkreis an. Der initiale Gleichstrom i_{L1} aus der Zweigdrossel ist negativ und wird hier durch eine Stromquelle dargestellt. Durch die sehr große Induktivität der Zweigdrossel ändert sich dieser Strom so langsam, dass er in diesem Zeitbereich hinreichend genau als Gleichstrom approximiert werden darf. Dieser Strom i_{L1} fließt auch durch die Streuinduktivität des Zweiges. Er bildet für $L_{\sigma1}$ ein zusätzliches Offset und ändert nichts am prinzipiellen Verhalten des Schwingkreises. Daher wird bei unzureichender Dämpfung, beziehungsweise bei hinreichend großer Ableiterkapazität, die Ableiterspannung oszillieren. Die Ableiterspannung kann auf diese Weise ihr Vorzeichen ändern.

Ist der Schwingkreis nur schwach gedämpft, wie es für eine verlustarme Umrichterlegung naheliegend ist, kann im Fall B 0 e einer AC-Spannung von null der Betrag der negativen Ableiterspannung bis zu dem Betrag der initialen positiven Ableiterspannung anwachsen, also in der Regel bis zur halben nominellen DC-Spannung. Im folgenden Absatz 3.2.6.4 werden Simulationsergebnisse dazu gezeigt. Die Polarität der DC-Spannung kann demnach kurzzeitig entgegen der Polarität im Normalbetrieb sein. Sollte die Isolierung polaritätsabhängig sein, gilt es diesen Umstand bei der Isolationskoor-

dination zu beachten. Alle angeschlossenen Betriebsmittel, wie beispielsweise Einrichtungen zur Spannungsmessung, sollten eine entsprechend große negative Spannung zerstörungsfrei überstehen können. Dieser Effekt ist für die Halbleiter selbst unkritisch. Es finden nur modulinterne Kommutierungen statt. Weiterhin treten in diesem Fall, im Vergleich zum Normalbetrieb, keine betragsmäßig erhöhten Spannungen auf.

3.2.6.4 Simulation des Falles B 0 e – Durchschwingen der DC-Spannung

Für Messungen zum Effekt des Durchschwingens der DC-Spannung wäre ein vollständiger MMC notwendig. Da dies außerhalb der technischen und finanziellen Möglichkeiten ist, wird Fall B 0 e ausschließlich mittels Simulationen analysiert.

Wie schon bei der theoretischen Fallanalyse erwähnt, ist dieser Fall nicht weiter kritisch bezüglich der Halbleiterbelastung. Zum besseren Verständnis des Effektes soll hier dennoch eine Simulation dieses Falls gezeigt werden. Verwendet wurde hierfür der Beispieldatensatz an Umrichtereigenschaften (Tabelle 1). Zusätzlich wurden für diese Simulationen parallel zu den Ableitern aus Abbildung 2 kleine Kapazitäten eingefügt. Solche Kapazitäten resultieren aus den parasitären Ableitereigenschaften und aus weiteren Betriebsmitteln, wie beispielsweise Halterungen und Durchführungen von Kabeln, oder kapazitiven Spannungsteilern zu Regel- und Messzwecken. Angenommen wird eine Kapazität von einem Zehntel der AC-Kapazität.

Da im Fall B 0 e von einem kapazitiven AC-Knoten ausgegangen wird, entkoppelt dieser das Verhalten des oberen Zweiges von dem des unteren Zweiges. Der untere Zweig ist dem gewählten Fall entsprechend stromlos und nicht weiter relevant. Der obere Zweigstrom ist negativ. Die AC-Spannung vor dem Blockieren ist null.

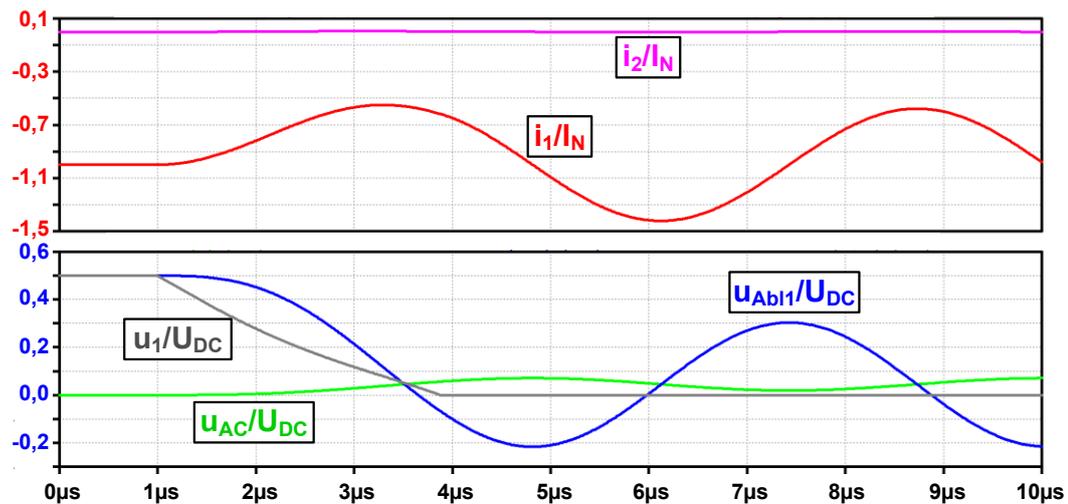


Abbildung 27: Fall B 0 e) mit C_{DC} – Durchschwingen der pos. DC-Spannung

Der resultierende Kommutierungsvorgang ist in Abbildung 27 dargestellt. Der Startwert von u_1 , hier in grau, ist halb so groß wie die Normierungsgröße U_{DC} . Wie an dem Spannungsverlauf von u_1 zu erkennen ist, werden ab $1\mu\text{s}$ Simulationszeit alle IGBT abgeschaltet. Der negative obere Zweigstrom sorgt dafür, dass infolge des Blockierens die obere Zweigspannung u_1 zu null wird. Nun bilden die Kapazität parallel zum Ableiter und die Streuinduktivität des Zweiges $L_{\sigma 1}$ einen Reihenschwingkreis, der durch die Spannungsänderung von u_1 angeregt wird. Aus den Verläufen ist zu erkennen, dass die Spannung des oberen Ableiters $u_{Abl 1}$, hier in blau, zunächst von ihrem Startwert von $0,5 \cdot U_{DC}$ zunehmend schneller sinkt. Die Spannung sinkt unter null auf bis zu $-0,2 \cdot U_{DC}$, anschließend pendelt die Schwingung weiter. In einem realen System wäre die Schwingung stärker gedämpft und würde rasch abklingen. Zum Vergleich zeigt die folgende Abbildung 28 denselben Vorgang ohne die zusätzlich angenommenen Kapazitäten parallel zu den Ableitern.

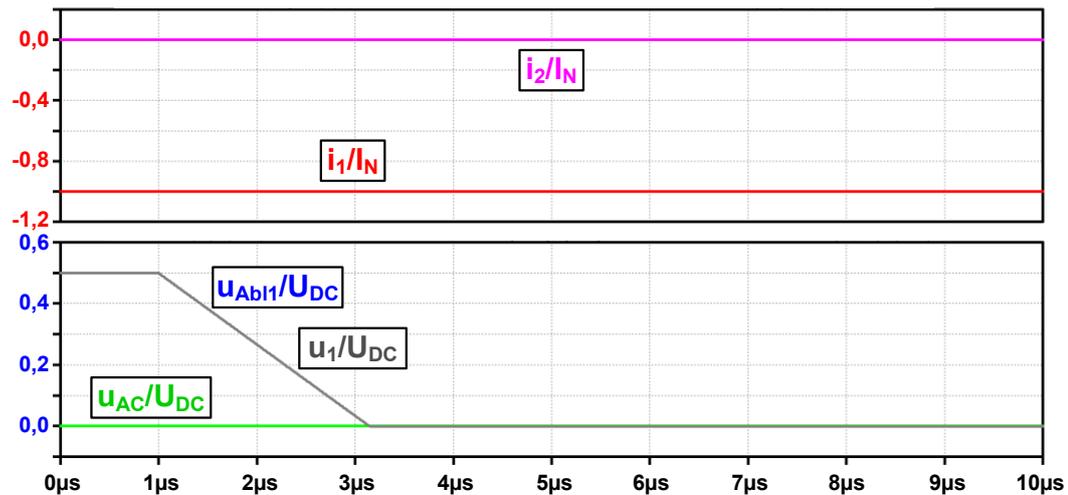


Abbildung 28: Fall B 0 e) ohne C_{DC} – kein Durchschwingen der pos. DC-Spannung

Es ist zu erkennen, dass hier keine Schwingung angeregt wird. Da sich die Ströme nicht ändern, bleibt die AC-Spannung bei null. Da bei einem Stromgradienten von null auch keine Spannung über der Streuinduktivität $L_{\sigma 1}$ abfällt, liegen die Spannungen u_1 und $u_{Abl 1}$ deckungsgleich übereinander.

Da eine solche Kapazität mit Sicherheit durch eines der verwendet Betriebsmittel bewirkt wird, müssen die Anmerkungen am Ende des vorigen Absatzes beachtet werden. Alle Betriebsmittel an der DC-Spannung müssen zumindest kurzzeitig auch eine negative Spannung unbeschadet überstehen können.

3.2.6.5 Theoretische Analyse des Falles B 0 f

Im Fall B 0 f kann das gleiche Verhalten wie aus Fall B 0 e angenommen werden. Abweichend zu Abbildung 26 muss nun die AC-Spannung initial als negativ angenommen werden. Es ergibt sich der Unterschied, dass der Spannungssprung durch die zu null werdende obere Zweigspannung größer ist. Dadurch erhöht sich die Anregung des Schwingkreises. Jetzt kann beim Durchschwingen der Ableiterspannung eine negative Spannung mit einem Betrag bis zum Dreifachen der initialen positiven Ableiterspannung auftreten. Der maximal denkbare Betrag der negativen Ableiterspannung wäre das Eineinhalbfache der nominellen DC-Spannung. Dies ergibt sich aus den Überlegungen zum Verhalten des besagten Schwingkreises bei einer initialen AC-Spannung, die der negativen DC-Spannung entspricht. Dabei ist jedoch nicht berücksichtigt, dass die Ableiter auch negative Spannungen

gen begrenzen. Der Ableiter würde also kurz ansprechen und die Schwingung so weit dämpfen, dass durch das Durchschwingen der Ableiterspannung keine erhöhte Anforderung an die Isolierung entsteht. Da diese Schwingung durch parasitäre Elemente hervorgerufen wird, ist im Vergleich zum Gesamtsystem mit einem sehr geringen Energiegehalt zu rechnen. Die Ableiter werden demzufolge nicht nennenswert belastet.

Dieser Fall ist bezüglich der Halbleiterbelastungen unkritisch. Es erfolgen keine weiteren Analysen hierzu. Für die verwendeten Betriebsmittel gelten bezüglich der Spannungsfestigkeit die gleichen Anforderungen wie sie im vorigen Fall beschrieben wurden.

3.2.7 Kategorie B 1

Der Einteilung aus Tabelle 2 folgend ist für ein Blockieren nach Kategorie B 1 davon auszugehen, dass der obere Zweigstrom initial negativ ist. Der untere Zweigstrom wird als positiv angenommen. Es ergibt sich ein negativer AC-Strom. Die technische Stromrichtung des AC-Stromes ist in die Umrichterphase hineinfließend. Daraus folgt, entsprechend der vorangegangenen Vorbetrachtungen, dass die obere Zweigspannung zu null wird und dass die untere Zweigspannung ihrem Maximalwert entgegen strebt.

3.2.7.1 Theoretische Analyse der Fälle B 1 - a, b & c

Die Fälle a, b & c beschreiben die Annahme eines kapazitätsfreien AC-Knotens. Da u_1 zu null wird, wird die AC-Spannung unabhängig von ihrem Startwert bis auf den Wert der positiven Ableiterspannung ansteigen. Bei einer klassischen Auslegung, bei der die maximale Zweigspannung des unteren Zweiges nicht die Summe der Ansprechspannungen des oberen und unteren Ableiters überschreitet, bleiben die Ableiter nicht leitend. Dieser Zustand bleibt bestehen bis einer der Zweigströme seine Flussrichtung ändert. Es findet keine schnelle Kommutierung der Zweigströme außerhalb der Submodulzellen statt, bis zumindest eine der Zweigdrosseln abkommutiert ist. Dies findet im Vergleich zu den anderen Fällen mit einem sehr geringen di/dt statt da die beteiligten Zweigdrosseln über eine enorme Induktivität verfügen. Eine kritische Belastung der Leistungshalbleiter kann daher ausgeschlossen werden. Weitere Untersuchungen zu diesen Fällen finden daher nicht statt.

3.2.7.2 Theoretische Analyse der Fälle B 1 - d, e & f

Die Fälle d, e & f beschreiben das Blockierverhalten unter der Annahme einer kapazitiv eingprägten AC-Spannung. Unter dieser Annahme wird in Kategorie B 1 die positive

Ableiterspannung abnehmen und bis auf den Wert der initialen AC-Spannung sinken. Da wegen des negativen Stromes die obere Zweigspannung zu null wird, ist ein Kommutieren des Zweigstromes auf den oberen Ableiter nicht zu erwarten. Es findet lediglich eine Vielzahl von Kommutierungen innerhalb der Submodulzellen statt, die sich nicht von normalen Schaltvorgängen unterscheiden. Es gibt in dieser Kategorie kein Indiz für Halbleiterbelastungen die die Beanspruchungen überschreiten, welche während der Erprobung eines Submodules, im Rahmen normaler Schaltversuche, abgeprüft werden sollten.

Die ansteigende Zweigspannung im unteren Zweig könnte dazu führen, dass der untere Ableiter anspricht. Kommutierungen des unteren Zweiges müssen jedoch aufgrund der ausgenutzten Symmetrie des MMC nicht betrachtet werden. Kategorie A 2 beschreibt ein entsprechend identisches Verhalten am Beispiel des oberen Zweiges.

3.2.8 Die Kategorien B 2.0, B2.1 & B2.2

Kategorie B 2 zeichnet sich durch negative Zweigströme in beiden Zweigen aus. Sie kann weiter unterteilt werden in die Unterkategorien B 2.0, B 2.1 und B 2.2, abhängig von der Relation beider Zweigströme zueinander. Daraus ergibt sich ein AC-Strom der null, positiv oder negativ sein kann. Davon unabhängig werden beim Blockieren, wie in Abschnitt 3.2.6 zu Kategorie B 0 für einen Zweig beschrieben, beide Zweigspannungen zu null. Da somit keine überhöhten Spannungen entstehen, spricht keiner der beiden Ableiter an. Es gibt nur Kommutierungen innerhalb der Submodulzellen. Eine erhöhte Belastung der Leistungshalbleiter kann ausgeschlossen werden. Eine weitere Unterteilung in die Fälle a bis f ändert nichts an dieser Feststellung. Der einzige Unterschied besteht darin, dass in den Fällen a bis c der Wert der AC-Spannung nach dem Blockieren durch einen induktiven Spannungsteiler vorgegeben wird. In den Fällen d bis f bleibt, wegen der Annahme eines kapazitiven AC-Knotens, die AC-Spannung zunächst auf ihrem initialen Wert. Ohne ein Indiz für besondere Halbleiterbelastungen werden diese Fälle als unkritisch eingestuft und nicht weiter analysiert.

3.2.9 Kategorie C 0

In dieser Kategorie sind beide Zweigströme null. Die Stromsumme im AC-Knoten gibt vor, dass der AC-Strom auch null sein muss. Bei einem Blockieren tritt in den sechs Einzelfällen a bis f keine Veränderung im Leistungsteil des MMC auf. Es gibt keinen Strom, der einen der beiden Zweige dazu bringt, seine Spannung zu ändern. Als Resultat gibt es keine Spannungsabfälle an den Induktivitäten und keine weiteren Stromänderungen. Wie

schon für Kategorie B 2 braucht keine weitere Fallunterscheidung stattzufinden. Ist genügend Zeitreserve vorhanden die Zweigströme erst auf null zu regeln, dann ist dies der sicherste Weg einen MMC herunterzufahren.

3.2.10 Kategorie C 1

In dieser Kategorie wird davon ausgegangen, dass der obere Zweigstrom null und der untere Zweigstrom positiv ist. Wie der untere Zweig in Kategorie A 0, kann sich hier nun der obere Zweig der Spannung anpassen, die von außen vorgegeben wird. Für den oberen Zweig sind keine Kommutierungen zu erwarten. Das Verhalten des unteren Zweiges kann, unter Ausnutzung der Symmetrie des MMC, am Beispiel des oberen Zweiges in Kategorie A 0 nachvollzogen werden. Die Fälle der Kategorie C 1 sind somit für den oberen Zweig als unkritisch einzustufen und müssen nicht näher untersucht werden.

3.2.11 Kategorie C 2

Gemäß der Einteilung nach Tabelle 2 ist in Kategorie C 2, wie schon in den vorigen beiden Kategorien, davon auszugehen, dass der obere Zweigstrom null ist. Der untere Zweigstrom wird als negativ angenommen. Wie schon in den vorangegangenen Kategorien kann sich die Spannung des oberen Zweiges wieder an die von außen vorgegebene Spannung anpassen. Es ist keine Kommutierung von dem oberen Zweig auf den Ableiter zu erwarten. Das Verhalten des unteren Zweiges kann, unter Ausnutzung der Symmetrie des MMC, am Beispiel des oberen Zweiges in Kategorie B 0 nachvollzogen werden. Auch die Fälle dieser Kategorie enthalten somit keine besonders belastenden Kommutierungen und werden nicht weiter analysiert.

3.2.12 Ergebnisse der Analysen und Simulationen, ein Ausblick auf durchzuführende Messungen

Nach den bisherigen Analysen und Untersuchungen mittels Simulation folgen in Kapitel 4 die messtechnischen Untersuchungen und die Prüfung der aufgestellten Thesen. Als Ergebnis der bisherigen Simulationen lassen sich Betriebspunkte festhalten, bei denen eine messtechnische Untersuchung des Kurzschlussfalls IV notwendig ist. Diese Betriebspunkte sollen kurz zusammengefasst werden.

Einer dieser Betriebspunkte liegt bei initial hohen Strömen und steilen, aber weitestgehend konstanten, Stromgradienten. Hierbei ist zu untersuchen, welche Parameter den Verlauf der Schaltleistung beeinflussen und ob die maximal zulässige Schaltleistung $P_{RR \text{ Max}}$ überschritten wird. Worst-Case-Annahme hierfür stellt der ausführlich diskutierte Fall A 0 d dar.

Identische Belastungen sind in den Fällen vom Typs d aus den Kategorien A 1.0 bis A 1.2 sowie A 2 zu erwarten.

Die Simulationen aus Absatz 3.2.4.2 haben, für Fälle in denen keine entlastenden Effekte gemäß Absatz 3.2.1.5 auftreten, Stromanstiege von bis zu $0,8 I_N/\mu\text{s}$ gezeigt. Daher wird für die Einzelpulsversuche dieser simulativ ermittelte Wert als gegeben angenommen.

Weiterhin steht die Frage im Raum, wie sich zwei in Serie geschaltete Dioden mit verschieden langen Leitauern in einem Kurzschlussfall IV verhalten. Es besteht die Vermutung, dass die kürzer leitende Diode zuerst Spannung sperrt. Im Vergleich zu einer Konstellation mit nur lang leitenden Dioden ergäben sich daraus für die kurz leitende Diode ein geringerer Reverse-Recovery-Strom und eine geringere Schaltleistung. Damit wären kurz leitenden Dioden entlastet. Die kurz leitenden Dioden bestimmen in diesem Fall auch den Rückstrom der lang leitenden Dioden. Die lang leitenden Dioden würden somit, durch den geringeren Rückstrom, entlastet. Wenn die Sperrspannung der kurz leitenden Dioden größer oder gleich der gesamten Spannungsbeanspruchung ist, entlastet dies ebenfalls die lang leitenden Dioden. Diese Hypothese aus Absatz 3.2.1.5 soll im Folgenden messtechnisch untersucht werden.

Die Zeitverläufe der elektrischen Größen einer Diode, während eines Kurzschlussfalls IV mit nicht linear fallendem Strom, sind ebenfalls messtechnisch zu untersuchen. Denn gemäß der vorangehenden Argumentation aus den Absätzen 3.2.2.1 bis 3.2.2.3 sind solche Stromanstiege bei einem Blockiervorgang innerhalb eines MMC zu erwarten. Es gilt experimentell zu klären, ob und welchen Einfluss ein positiv oder negativ veränderter Stromanstieg im Nulldurchgang, im Vergleich zum mittleren Stromanstieg seit Beginn der Kommutierung, auf die Schaltleistung hat.

Weiterhin haben die Simulationen gezeigt, dass bei den als üblich angenommenen parasitären Eigenschaften eines MMC, die high-side Dioden erst bei Zweigströmen oberhalb von $0,2 \cdot I_N$ gezwungen sind, kurzzeitig Strom zu führen. Bei Zweigströmen unter $0,2 \cdot I_N$ sind demnach innerhalb eines MMC keine nur kurz leitenden Dioden zu erwarten. In Absatz 3.2.4.4 wurde die These aufgestellt, dass nur wenn kurze Leitauern und kleine Diodenströme gleichzeitig auftreten, Überspannungen durch schnelles Schaltverhalten entstehen können. Es sollen dazu zwei Teilaspekte experimentell untersucht werden. Zum einen gilt es zu zeigen, dass bei Zweigströmen über $0,2 \cdot I_N$ kein schnelles Schaltverhalten auftritt. Zum anderen wird experimentell untermauert, dass bei Strömen unter $0,2 \cdot I_N$ übereinstimmend mit den Simulationen in der Tat keine kurz leitenden Dioden auftreten. Sollte

dies bestätigt werden, kann die Gefährdung durch Überspannungen gänzlich ausgeschlossen werden.

Bevor die genannten Messungen inklusive der Durchführung und Ergebnisse in Kapitel 4 beschrieben werden, wird abschließend in diesem vorwiegend theoretischen Kapitel die partielle Taktsperrung kurz vorgestellt.

3.3 Partielle Taktsperrung

Die Grundidee einer partiellen Taktsperrung ist es, nicht alle Module auf einmal zu blockieren, sondern nur mindestens so viele wie nötig, damit der AC-Strom mittelfristig abkommutiert werden kann. Es dürfen dafür maximal so viele Module blockiert werden, dass die Zweigströme nicht vollständig auf die Ableiter kommutieren, bevor der AC-Strom zu null geworden ist. Dadurch kann verhindert werden, dass die lang leitenden Dioden abkommutieren. Gelingt dies, würden die beschriebenen Belastungen durch einen Kurzschlussfall IV ausbleiben. Ein Nachteil dieses Vorgehens ist die Komplexität der Realisierung. Es muss zentral entschieden werden, welche Module, beziehungsweise Modulgruppen, sofort blockieren sollen und bei welchen ein verzögertes Abschalten angewendet werden muss. Für dieses Vorgehen steht jedoch kaum Rechenzeit zur Verfügung, da eine Notabschaltung aus guten Gründen sofort und schnellstmöglich zu erfolgen hat.

Diese Idee ist in gewisser Weise eine Erweiterung der Anmerkung zur Kategorie C 0. In dieser Kategorie sind alle Ströme bereits null und beim Blockieren treten keine unerwarteten Kommutierungen auf. Wenn nun vor dem Blockieren alle Ströme zunächst zu null geregelt werden, würde dies immer zu unkritischem Verhalten führen. Für ein geregeltes Herunterfahren der Ströme steht bei einem Blockierbefehl aller Wahrscheinlichkeit nach nicht genügend Zeit zur Verfügung. Ein gesteuertes Vorgehen könnte jedoch im Bereich des möglichen liegen. Eine detaillierte Analyse kann im Rahmen dieser Arbeit nicht erfolgen, da zu viele Parameter Einfluss auf das Blockierverhalten haben. Ein solcher Ansatz kann im Zusammenhang einer konkreten Auslegung eines MMC besser untersucht werden. Dabei sind zumindest die Durchlaufzeiten der Steuereinheit bekannt. Es muss dabei ebenfalls auf verschiedene Auslöser der Taktsperrung eingegangen werden. Ein interner Lichtbogen kann beispielsweise eine kürzere Eingreifzeit erfordern als Fehler bei denen Ströme durch die Zweigdrosseln deutlich langsamer ansteigen.

Aus diesem Grund ist die partielle Taktsperrung in dieser Arbeit eher als ergänzende innovative Idee zu verstehen, deren Machbarkeit gegebenenfalls im Einzelfall zu prüfen ist. Eine detailliertere Untersuchung dazu kann aus den genannten Gründen nicht erfolgen.

4. Messungen zum Kurzschlussfall IV

Für die zu untersuchenden Kurzschlussfall IV Kategorien haben die Simulationen gezeigt, welche di/dt -Werte zu erwarten sind. Das zu erwartende di/dt ist eine relevante Einflussgröße für die resultierende Halbleiterbelastung. Es wurde gezeigt, dass durch die getroffenen Annahmen maximal ein di/dt von $0,8 I_N/\mu\text{s}$ auftritt. Mit dieser Erkenntnis werden nachfolgend Messungen durchgeführt, um zu untersuchen, ob die zulässigen Parameter der repräsentativ verwendeten Leistungshalbleiter überschritten werden. Dabei wird der Einfluss verschiedener Parameter auf die resultierende Schaltleistung analysiert. Die untersuchten Parameter sind die Diodenleitdauer t_{Diode} , die Chip-Temperatur T_J , der initiale Zweigstrom $i_1(t_0)$, die Geschwindigkeit des Stromanstieges di/dt und die Zwischenkreis-Spannung U_d .

Weiterhin wurden durch die Simulationen Fragen aufgeworfen bezüglich des Schaltverhaltens bei Strömen, die durch das Gesamtsystem vorgegeben werden. Hierbei ist eine Serienschaltung aus verschiedenen lang leitenden Dioden und die resultierende Schaltleistung bei di/dt -Änderungen während der Kommutierung von Interesse. Thesen, die im Zuge der Simulationen dazu aufgestellt wurden, sollen experimentell belegt werden.

Einleitend werden zu jeder Messung die Methodik, der zu untersuchende Aspekt und der Messaufbau beschrieben. Danach erfolgt jeweils die Darstellung und Auswertung der Messergebnisse.

4.1 KS IV–Messungen – Parametereinflüsse auf p_{Max} bei linear fallendem Zweigstrom

Durch die Simulation zum Fall A 1.2 c) ist bekannt, dass mit einem di/dt von $0,8 I_N/\mu\text{s}$ zu rechnen ist. Entgegen der Theorie zur Entlastung (Absatz 3.2.1.5), wird hier als Referenz ein hart induktives Abkommutieren der Dioden nachgestellt. Es wird ein gleichbleibendes di/dt appliziert, bis die untersuchte Diode beginnt Spannung aufzunehmen. Die resultierende Schaltleistung, beziehungsweise deren Maximalwert, wird als Maß für die Belastung der Dioden ausgewertet.

Der Schaltplan zur Messung eines Kurzschlussfalls IV bei linear fallendem Zweigstrom ist in Abbildung 29 dargestellt. Der zu untersuchende Prüfling (DUT, engl. Device Under Test) enthält innerhalb des Leistungshalbleitermoduls den IGBT $S_{u1.0}$ und die Diode $D_{u1.0}$.

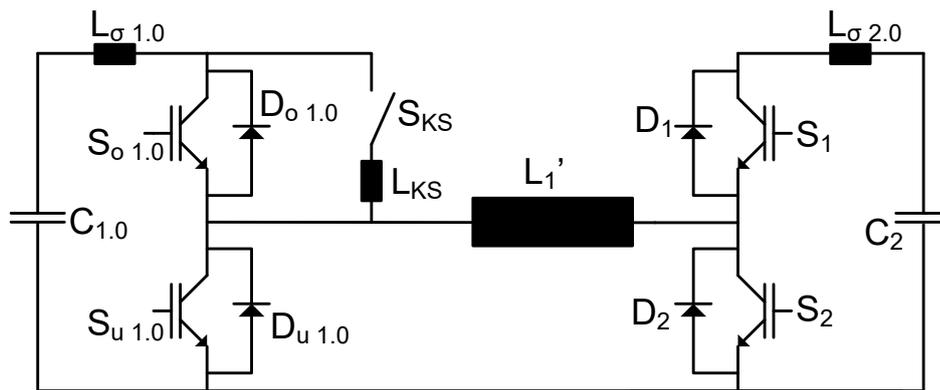


Abbildung 29: Messschaltung zur Untersuchung des KS IV

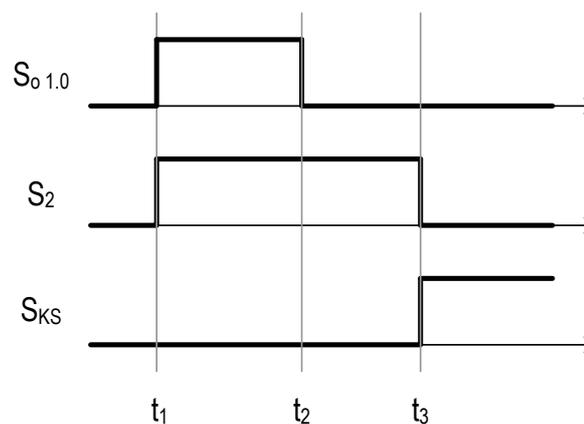


Abbildung 30: Pulsmuster zur KS IV Untersuchung

Abbildung 30 zeigt das zugehörige Pulsmuster für die Messung. Da das Diodenverhalten des DUT untersucht werden soll, bleibt der IGBT $S_{u,1.0}$ während der gesamten Versuchsdauer durch eine angelegte Gatespannung von -15 V ausgeschaltet.

Zu Beginn des Messpulses, zum Zeitpunkt t_1 , werden die Schalter $S_{o,1.0}$ und S_2 eingeschaltet. Daraufhin beginnt in L_1' der Strom in Richtung S_2 zu steigen. Die Stromanstiegsgeschwindigkeit hängt von der Größe der Induktivität L_1' , sowie der eingestellten Zwischenkreisspannung U_d ab. Ist der gewünschte Zweigstrom erreicht, wird zum Zeitpunkt t_2 der Schalter $S_{o,1.0}$ abgeschaltet. Der Strom kommutiert nun aus $S_{o,1.0}$ in die Diode $D_{u,1.0}$ des DUT. Für die Diode beginnt nun die Diodenleitdauer t_{Diode} . Der Drosselstrom bleibt annähernd konstant, da sich für L_1' eine treibende Spannung nahe null ergibt. Zum Zeitpunkt t_3 wird der Kurzschließer S_{KS} eingeschaltet und S_2 ausgeschaltet. In diesem Moment beginnt die relevante Kommutierung des Stromes aus dem DUT in den Kurz-

schließer S_{KS} . Der Kurzschließer besteht aus einer Parallelschaltung dreier IGBT-Module, die durch einen besonders geringen Gatewiderstand nahezu sprunghaft eingeschaltet werden. Die Zeitverläufe für Ströme und Spannungen des DUT werden zu diesem Zeitpunkt mittels Oszilloskop gemessen. S_2 wird hier abgeschaltet um sicherzustellen, dass der Drosselstrom nicht weiter steigt. So kann anschließend der Kurzschließer sicher abgeschaltet werden.

Es wurden mehrere Messreihen unter Variation verschiedener Parameter durchgeführt. In der ersten Messreihe wurde die Diodenleitdauer, bei Temperaturen von 25 °C und 125 °C, variiert. Es folgen weitere Messreihen bei 25 °C, bei denen der Zweigstrom, der Stromanstieg und die Zwischenkreisspannung variiert wurden.

4.1.1 KS IV – Einfluss der Diodenleitdauer auf p_{Max} bei linear fallendem Zweigstrom

Die Messungen zu diesem schlimmst anzunehmenden Fall A 1.2 c sind im folgenden Verlauf dieses Abschnitts dargestellt. Da die Belastungen enorm sind, wurden bereits weitere Analysen durchgeführt, die erkennen lassen, dass dieser härteste Kommutierungsfall möglicherweise nicht eintritt. Messungen, die entlastende Effekte berücksichtigen und sich somit nicht an diesem Worst Case orientieren, folgen in den späteren Absätzen zur Serienschaltung und zum nicht linear fallenden Zweigstrom.

Wie im vorangehenden Methodik-Teil in Absatz 4.1 beschrieben, ist bei einem Kurzschlussfall IV die Diode zunächst leitend. Der antiparallele IGBT ist durch eine Gatespannung von $u_{\text{GE}} = -15 \text{ V}$ ausgeschaltet.

Abbildung 31 zeigt beispielhaft je drei Zeitverläufe des Kollektorstromes i_{C} sowie der Kollektor-Emitter-Spannung u_{CE} und der Schaltleistung p . Die Messungen unterscheiden sich durch die verschieden eingestellten Diodenleitdauern t_{Diode} . Für diese Darstellung wurden beispielhaft die Messungen mit einer Diodenleitdauer von 10 μs , 26 μs und 170 μs bei einer Temperatur von 125 °C ausgewählt. Die maximale Sperrspannung des DUT ist 4,5 kV. Laut Hersteller enthält das Modul einen LPT-IGBT (light punch through) und eine Soft Recovery Diode. Wegen der Kombination von IGBT und Diode in einem IGBT-Modul, wurden die Bezeichnung i_{C} und eine Definition der Stromrichtung, entgegen des Diodenvorwärtsstromes i_{F} , gewählt. Die Spannung u_{CE} wurde mit der maximal zulässigen Kollektor-Emitter-Spannung U_{CES} normiert. Der Zeitverlauf der Schaltleistung p , ist in der unteren Diagrammhälfte in grün dargestellt und wurde normiert auf die maximal zulässige Schaltleistung der Diode $P_{\text{RR MAX}}$. Der Wert für das di/dt wurde mithilfe der Kurzschlussin-

4 Messungen zum Kurzschlussfall IV – 4.1 KS IV–Messungen – Parametereinflüsse auf pMax bei linear fallendem Zweigstrom

duktivität L_{KS} auf $0,8 \cdot I_N / \mu s$ eingestellt. Der initiale Diodenstrom ist mithilfe des Pulsmusters auf $2,5 \cdot I_N$ festgelegt worden. Die Zwischenkreisspannung wurde auf 67 % der maximal zulässigen Sperrspannung U_{CES} eingestellt. Der Wert der Streuinduktivitäten $L_{\sigma 1.0}$ und $L_{\sigma 2.0}$ entspricht gemäß der Normierung aus Absatz 2.2.4.2 etwa einem U_K von 17 ppm.

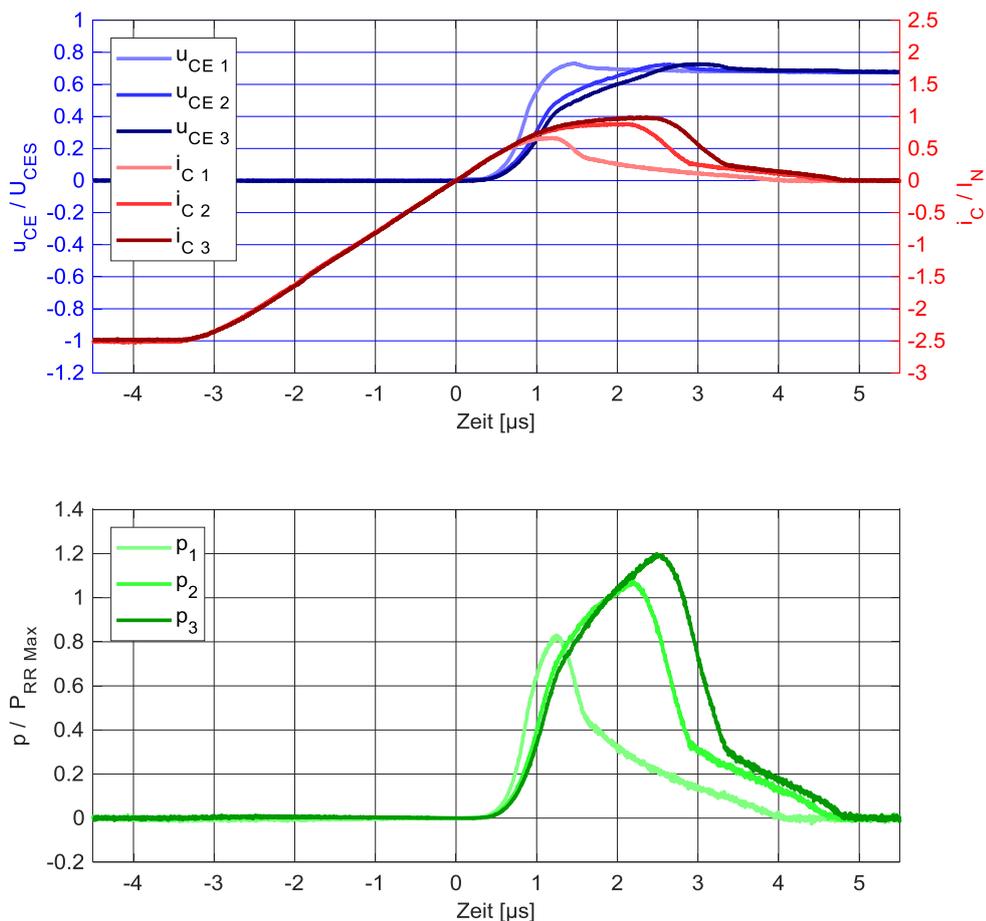


Abbildung 31: Zeitverläufe von u_{CE} , i_C & p beim KS IV ; $T_J=125\text{ °C}$; $U_d=0,67 \cdot U_{CES}$; $i_C(t_0)=-2,5 \cdot I_N$; $di/dt=0,80\text{ I}_N/\mu s$; Messung 1: $t_{Diode}=10\text{ }\mu s$; Messung 2: $t_{Diode}=25\text{ }\mu s$; Messung 3: $t_{Diode}=170\text{ }\mu s$

Aus der Schaltleistungskurve, aus der unteren Hälfte von Abbildung 31, ist deutlich zu erkennen, dass, bei einer Diodenleitdauer von $170\text{ }\mu s$ und einer Chiptemperatur von 125 °C , die maximal zulässige Schaltleistung $P_{RR\text{ Max}}$ um knapp 20 % überschritten wird. Um den als sicher spezifizierten Arbeitsbereich nicht zu verlassen, folgen weitere Untersuchungen zur Reduzierung der Schaltleistung durch Veränderung der Versuchsparameter. Weiterhin ist an der abflachenden Spannungskurve aus der oberen Diagrammhälfte von Abbildung 31 deutlich zu erkennen, dass bei Leitauern von $25\text{ }\mu s$ und $170\text{ }\mu s$ ein dyna-

4 Messungen zum Kurzschlussfall IV – 4.1 KS IV–Messungen – Parametereinflüsse auf p_{Max} bei linear fallendem Zweigstrom

mischer Avalanche eintritt. Dabei kann sich das elektrische Feld nur in dem, zu diesem Zeitpunkt noch kleinen, von Ladungsträgern ausgeräumten Bereich (Raumladungszone) ausbreiten. Es entstehen enorm hohe Feldstärken. Dies führt durch den eintretenden Lawineneffekt zur Generierung neuer Ladungsträger. Diese wirken der erhöhten Feldstärke entgegen und reduzieren sichtbar den Spannungsanstieg [10, S. 43]. Ein weiterer Beleg für das Einsetzen des dynamischen Avalanches ist die erhöhte Reverse-Recovery-Ladung (die Fläche unter der Rückstromspitze). Hier müssen die zusätzlich generierten Ladungsträger ausgeräumt werden.

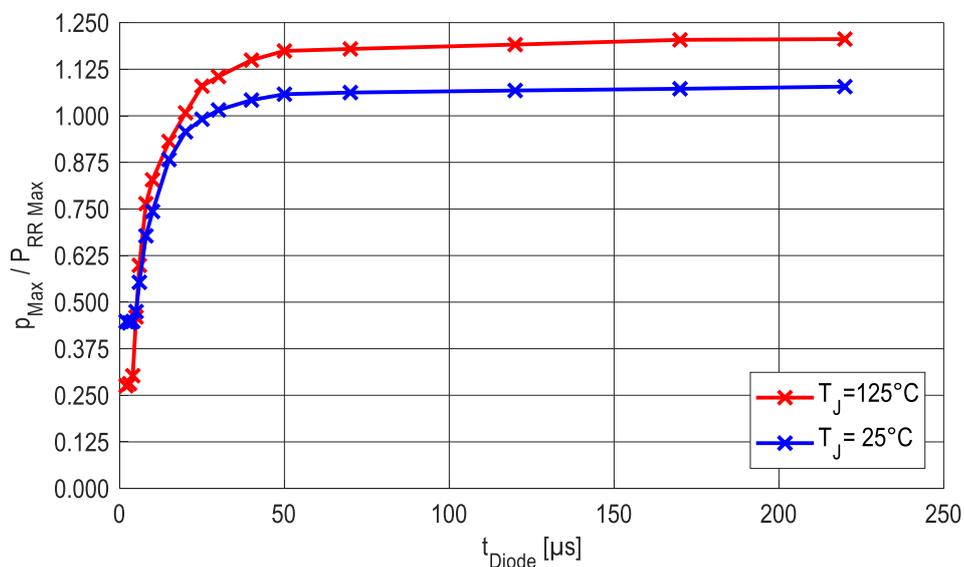


Abbildung 32: Maximale Schaltleistung in Abh. v. Leitdauer t_{Diode} & Temperatur T_J ; $U_d=0,67 \cdot U_{CES}$; $i_c(t_0)=-2,5 \cdot I_N$; $di/dt=0,80 I_N/\mu s$

Abbildung 32 zeigt bei zwei verschiedenen Temperaturen die maximale Schaltleistung p_{Max} über der Diodenleitdauer. An der kaum noch steigenden Kurve ist zu erkennen, dass ab etwa $50 \mu s$ die statische Ladungsträgerverteilung vorliegt. Mit einem Überschreiten der zulässigen Schaltleistung muss bei den verwendeten Modulen und bei den gewählten Randbedingungen ab einer Leitdauer von $25 \mu s$ gerechnet werden. Es kann, anhand von Abbildung 32, als Ergebnis dieser Messungen festgehalten werden, dass eine kürzere Diodenleitdauer zu verringerter Schaltleistung führt. In der Regel werden daher kurz leitende Dioden ihre zulässige Schaltleistung nicht überschreiten.

Um die Schaltleistung zu Reduzieren gibt es eine Reihe von Ansatzpunkten. Die Diodenleitdauer auf unter $25 \mu s$ zu begrenzen ist innerhalb eines MMC kein sinnvoller Ansatz. Besser geeignet ist der Ansatz die Zwischenkreisspannung zu reduzieren. Dies

würde allerdings zu einer größeren Anzahl an notwendigen Submodulen zum Erreichen einer bestimmten DC-Spannung führen. Dennoch wird der Einfluss der Zwischenkreisspannung auf die Schaltleistung im Absatz 4.1.4 untersucht.

Alternativ könnte durch konstruktive Maßnahmen das di/dt im Blockierfall reduziert werden. Der Einfluss des di/dt wird im übernächsten Absatz analysiert. Eine Reduktion des maximalen Zweigstromes führt ebenfalls zu einer Entlastung der Halbleiter. Wie schon die Reduktion der Zwischenkreisspannung, führt dies jedoch auch zu einer schlechteren Halbleiterausnutzung. Dieses Vorgehen wird im folgenden Absatz untersucht.

4.1.2 KS IV – Einfluss des initialen Zweigstromes auf p_{Max} bei linear fallendem Zweigstrom

Der initiale Zweigstrom entspricht, wenn der MMC im ungünstigsten Moment der Sinuswelle blockiert wird, dem maximalen Zweigstrom. Zur Reduktion der Schaltleistung, durch Begrenzung des initialen Zweigstromes, müssen daher alle Ströme des Umrichters reduziert werden. Das führt zu einer schlechteren Halbleiterausnutzung. Im Folgenden wurde untersucht, wie stark eine Reduktion des Stromes die Schaltleistung mindert.

4 Messungen zum Kurzschlussfall IV – 4.1 KS IV–Messungen – Parametereinflüsse auf pMax bei linear fallendem Zweigstrom

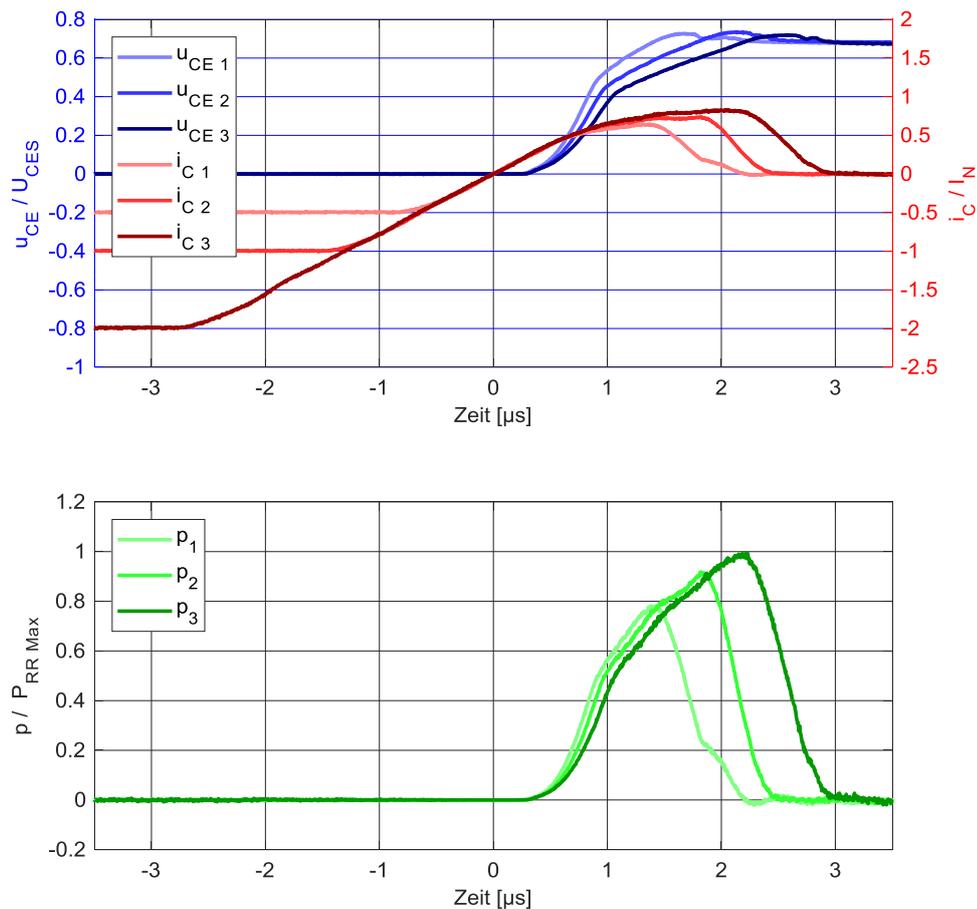


Abbildung 33: Zeitverläufe von u_{CE} , i_C & p beim KS IV ; $T_J=25\text{ °C}$; $t_{diode}=200\text{ }\mu\text{s}$; $U_d=0,67 \cdot U_{CES}$; $di/dt=0,77\text{ I}_N/\mu\text{s}$; Messung 1: $i_C(t_0)=-0,5 \cdot I_N$; Messung 2: $i_C(t_0)=-1,0 \cdot I_N$; Messung 3: $i_C(t_0)=-2,0 \cdot I_N$;

In Abbildung 33 sind repräsentativ drei Kurzschlussfall-IV-Verläufe, ausgehend von verschiedenen initialen Zweigströmen, bei halben, einfachen und doppelten Nennstrom, dargestellt. Wie schon im vorigen Absatz, kann auch hier ein Eintreten des dynamischen Avalanche-Effektes beobachtet werden. Es ist weiterhin zu erkennen, dass ein geringerer initialer Diodenstrom dafür sorgt, dass die Diode schwächer mit Ladungsträgern geflutet ist und wie sich die auszuräumende Reverse-Recovery-Ladung deutlich verringert. Die auftretenden maximalen Reverse-Recovery-Ströme sowie die Schaltleistung verringern sich dagegen in deutlich geringerem Maße, da die geringere Ladung hauptsächlich aus einem kürzer andauernden Rückstrom resultiert.

4 Messungen zum Kurzschlussfall IV – 4.1 KS IV–Messungen – Parametereinflüsse auf p_{Max} bei linear fallendem Zweigstrom

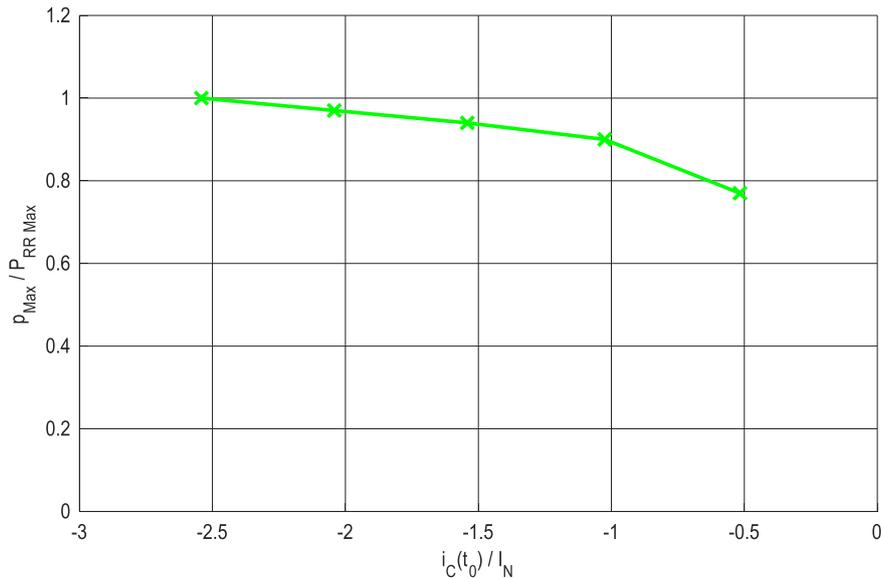


Abbildung 34: Maximale Schaltleistung in Abh. des initialen Modulstromes ; $T_J=25\text{ °C}$; $t_{\text{diode}}=200\text{ }\mu\text{s}$;
 $U_d=0,67 \cdot U_{\text{CES}}$; $di/dt=0,77\text{ }I_N/\mu\text{s}$

Abbildung 34 zeigt die maximale Schaltleistung für verschiedene initiale Modulströme. Ist der Betrag des Stromes größer als der halbe Nennstrom, kann eine weitestgehend lineare Reduzierung der Schaltleistung mit dem Modulstrom festgestellt werden. Bei einer Veränderung von $1,5 \cdot I_N$ ändert sich die Schaltleistung um etwa 10 %. Zum Vergleich mit den Einflussgrößen, die in den folgenden Absätzen analysiert werden, wird nun interpoliert, welche Auswirkung eine Halbierung der Einflussgröße, in diesem Fall des maximalen Zweigstromes, auf die Schaltleistung hat. Dafür wird davon ausgegangen, dass der maximal abzuschaltende Zweigstrom dem doppelten Nennstrom entspricht. Hier ist, bei einer Halbierung der Umrichterströme, und damit auch einer Halbierung der Ausgangsleistung, mit einer Verringerung der Schaltleistung von lediglich 6,7 % zu rechnen. Um die im Blockierfall auftretenden Halbleiterbelastungen zu verringern, hat dieser Ansatz demnach ein relativ schlechtes Verhältnis von Kosten zu Nutzen.

4.1.3 KS IV – Einfluss des Stromanstiegs auf p_{Max} bei linear fallendem Zweigstrom

Eine weitere Möglichkeit die resultierende Schaltleistung beim Blockieren eines MMC zu beeinflussen, ist die Kommutierungsgeschwindigkeit, also den Wert des di/dt , zu verändern. Dazu bieten sich, entsprechend der Analysen des Theorieteils, zwei Stellgrößen an. Zum einen kann eine Erhöhung der Ableitereinsatzspannung das auftretende di/dt reduzieren. Zum anderen bewirkt eine bewusst erhöhte Streuinduktivität der Zweige ebenfalls ein

4 Messungen zum Kurzschlussfall IV – 4.1 KS IV–Messungen – Parametereinflüsse auf pMax bei linear fallendem Zweigstrom

reduziertes di/dt . Eine dafür einzufügende Drossel muss den gesamten Zweigstrom tragen können und führt daher zu erheblichen Kosten. Die Änderung der Ableiterspannung zieht jedoch ebenfalls hohe Kosten nach sich, da wegen der höheren Spannungen die gesamte Isolationskoordination angepasst werden muss. Zur Untersuchung der Wirksamkeit dieser Methoden wurden die folgenden Messungen durchgeführt. Die Reduzierung des di/dt wurde durch Vergrößerung der Kurzschlussinduktivität L_{KS} (Abbildung 29) erreicht.

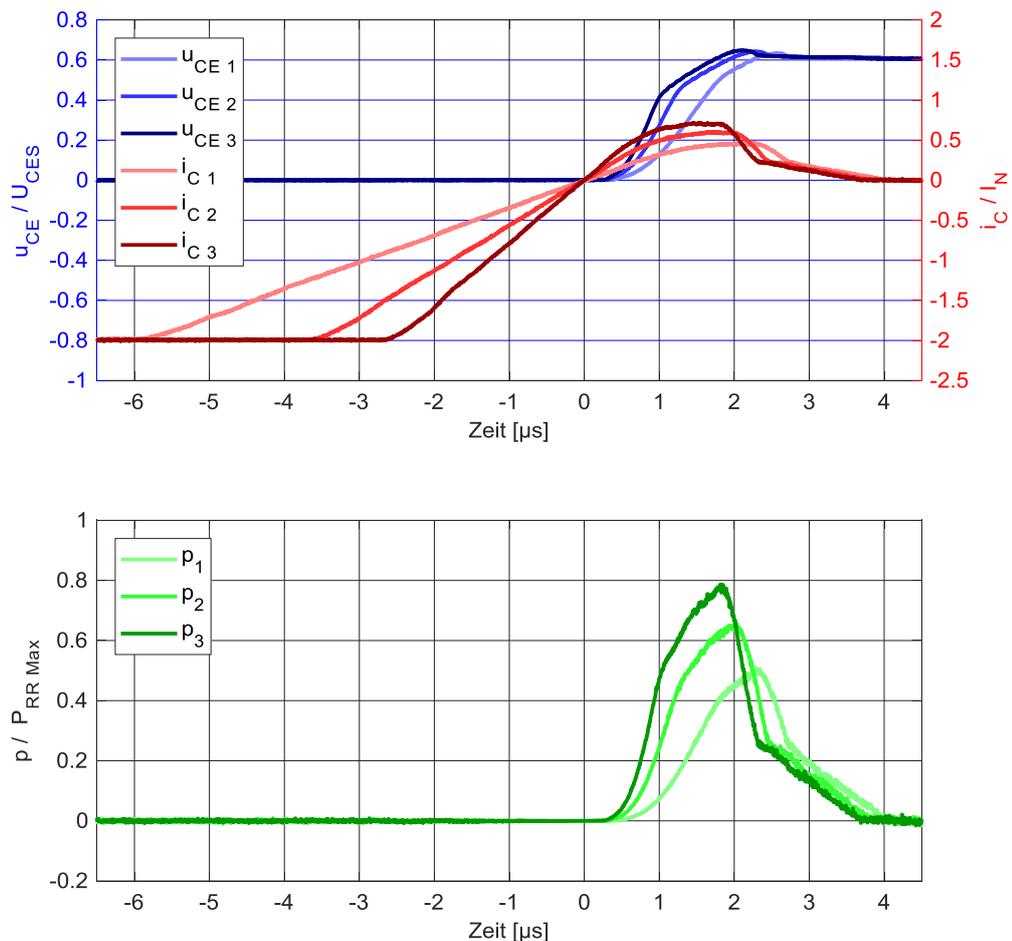


Abbildung 35: Zeitverläufe von u_{CE} , i_C & p beim KS IV ; $T_J=25\text{ °C}$; $t_{Diode}=200\text{ µs}$; $U_d=0,60 \cdot U_{CES}$; $i_C(t_0)=-2 \cdot I_N$;
Messung 1: $di/dt=0,34\text{ I}_N/\text{µs}$; Messung 2: $di/dt=0,57\text{ I}_N/\text{µs}$; Messung 3: $di/dt=0,80\text{ I}_N/\text{µs}$

In Abbildung 35 sind drei ausgewählte Kurzschlussfall-IV-Verläufe, bei verschiedenen di/dt , dargestellt. An den Spannungs- und Stromkurven in der oberen Diagrammhälfte ist zu erkennen, dass bei einem flacheren Stromanstieg das Ausräumen der Ladungsträger aus der Diode zwar länger andauert, jedoch ist im Gegenzug der maximale

4 Messungen zum Kurzschlussfall IV – 4.1 KS IV–Messungen – Parametereinflüsse auf p_{Max} bei linear fallendem Zweigstrom

Reverse-Recovery-Strom geringer. In der unteren Diagrammhälfte ist zu erkennen, wie dieser reduzierte Rückstrom der Diode auch die Schaltleistung deutlich zurückgehen lässt.

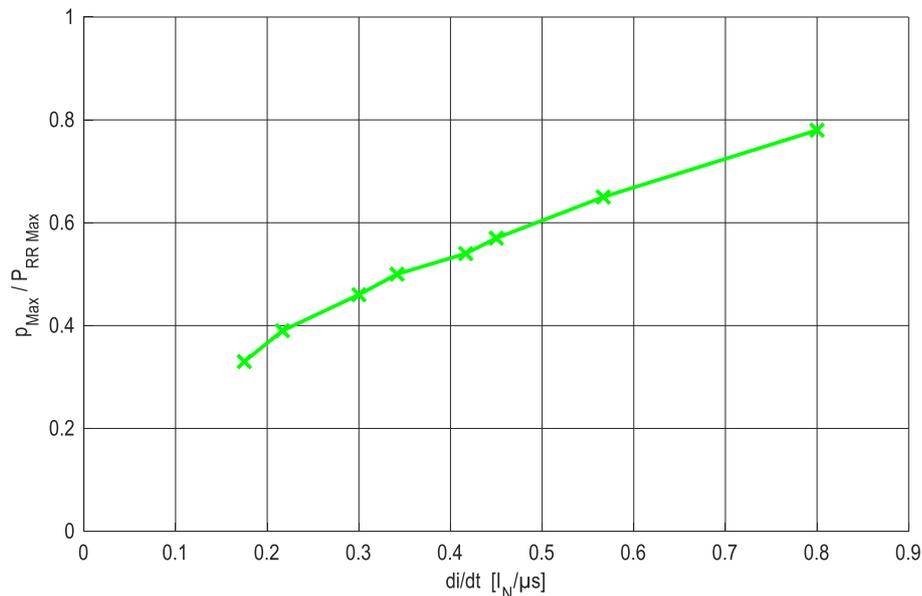


Abbildung 36: Maximale Schaltleistung in Abh. des Stromanstieges di/dt ; $T_J=25\text{ °C}$; $t_{\text{Diode}}=200\text{ }\mu\text{s}$;
 $U_d=0,60 \cdot U_{\text{CES}}$; $i_c(t_0)=-2 \cdot I_N$

Für weitere Kurzschlussfälle mit verändertem Stromanstieg sind in Abbildung 36 die jeweils resultierenden maximalen Schaltleistungen p_{Max} über dem di/dt aufgetragen. Es ist zu erkennen, wie ein reduziertes di/dt die Schaltleistung merklich zurückgehen lässt. Diese Reduktion kann als linear angenähert werden. Ausgehend von $0,8 \cdot I_N/\mu\text{s}$ ist, bei einer Halbierung des di/dt , mit einer Reduktion der Schaltleistung um etwa 30 % zu rechnen. Dieser Ansatz zu Reduktion der Halbleiterbelastung im Blockierfall des MMC ist damit deutlich vielversprechender, als die Reduktion der Umrichterströme, deren Auswirkung im vorigen Absatz untersucht wurde.

4.1.4 KS IV – Einfluss der Modulzwischenkreisspannung auf p_{Max} bei linear fallendem Zweigstrom

Die Höhe der Schaltleistung beim Blockieren und Abkommutieren der Dioden ist ebenfalls von der Höhe der Zwischenkreisspannung jedes einzelnen Submoduls anhängig. Die Spannung der Submodule schwankt im Verlauf einer Periode der Umrichterausgangsspannung. Als schlimmster Fall, zum Abkommutieren der Dioden, muss die maximal auftretende Zwischenkreisspannung angenommen werden. Die Zwischenkreisspannung der einzelnen Submodule wird durch Regelalgorithmen innerhalb eines definierten Toleranzbereichs gehalten. Durch Änderung der Regelungsparame-

4 Messungen zum Kurzschlussfall IV – 4.1 KS IV–Messungen – Parametereinflüsse auf pMax bei linear fallendem Zweigstrom

ter kann die maximal auftretende Zwischenkreisspannung reduziert werden. In welchem Umfang dadurch die maximal auftretende Schaltleistung zurück geht, zeigen die folgenden Messungen. Es muss jedoch beachtet werden, dass dadurch gegebenenfalls eine höhere Anzahl der in Reihe zu schaltenden Submodule notwendig wird, um die gewünschte DC-Spannung zu erreichen und zusätzlich eine geforderte Regelreserve zu gewährleisten.

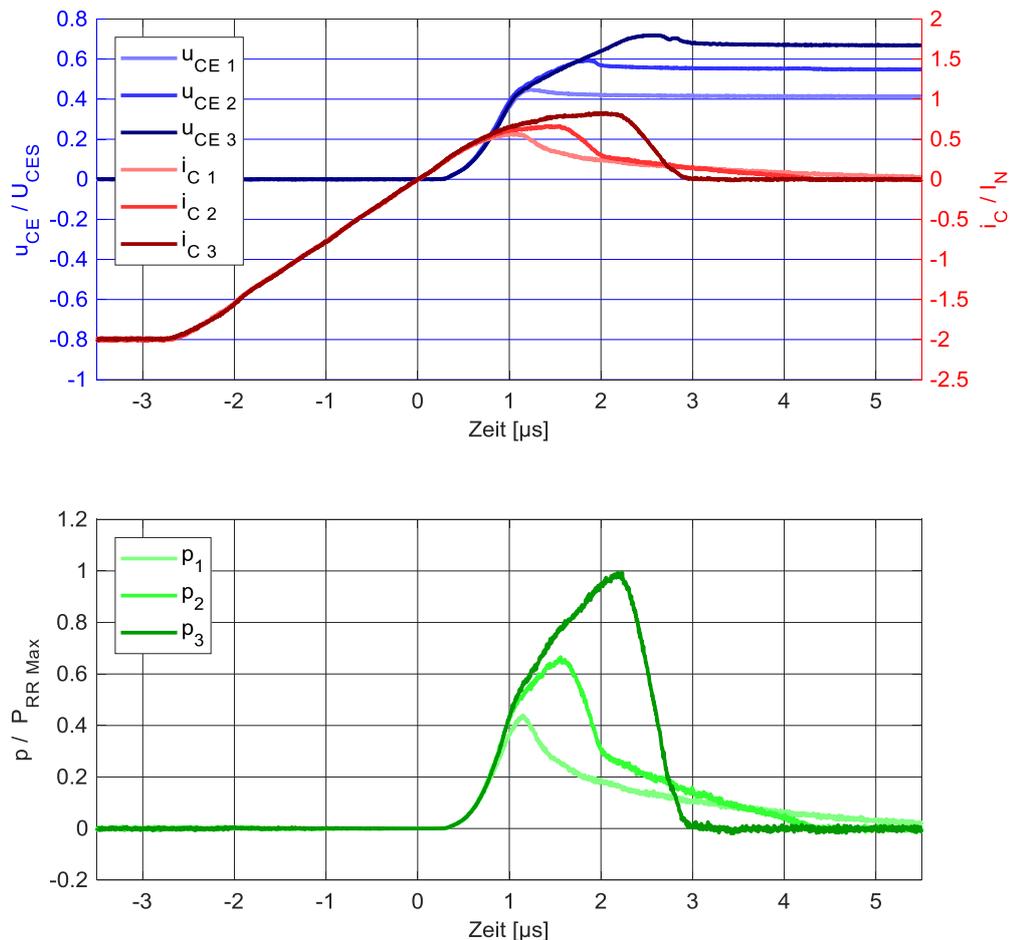


Abbildung 37: Zeitverläufe von u_{CE} , i_C & p beim KS IV ; $T_J=25\text{ °C}$; $t_{Diode}=200\text{ }\mu\text{s}$; $i_C(t_0)=-2\cdot I_N$; $di/dt=0,77\text{ I}_N/\mu\text{s}$;
 Messung 1: $U_d=0,42\cdot U_{CES}$; Messung 2: $U_d=0,55\cdot U_{CES}$; Messung 3: $U_d=0,67\cdot U_{CES}$

Abbildung 37 zeigt drei ausgewählte Zeitverläufe eines Kurzschlussfalles IV bei verschiedenen Zwischenkreisspannungen. Es ist zu erkennen, dass bei besonders kleinen Zwischenkreisspannungen kein Avalanche-Effekt auftritt. Dadurch werden keine zusätzlichen Ladungsträger in der Diode generiert. Ein geringerer resultierender Rückstrom hat, gemeinsam mit der geringeren Zwischenkreisspannung, eine deutlich reduzierte Schaltleistung zur Folge. Immer höhere Zwischenkreisspannungen haben hingegen einen immer stärkeren Avalanche-Effekt zur Folge. Mit steigender Zwischenkreisspannung tritt eine

4 Messungen zum Kurzschlussfall IV – 4.1 KS IV–Messungen – Parametereinflüsse auf p_{Max} bei linear fallendem Zweigstrom

Erhöhung der Schalteistung, sowohl durch die höhere Zwischenkreisspannung selbst, als auch durch den, aufgrund des dynamischen Avalanches, gestiegenen Rückstroms, auf. Es ist daher davon auszugehen, dass sich die Zwischenkreisspannung mit einer Potenz größer als eins auf die Schalteistung auswirkt und kein rein linearer Zusammenhang besteht.

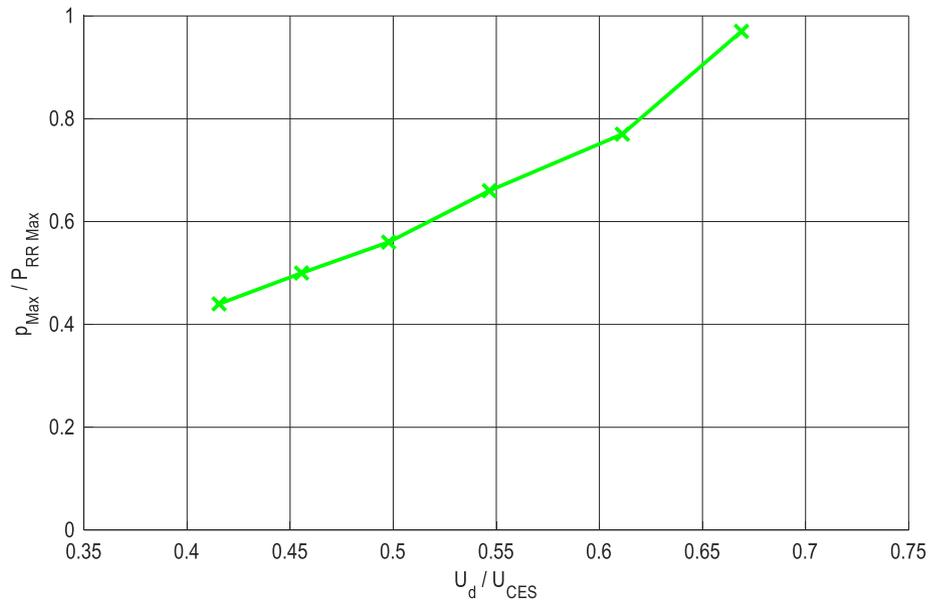


Abbildung 38: Maximale Schalteistung in Abh. der Modulzwischenkreisspannung U_d ; $T_J=25\text{ °C}$;
 $t_{Diode}=200\text{ }\mu\text{s}$; $i_c(t_0)=-2 \cdot I_N$; $di/dt=0,77\text{ I}_N/\mu\text{s}$

Abbildung 38 zeigt die resultierende maximale Schalteistung p_{Max} für weitere Zwischenkreisspannungen. Diese gekrümmte Kurve deckt sich mit den obigen Analysen zu den drei beispielhaften Zeitverläufen aus Abbildung 37.

Wird die Kurve aus Abbildung 38 extrapoliert, ergibt sich eine Reduktion der Schalteistung zwischen 52 % und 63 % bei Halbierung der Zwischenkreisspannung. Damit scheint dieser Ansatz vielversprechender zu sein, als die im vorigen Absatz untersuchte Reduktion des di/dt .

Es gilt jedoch zu beachten, dass sich der Mehraufwand zur Halbierung der Zwischenkreisspannung und der Mehraufwand zur Halbierung des di/dt möglicherweise deutlich unterscheiden. Bei eventuellen Maßnahmen zur Reduktion der Halbleiterbelastung muss die Variante anwenderspezifisch entschieden werden. Eventuell führen auch beide Ansätze, in Teilen umgesetzt, zum gewünschten Ergebnis.

4.2 KS IV–Messungen – Überspannungen bei kleinen Zweigströmen

Bei sehr kleinen Zweigströmen, und vor allem bei zusätzlich kurzen Leitauern der Diode ist, durch ein snappiges Diodenverhalten, mit einer Überspannung zu rechnen, die die maximal zulässige Sperrspannung überschreitet. Durch die im Verhältnis zum Nennstrom sehr kleinen Ströme sinkt auch die Schaltleistung ab und bleibt deutlich im zulässigen Bereich. Der Aufbau für die dazu durchgeführten Untersuchungen ist identisch zu den vorherigen Messungen zum Kurzschlussfall IV (Abbildung 29). Das Pulsmuster wurde angepasst, damit sich der gewünschte kleine Laststrom einstellt. Dafür wurde ansteuerseitig die Dauer zwischen t_1 und t_2 aus Abbildung 30 entsprechend verkürzt. Den Angaben in der Literatur ist zu entnehmen, dass Snappiness maßgeblich von der Menge der in der Diode befindlichen Ladungsträger abhängt [10, S. 35 ff.]. Um diesem Fakt Rechnung zu tragen, wurde durch Variation des Pulsmusters die Leitdauer der Diode manipuliert. Daraus ergeben sich verschiedene Ladungsträgerverteilungen. Die Auswirkungen auf das Schaltverhalten sind im Folgenden diskutiert.

In Abbildung 39 ist beispielhaft ein besonders extremer Fall dargestellt. Hier leitet die Diode für $10\ \mu\text{s}$ etwa zwei Prozent ihres Nennstromes. Bei snappigem Schaltverhalten ist ab einem bestimmten Zeitpunkt die gesamte Reverse-Recovery-Ladung der kurz leitenden Diode ausgeräumt. Der Reverse-Recovery-Strom wird schlagartig zu null. Aufgrund der Streuinduktivität und des steilen Stromgradienten entsteht eine hohe Überspannung. Die resultierende Sperrspannung ergibt sich aus der Summe der Überspannung und der momentanen Zwischenkreisspannung. Bei einem Kurzschlussfall IV muss zu dieser Summe auch noch die Forward-Recovery-Spannung der gegenüberliegenden Freilaufdiode addiert werden. Die Gesamtspannung wird größer mit steigender Zwischenkreisspannung sowie bei größeren Streuinduktivitäten und mit steileren Stromanstiegen. Wie in dem Beispiel aus Abbildung 39 kann dabei die maximal zulässige Kollektor-Emitter-Spannung U_{CES} überschritten werden.

4 Messungen zum Kurzschlussfall IV – 4.2 KS IV-Messungen – Überspannungen bei kleinen Zweigströmen

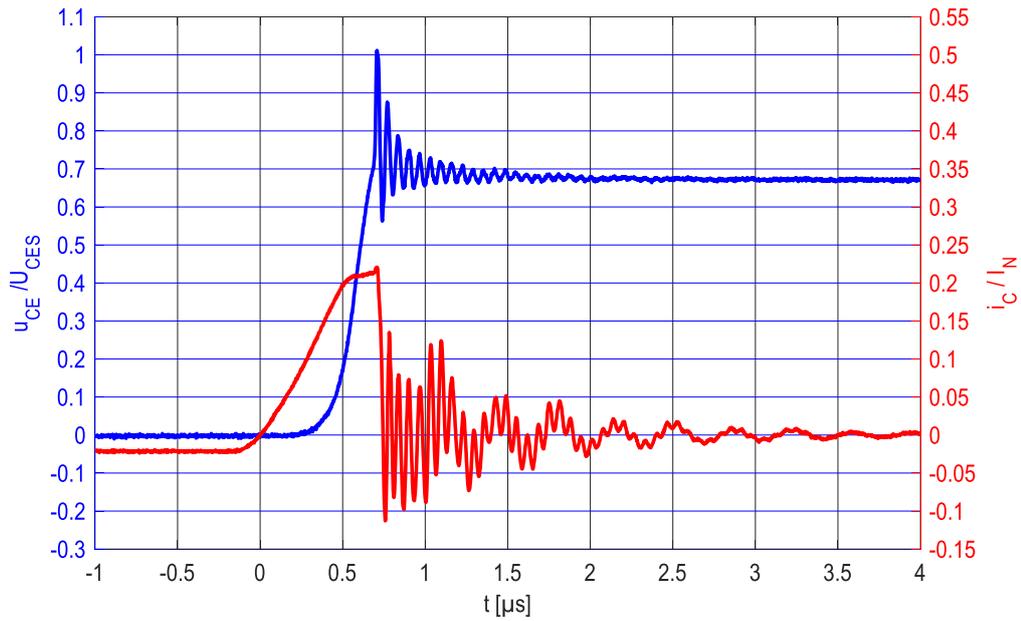


Abbildung 39: Zeitverlauf i_c & u_{CE} eines KS IV ; $T_J=125^\circ\text{C}$; $t_{\text{Diode}}=10\ \mu\text{s}$; $i_c(t_0)=-0,021\cdot I_N$

Bei den hier untersuchten Dioden handelt es sich um sogenannte weiche Dioden, die unter üblichen Randbedingungen nicht zu schnappigem Verhalten neigen. Da die hier applizierten Randbedingungen sehr speziell und unüblich sind, ergibt sich das gezeigte Schaltverhalten. Um riskante Betriebspunkte besser einzuschätzen, wurde eine Reihe von Messungen mit unterschiedlichen Diodenleitdauern aufgenommen.

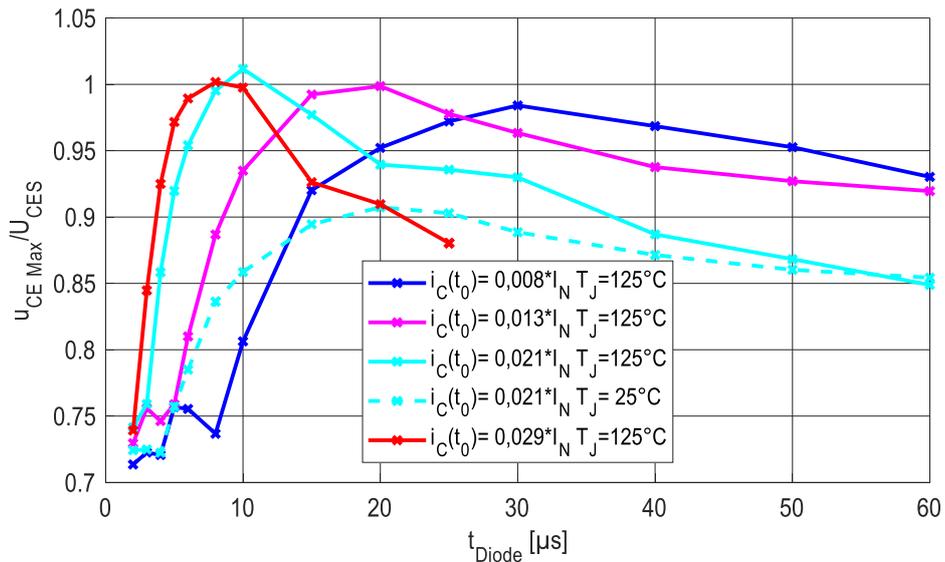


Abbildung 40: Maximale Kollektor-Emitter-Spannung in Abh. der Diodenleitdauer ; $U_d=0,67\cdot U_{CES}$; $di/dt=[0,3 \dots 0,45]\cdot I_N/\mu\text{s}$

4 Messungen zum Kurzschlussfall IV – 4.3 KS IV–Messungen – Zwei verschieden lang leitende Dioden in Serie

In Abbildung 40 sind die Maximalwerte der Kollektor-Emitter-Spannung mehrerer Einzelmessungen über der Diodenleitdauer aufgetragen. Es wurden mehrere Messreihen bei unterschiedlichen initialen Modulströmen $i_C(t_0)$ und zum Teil bei verschiedenen Temperaturen aufgenommen. Diese Abbildung lässt erkennen, dass es einen Bereich der Diodenleitdauer um $10 \mu\text{s}$ gibt, bei dem gefährlich hohe Überspannungen auftreten. Weiterhin kann festgehalten werden, dass das Verhalten bei geringen Temperaturen eher unkritisch ist. Besonders hohe Überspannungen ergeben sich in einem Zweigstrombereich von einem bis drei Prozent des Nennstromes. Bei größeren Strömen lässt die größere eingebrachte Menge an Ladungsträgerplasma das Schaltverhalten softer werden. Die Messungen erfolgten bei einer Zwischenkreisspannung von $U_d = 0,67 \cdot U_{CES}$. Dies ist bereits ein unüblich hoher Wert für den Schaltbetrieb. Da Überspannungen mit zunehmender Zwischenkreisspannung kritischer werden, wurde der Einfluss verschiedener Zwischenkreisspannungen nicht weiter untersucht. Die Kurzschlussinduktivität L_{KS} wurde wie schon zuvor so eingestellt, dass sich bei großen Strömen ein di/dt von ca. $0,8 \cdot I_N/\mu\text{s}$ einstellt. Bei den hier verwendeten kleinen Strömen werden jedoch parasitäre Effekte relevanter, so dass sich effektiv Werte von $0,3 \cdot I_N/\mu\text{s}$ bis $0,45 \cdot I_N/\mu\text{s}$ ergeben haben.

Wie zuvor durch Simulationen im Absatz 3.2.4.5 gezeigt wurde, müssen initiale Zweigströme 20 % des Nennstromes übersteigen, damit die, bis dahin noch nicht leitenden, high-side Dioden kurz leitend werden. Zwischen diesen 20 % und den gemessenen 3 % ist ausreichend Marge vorhanden um auch in ungünstigen Fällen zu folgern, dass nie zeitgleich beide Kriterien einer geringen Leitdauer und eines geringen Zweigstromes erfüllt sind. Eine Gefährdung durch Überspannung kann somit gänzlich ausgeschlossen werden. Ergänzend wird im folgenden Absatz zur Serienschaltung zweier Dioden unter anderem auch diese These an einem skalierten Beispielaufbau experimentell nachgewiesen.

4.3 KS IV–Messungen – Zwei verschieden lang leitende Dioden in Serie

Die vorangegangenen Simulationen zu Varianten des Falles A 1.2 c haben gezeigt, dass neben dem KS IV noch ein weiterer Effekt auftritt. Bedingt durch den Aufbau des MMC kommt es vor, dass innerhalb eines Zweiges mehrere Dioden von demselben Zweigstrom durchflossen werden. Diese Dioden verhalten sich als wären sie in Reihe geschaltet. Eine Besonderheit entsteht beim Blockieren des MMC während positiver Zweigströme. Einige Dioden werden dabei, durch das Abschalten der gegenüberliegenden IGBT, leitend. Diese kurz leitenden Dioden sind durch den Aufbau des MMC wirksam in Reihe geschaltet mit

4 Messungen zum Kurzschlussfall IV – 4.3 KS IV–Messungen – Zwei verschieden lang leitende Dioden in Serie

den Dioden, die schon vor dem Blockieren den Zweigstrom führten. Diese werden, zur Unterscheidung, lang leitende Dioden genannt. Im Anschluss wird, aufgrund der Spannungsverhältnisse im Umrichter, der Zweigstrom in den Ableiter abkommutiert. Dies führt dazu, dass zumindest einige der Dioden Spannung sperren müssen. Aufgrund der ungleichen Vorgeschichte sind die Dioden-Chips verschieden stark mit Plasma geflutet. Ein deutlich unterschiedliches Schaltverhalten ist zu erwarten.

Aufgrund dieser Thesen wurde eine Testschaltung entwickelt, um diesen Vorgang zu untersuchen. Die Schaltung des Leistungsteils ist in der folgenden Abbildung 41 dargestellt.

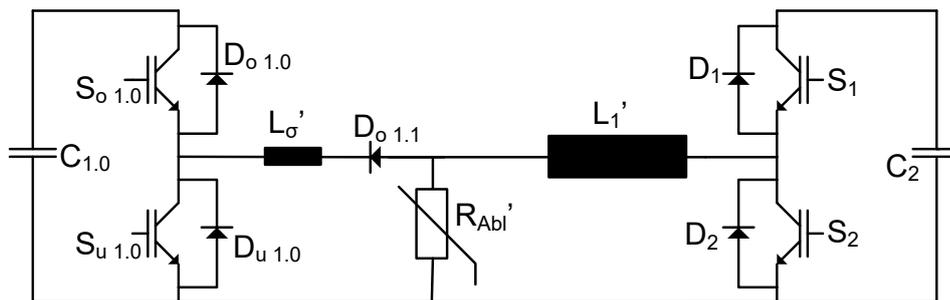


Abbildung 41: Messschaltung zur Reihenschaltung verschieden lang leitender Dioden

Mit diesem Aufbau kann bei geeigneter Skalierung das Verhalten einzelner Leistungshalbleiter des MMC nachgestellt und vermessen werden. Diese Messschaltung ist angepasst an einen speziellen Kommutierungsablauf innerhalb des MMC. Es wurden nur die zwingend nötigen Leistungsbaulemente verwendet.

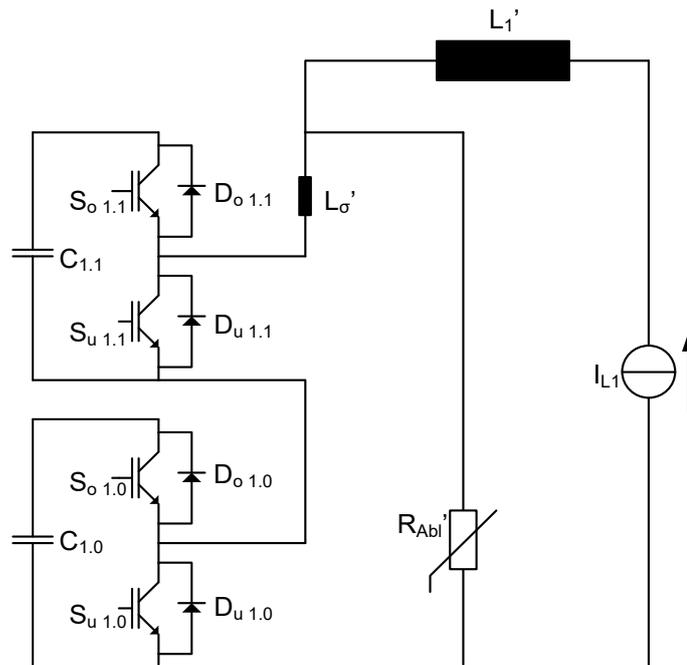


Abbildung 42: Fiktive Schaltung zur Herleitung der Seriendioden-Messschaltung

Zum besseren Verständnis ist in Abbildung 42 ein fiktiver vergleichbarer Aufbau gezeigt. Hier repräsentieren zwei Submodule je einen möglichen Schaltzustand vor dem Blockieren des MMC. Vor dem Blockieren fließt der Zweigstrom durch D_{o 1.1}, C_{1.1} sowie S_{u 1.0}. Zum Blockieren wird der Schalter S_{u 1.0} ausgeschaltet. Dabei nimmt der Schalter S_{u 1.0} Sperrspannung auf. Dadurch steigt auch die Spannung über dem Ableiter R_{Abl}'. Dieser beginnt den Zweigstrom zu übernehmen. Abhängig von den Relationen der Zwischenkreisspannung, der Streuinduktivität und der Ableiterkennlinie wird die Diode D_{o 1.0} kurz leitend. Anschließend kommutiert der gesamte Zweigstrom in den Ableiter, die beiden Dioden D_{o 1.0} und D_{o 1.1} mit unterschiedlicher Vorgeschichte werden in Serie abkommutiert.

Es besteht die These, dass D_{o 1.0} wegen der kürzeren Leitdauer weniger Plasma enthält und daher eher Spannung aufnimmt als D_{o 1.1}. Somit wird die Schaltleistung der Diode D_{o 1.1} reduziert. Die lang leitende Diode D_{o 1.1} muss entsprechend weniger bis keine Spannung aufnehmen. Wenn D_{o 1.1} keine Spannung aufnimmt, werden alle anderen Elemente des Submoduls SM_{1.1} nicht zur Kommutierung benötigt. Daher wurden diese Elemente zur Verringerung des Realisierungsaufwandes aus der Schaltung entfernt. Das Resultat ist die Schaltung aus Abbildung 41. Da D_{o 1.1} hier keinen Freilaufzweig hat, wurde für den Fall, dass D_{o 1.1} unerwartet Spannung aufnimmt, ein geeigneter Ableiter parallel geschaltet.

Zu erwähnen ist dabei, dass C_{1.1} aus Abbildung 41 wie eine Serienspannungsquelle wirkt. Um diese zu entfernen, ohne den Kommutierungsvorgang maßgeblich zu beeinflussen,

muss in der Spannungsmasche an anderer Stelle eine entgegengesetzte Spannung entsprechend reduziert werden. Dafür wurde der Ableiter auf eine entsprechend geringere Spannung umskaliert.

Das Pulsmuster für eine Messung ist relativ übersichtlich. S_1 und $S_{u\ 1.0}$ werden eingeschaltet bis der Zweigstrom durch L_1' auf den gewünschten Wert gestiegen ist. Dann wird S_1 abgeschaltet. Der Zweigstrom in L_1' wechselt dadurch in einen Freilaufzweig über D_2 ohne relevante treibende Spannungen. Durch die Dauer dieses Freilaufes kann sichergestellt werden, dass die Diode $D_{o\ 1.1}$ lang genug leitend war und eine statische Ladungsträgerverteilung erreicht wurde. Darauf folgend wird $S_{u\ 1.0}$ abgeschaltet. Dies löst den gewünschten Kommutierungsvorgang aus, sodass dieser gemessen werden kann. Der Strom aus L_1' kommutiert dann in den Ableiter und der Strom aus L_σ kommutiert wie beschreiben parameterabhängig in die Freilaufdiode $D_{o\ 1.0}$. Deshalb ist die Skalierung aller relevanten Elemente wichtig, um eine geeignete Abbildung des realen Vorgangs zu erreichen. Darauf wird im folgenden Absatz genauer eingegangen.

4.3.1 Skalierung des Seriendiode-Versuches

Um diesen Messaufbau zu skalieren, muss zunächst die Entscheidung für eine Kategorie und einen Fall aus der theoretischen Analyse getroffen werden. Damit werden eine momentane AC-Spannung sowie der momentane Zweigstrom vor dem Blockieren festgelegt. Ist die DC-Spannung und die mittlere Zwischenkreisspannung der Module bekannt, ergibt sich daraus die Anzahl n_1 der im Zweig befindlichen eingeschalteten Module, deren Ausgangsspannung ihrer Zwischenkreisspannung entspricht. Da die Gesamtzahl n der Module eines Zweiges bekannt ist, ergibt sich auch die Anzahl der ausgeschalteten Module n_0 , deren Ausgangsspannung vor dem Blockieren nahezu null ist.

Der Versuchsaufbau enthält eines der ausgeschalteten Module, somit ist der Skalierungsfaktor für Spannungen in der Zweigmasche $1/n_0$. Mit diesem Faktor ist auch die Streuinduktivität des Zweiges zu skalieren, damit sich die gleichen Stromanstiege ergeben. Da die Messungen das Verhalten einzelner Leistungshalbleiter abbilden sollen, die baugleich in MMC verwendet werden, sind die Stromwerte nicht skaliert, sondern eins zu eins übernommen.

Es gilt abschließend den Ableiter für den Messaufbau zu dimensionieren. Um für die skalierende Masche gleiche Verhältnisse zu schaffen, muss von der Ableiterspannung des MMC zunächst die Spannung aller eingeschalteten Module, also die n_1 -fache mittlere Zwischenkreisspannung, subtrahiert werden. Denn diese Module werden im Versuch nur

durch eine Diode, ohne in Serie geschaltete Zwischenkreisspannung, abgebildet. Weiterhin muss von der Ableiterspannung die initiale AC-Spannung $u_{AC}(t_0)$ abgezogen werden. Wurden beide Spannungsanteile von der Ableiterspannung abgezogen, folgt die Skalierung der Ableiterspannung mit $1/n_0$. Die verwendeten Varistoren weisen eine stark nicht lineare Kennlinie auf und stehen nur in diskreten Spannungsstufen zur Verfügung. Daher muss die nächstmögliche Spannungsstufe gewählt werden. Eine verbleibende Restabweichung kann nicht vermieden werden.

Da der Versuchsaufbau keinen veränderlichen AC-Spannungsanteil nachbilden kann, gilt einschränkend, dass mit diesem Versuch nur das MMC-Verhalten unter Annahme einer (kapazitiv) eingepprägten AC-Spannung nachgestellt werden kann. Die Ergebnisse dieser Untersuchung werden in zwei Unterabsätze aufgeteilt. Grund ist die Tatsache, dass dieser Messaufbau geeignet ist, um zwei verschiedene Thesen zu belegen. Zum einen wird gezeigt, dass bei kleinen Strömen der gesamte Zweigstrom schon während der steigenden u_{CE} Spannungsflanke in den Ableiter kommutiert. So gibt es in diesem Fall keine Dioden, die kurz leitend werden. Zum anderen wird gezeigt, dass bei größeren Zweigströmen die kurz leitenden Dioden die lang leitenden Dioden vor zu hoher Beanspruchung schützen. Dies geschieht dadurch, dass kurz leitende Dioden immer vor den lang leitenden Dioden Spannung aufnehmen.

4.3.2 Messtechnischer Beleg zur These: „Bei kleinen Zweigströmen treten keine kurz leitenden Dioden auf.“

Im Absatz 4.2 konnte belegt werden, dass ein snappiges Kommutierungsverhalten der Dioden, mit gefährlich hohen Überspannungen, nur zu erwarten ist, wenn zwei Bedingungen zeitgleich erfüllt sind:

1. Ein sehr kleiner Zweigstrom unter $0,05 \cdot I_N$
2. Eine kurze Leitdauer von ca. $10 \mu s$

Der Messaufbau, zur Untersuchung einer Serienschaltung verschieden lang leitender Dioden, lässt zusätzlich zu dieser eigentlichen Funktion auch Messungen zu, die die simulative These aus Absatz 3.2.4.5 belegen. Die folgend dargestellte Messung belegt damit, dass bei kleinen Zweigströmen keine kurz leitenden Freilaufdioden zu erwarten sind.

4 Messungen zum Kurzschlussfall IV – 4.3 KS IV–Messungen – Zwei verschieden lang leitende Dioden in Serie

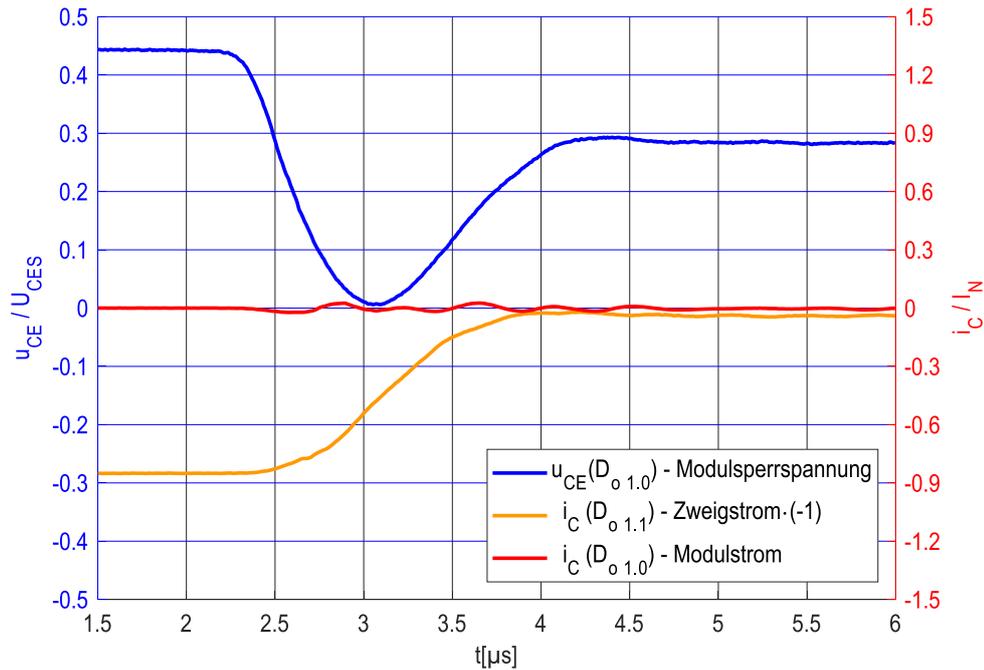


Abbildung 43: Zeitverlauf, Strom & Spannung einer Freilaufdiode bei kleinem Zweigstrom, $T_J=125\text{ °C}$

Abbildung 43 zeigt den Modulstrom $i_C(D_{o 1.0})$ und die Kollektor-Emitter-Spannung $u_{CE}(D_{o 1.0})$ des Halbleitermoduls, welches die Freilaufdiode $D_{o 1.0}$ enthält, beim Abschalten des IGBT $S_{u 1.0}$. Weiterhin ist der Strom $i_C(D_{o 1.1})$ dargestellt. Dieser ist, in Bezug zum MMC, als invertierter Zweigstrom zu verstehen. Die Kommutierung wird eingeleitet durch das Abschalten des zweigstromführenden IGBT $S_{u 1.0}$. Es ist zu erkennen, wie die Sperrspannung der Freilaufdiode zu fallen beginnt. Diese Spannung fällt in dem Maße in dem die Sperrspannung des abschaltenden IGBT steigt. Überschreitet die Zweigspannung die Ableiterspannung, beginnt der Zweigstrom sich zu verringern und auf den Ableiter zu kommutieren. An dem Punkt, an dem der Zweigstrom geringer wird als der Tailstrom des abschaltenden IGBT, verringert sich dessen Spannung wieder. Demzufolge steigt die Sperrspannung der Freilaufdiode wieder an. Die Diode wird in dem dargestellten Fall gar nicht erst leitend und kann daher auch nicht durch einen Kurzschlussfall IV belastet werden. Die geringe Zwischenkreisspannung von $0,45 \cdot U_{CES}$ ist als Worst-Case-Annahme zu verstehen. Denn bei einer geringeren Zwischenkreisspannung muss ein IGBT weniger Sperrspannung aufnehmen, bevor die Freilaufdiode leitend wird. Bei der gezeigten Parameterkonstellation bleibt die Freilaufdiode bis zu einem Zweigstrom von $0,8 \cdot I_N$ nicht leitend.

4 Messungen zum Kurzschlussfall IV – 4.3 KS IV–Messungen – Zwei verschieden lang leitende Dioden in Serie

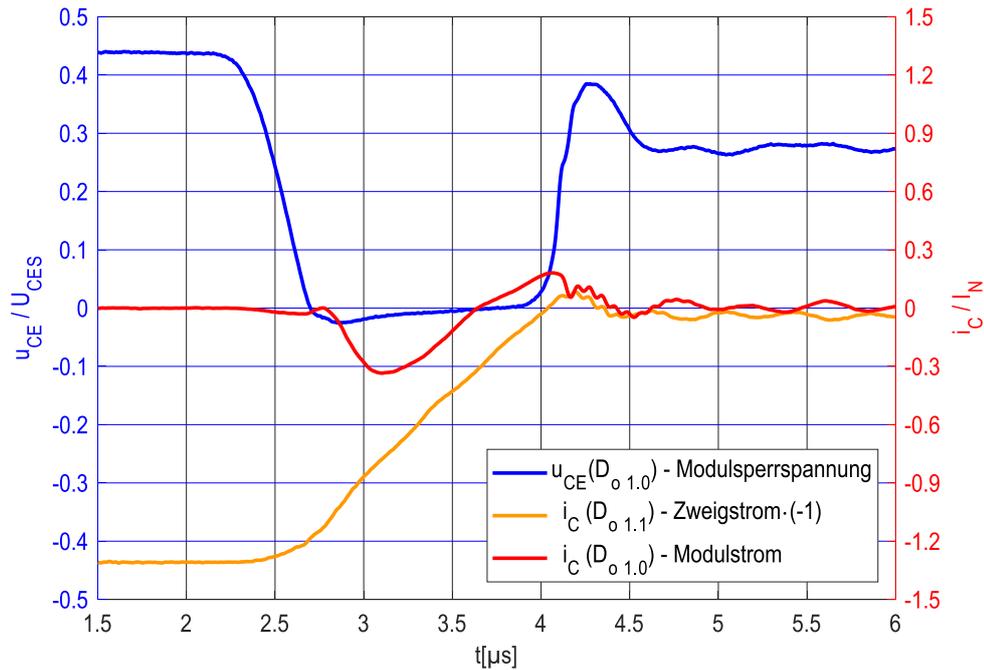


Abbildung 44: Zeitverlauf, Strom & Spannung einer Freilaufdiode bei mittlerem Zweigstrom, $T_J=125\text{ °C}$

Abbildung 44 zeigt einen Zeitverlauf mit identischen Parametern zu Abbildung 43, bis auf den initial größeren Zweigstrom von nun $1,3 \cdot I_N$. Es ist zu erkennen, wie die Freilaufdiode $D_{o\ 1.0}$ leitend wird. Die Differenz zwischen Diodenstrom und Zweigstrom resultiert aus dem Tailstrom, beziehungsweise Kollektorstromschweif, des abschaltenden IGBT [10, S. 53]. Weiterhin ist zu erkennen, dass die Diode $D_{o\ 1.0}$ zunächst in Vorwärtsrichtung beansprucht wird. Vor der anschließenden Spannungsaufnahme muss zunächst die Sperrverzögerungsladung ausgeräumt werden. Daraus resultiert der Reverse-Recovery-Strom der Diode. Sobald die Diode Spannung aufnimmt, reduziert sich die Sperrspannung des gegenüberliegenden abschaltenden IGBT. Mit der reduzierten Spannung geht dessen Tailstrom massiv zurück. Dies reduziert ebenfalls den Reverse-Recovery-Strom der Diode. Es steht anschließend nur noch der Zweigstrom zum Ausräumen der Sperrverzögerungsladung zur Verfügung.

Wie aus Abbildung 43 (im Vergleich zu Abbildung 44) zu erkennen ist, enthält die parasitäre Streuinduktivität eines MMC-Zweiges erst ab einem gewissen Zweigstrom genügend Energie, um die Ladungsträger aus dem abschaltenden IGBT auszuräumen. Bei der gezeigten Parameterkonstellation geschieht dies erst oberhalb von $0,8 \cdot I_N$. Das heißt, nur wenn der Zweigstrom größer als $0,8 \cdot I_N$ ist, treten kurz leitende Dioden auf. Wenn dies eintritt ist jedoch die erste der beiden Bedingung zum Auftreten von Snappiness, dass der

Zweigstrom kleiner als $0,05 \cdot I_N$ sein soll, nicht mehr erfüllt. Demnach ist, durch das Blockieren eines MMC, mit den als üblich angenommenen parasitären Eigenschaften, kein snappiges Schaltverhalten zu erwarten. Folglich resultieren daraus keine kritischen Überspannungen.

4.3.3 Messtechnischer Beleg zur These: „Kurz leitende Dioden entlasten die lang leitenden Dioden.“

Der These aus Absatz 3.2.1.5 folgend ist eine lang leitende Diode vor übermäßiger Schaltleistung geschützt, wenn eine in Reihe geschaltete kurz leitende Diode zuerst Spannung aufnimmt und damit die Ertere entlastet. Um dies zu belegen, wurden mehrere Messungen, entsprechend des Versuchsaufbaus gemäß Abbildung 41 durchgeführt. Dabei wurden mehrere Parameter variiert um einen Überblick über die beeinflussenden Größen zu bekommen. Als repräsentativ beispielhafter Zeitverlauf ist in Abbildung 45 einer dieser Kommutierungsvorgänge dargestellt.

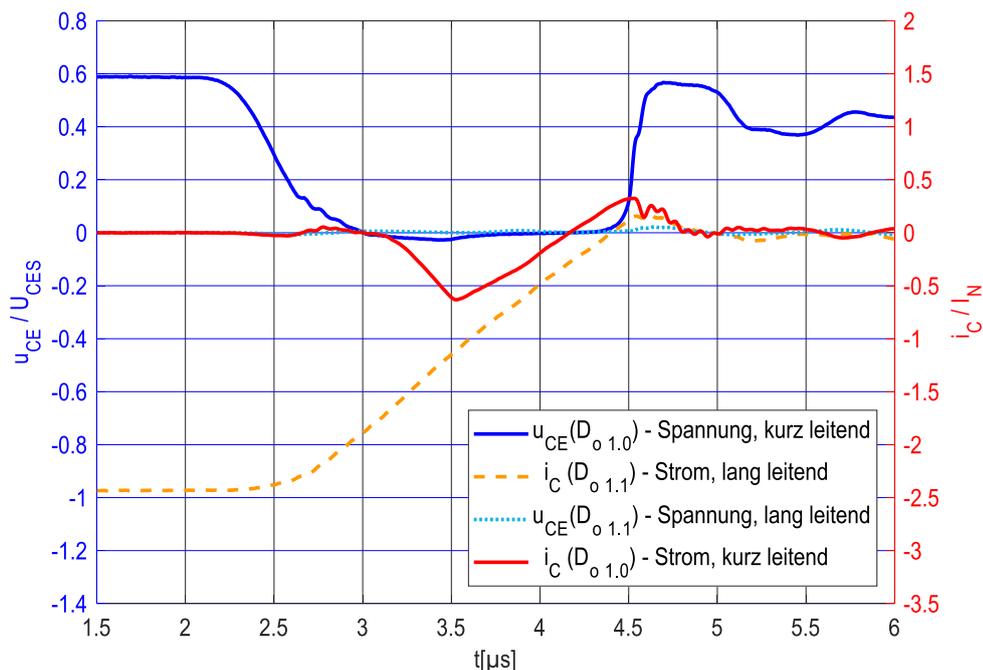


Abbildung 45: Zeitverlauf, Strom & Spannung zweier Dioden

Der Zeitverlauf aus Abbildung 45 zeigt als durchgezogene Linien den Strom- und Spannungsverlauf von Diode $D_{o1.0}$ aus Abbildung 41, einer kurz leitenden Diode. Durch gestrichelte Linien werden die korrespondierenden Verläufe der lang leitenden Diode $D_{o1.1}$ dargestellt. In der Darstellung ist zu erkennen, wie zu Beginn dieses Kommutierungsvorganges bei $2,5 \mu\text{s}$ die kurz leitende Diode Spannung abgibt. Dies geschieht, da zur Einleitung

4 Messungen zum Kurzschlussfall IV – 4.3 KS IV–Messungen – Zwei verschiedenen lang leitende Dioden in Serie

des Kommutierungsvorganges der gegenüberliegende IGBT ausgeschaltet wurde und dieser entsprechend Spannung aufnimmt. Sobald durch die Spannungsänderung die Ableiterspannung einen Wert erreicht hat, bei dem ein nennenswerter Teil des Zweigstromes durch den Ableiter übernommen wird, beginnt der Zweigstrom – hier gleichbedeutend mit dem Strom der Diode $D_{o1.1}$ – sich zu verringern. Hat der abschaltende IGBT die gesamte Zwischenkreisspannung aufgenommen, so kommutiert der Zweigstrom bis auf den verbleibenden Tailstrom in die Freilaufdiode $D_{o1.0}$. In Abbildung 45 ist dieser Vorgang etwa bei $3,6 \mu\text{s}$ abgeschlossen. Von hier an fällt der Diodenstrom wieder. Das di/dt ist nahezu identischen mit dem des Zweigstromes. Die verbleibende, kleiner werdende, Differenz ergibt sich aus dem Tailstrom des abschaltenden IGBT. Anschließend erfolgt in der kurz leitenden Diode $D_{o1.0}$ ein Stromrichtungswechsel bei $4,25 \mu\text{s}$. Der Tailstrom, der wie ein Offset zwischen den beiden Diodenströmen wirkt, sorgt dafür, dass dieser Stromrichtungswechsel in der lang leitenden Diode $D_{o1.1}$ erst verzögert bei $4,5 \mu\text{s}$ stattfindet. Danach beginnt die kurz leitende Diode $D_{o1.0}$ Spannung aufzunehmen. Dies geschieht früher als bei länger leitenden Dioden, da durch die kurze Vorwärtsbeanspruchung auch nur wenig auszuräumende Speicherladung eingebracht wurde. Durch diese Spannungsänderung, an den kurz leitenden Dioden, ändert sich unmittelbar auch die Spannung über der Streuinduktivität. Daraus folgt, dass sich das di/dt des Zweigstromes ändert. Deshalb steht weniger Zweigstrom zu Verfügung, als zum Ausräumen der restlichen Speicherladung der lang leitenden Diode $D_{o1.1}$ notwendig wäre. Da diese Diode demnach noch Speicherladung enthält, nimmt sie keine Sperrspannung auf. Die momentane Schaltleistung ist als Produkt des Rückwärtsstromes und der Sperrspannung definiert. Daher ergibt sich ein vernachlässigbar kleiner und ungefährlicher Wert für die Schaltleistung. Die Schaltleistung dieser lang leitenden Diode $D_{o1.1}$ bleibt in allen betrachteten Fällen unter $0,04 \cdot P_{RR \text{ Max}}$.

Der messtechnische Nachweis, dass die lang leitenden Dioden in dem Moment entlastet werden in dem die kurz leitenden Dioden Sperrspannung aufnehmen, ist hiermit erbracht. Dies gilt zumindest insoweit lang leitende Dioden im weiteren Verlauf der Kommutierung nicht gezwungen sind, Sperrspannung aufzunehmen. Für Fälle bei denen dies, wie in Absatz 3.2.4.1 beschrieben, eintritt, folgen in Absatz 4.4.1 weitere Untersuchungen.

Der Vollständigkeit halber sei hier noch erwähnt, dass die Schaltleistung der kurz leitenden Diode $D_{o1.0}$ im Beispiel aus Abbildung 45 deutlich höher ist, als die Schaltleistung der lang leitenden Diode $D_{o1.1}$. Zwei Randbedingungen dieses Versuchsaufbaus wurden im technisch möglichen und sinnvollen Rahmen variiert. Dies betrifft die Ableiterspannung und die

4 Messungen zum Kurzschlussfall IV – 4.4 KS IV–Messungen – bei nicht linear fallendem Zweigstrom

Streuinduktivität. Die resultierenden Schaltleistungen der kurz leitenden Diode können der folgenden Tabelle 5 entnommen werden.

Tabelle 5: Schaltleistung kurz leitender Dioden bei variiertem L_{σ} und U_{Ab1}

$P_{Max} / P_{RR Max}$	$U_k(L_{\sigma})/U_{AC} [\text{‰}]$		
	0,41	0,50	0,72
$U_{Ab1}/U_{CES} = 0,12$	0,22	n. a.	0,31
$U_{Ab1}/U_{CES} = 0,16$	0,22	0,26	0,36
$U_{Ab1}/U_{CES} = 0,27$	0,23	n. a.	n. a.

Die Werte der Schaltleistungen lassen erkennen, dass eine steigende Streuinduktivität einen Anstieg der Schaltleistung der kurz leitenden Dioden bedingt. Die Werte bleiben in allen untersuchten Konstellationen deutlich unter der maximal zulässigen Reverse-Recovery-Schaltleistung. Es ist demzufolge ergänzend festzuhalten, dass kurz leitende Dioden keiner kritischen Belastung durch überhöhte Schaltleistungen ausgesetzt werden.

4.4 KS IV–Messungen – bei nicht linear fallendem Zweigstrom

Die Erkenntnisse aus den Absätzen 3.2.4.1 und 3.2.4.2 werfen folgende Frage auf: Reduziert sich die Schaltleistung einer lang leitenden Diode, wenn sich nach dem Stromnulldurchgang und vor der Rückstromspitze das di/dt reduziert? Hintergrund der Fragestellung ist, dass in den betreffenden Fällen genau in diesem Zeitraum die kurz leitenden Dioden Spannung aufnehmen und so die treibende Spannung an der Streuinduktivität des Zweiges reduzieren. Dieser Fragestellung soll nun nachgegangen werden.

Zudem haben die detaillierten Untersuchungen mithilfe der Simulationen aus Absatz 3.2.2.3 einen weiteren Effekt gezeigt: Durch die Annahme einer endlichen AC-Kapazität fällt der Zweigstrom nicht mehr linear. Abhängig von verschiedenen parasitären Größen des MMC überlagert sich eine Sinusschwingung. Dieser schwankende Stromanstieg verringert die Vorhersagbarkeit der Halbleiterbelastung. Die maximale Schaltleistung ist das wesentliche Maß der Diodenbelastung [12, S. 8]. Die Schaltleistung ist, wie bereits gezeigt wurde, stark von der Steilheit des Stromes abhängig. Es ist bislang unklar, welcher Stromanstieg maßgeblich für die Schaltleistung ist. Üblicherweise wird das di/dt nur bei Messungen mit konstantem Stromanstieg angegeben. Die maximale Schaltleistung tritt erst nach dem Stromnulldurchgang während der Rückstromspitze auf. Vermutlich würde sich die

4 Messungen zum Kurzschlussfall IV – 4.4 KS IV–Messungen – bei nicht linear fallendem Zweigstrom

Reverse-Recovery-Ladung, welche ebenfalls die Schaltleistung beeinflusst, verringern, wenn vor dem Nulldurchgang ein längerer flacher Bereich bei geringem Strom entsteht. Um zu klären zu welchem Zeitpunkt der Stromanstieg bestimmend für die maximale Schaltleistung ist, oder ob ein Mittelwert über einen bestimmten Zeitraum gebildet werden muss, wurden die folgenden Messungen durchgeführt.

Für die Realisierung eines Testaufbaus bieten sich zwei Methoden an. Zum einen besteht die Möglichkeit einen Reihenschwingkreis parallel zur Kurzschlussinduktivität zu integrieren. Ein Nachteil dieser Variante ist die Notwendigkeit eines Kondensators mit unüblich kleiner Kapazität, einer fast unrealistisch geringen Serieninduktivität und eines ebenso geringen Serienwiderstandes, bei einer Spannungsfestigkeit von wenigstens der doppelten Zwischenkreisspannung. Ein weiterer Nachteil ist die Tatsache, dass für jede neue Messung der Schwingkreis neu abgestimmt werden müsste. Die bessere Möglichkeit einen veränderlichen Stromgradienten herbeizuführen besteht darin, zwei getrennt steuerbare Kurzschlusspfade parallel zu verwenden. Abbildung 46 zeigt eine mögliche Realisierung.

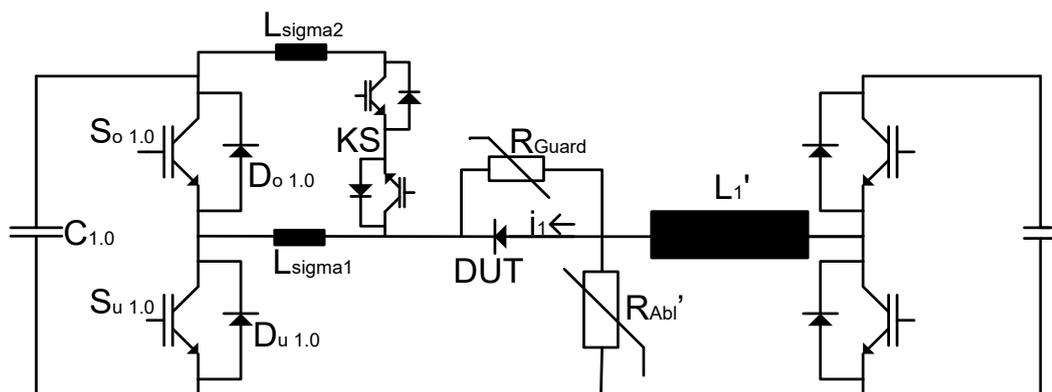


Abbildung 46: Messschaltung zur Untersuchung des KS IV bei nicht konstantem di/dt

Auch hier scheint der Realisierungsaufwand zunächst hoch. Im Vergleich zu Abbildung 41 wird jedoch klar, dass große Teile des bereits bestehenden Messaufbaus wiederverwendet werden können. Da die Reverse-Recovery-Ströme bei einem Kurzschlussfall IV in der Regel nicht den doppelten Nennstrom überschreiten, kann für den Schalter KS auf eine Parallelschaltung verzichtet werden. Der Bauraum, der in anderen Kurzschlussfällen für eine Parallelschaltung des Kurzschließers genutzt wird, steht nun für die antiserielle Schaltung des Schalters KS zu Verfügung. Daraus ergibt sich ein verhältnismäßig geringer Realisierungsaufwand für diese Variante. Unklar ist lediglich, ob der Schalter KS schnell genug abgeschaltet werden kann, um die gewünschten Zeitverläufe des Stromes zu generieren. Von Vorteil ist die Möglichkeit einer präziseren Generierung verschiedener Stromformen, mit

4 Messungen zum Kurzschlussfall IV – 4.4 KS IV–Messungen – bei nicht linear fallendem Zweigstrom

Veränderungen des di/dt in beide Richtungen. Daher fiel die Entscheidung, die Versuche mithilfe eines parallel schaltbaren Kurzschlusspfades durchzuführen. Die folgend in Abbildung 47 dargestellten prinzipiellen Stromverläufe sind mit diesem Versuchsaufbau denkbar.

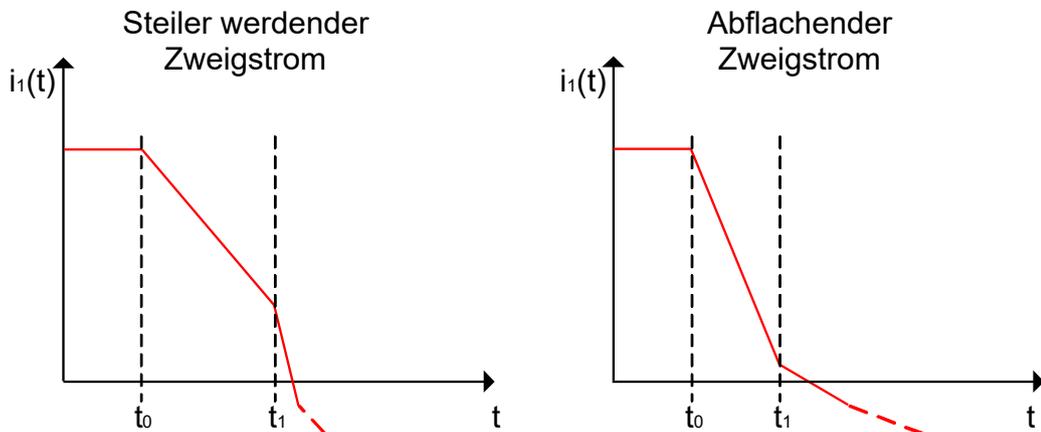


Abbildung 47: Prinzipieller Stromverlauf bei Messungen mit nicht konstantem di/dt

Zur Nachstellung eines steiler werdenden Zweigstromes wird zum Zeitpunkt t_0 der Schalter $S_{u1.0}$ abgeschaltet. Nachdem der Schalter Spannung aufgenommen hat, kommutiert der Strom i_1 zur Diode $D_{o1.0}$. Zwischen t_0 und t_1 bestimmt $L_{\sigma 1}$ den Stromanstieg. Zum Zeitpunkt t_1 wird der Schalter KS eingeschaltet. Der Stromanstieg wird nun durch die Parallelschaltung von $L_{\sigma 1}$ und $L_{\sigma 2}$ bestimmt und ist damit steiler.

Um ein abflachendes di/dt zu erreichen wird zum Zeitpunkt t_0 der Schalter $S_{u1.0}$ abgeschaltet und zusätzlich der Schalter KS eingeschaltet. Zwischen t_0 und t_1 bestimmt nun die Parallelschaltung von $L_{\sigma 1}$ und $L_{\sigma 2}$ das di/dt . Zum Zeitpunkt t_1 wird der Schalter KS abgeschaltet, wodurch sich im weiteren Zeitverlauf ein geringeres di/dt ergibt.

Es sind weitere zusätzliche Varianten denkbar. Zum einen kann ein geringes di/dt kurz vor dem Stromnulldurchgang wieder erhöht werden, falls die Dynamik der Ansteuerung und der Halbleiter dies zulassen. Zum anderen kann, für den Fall des steigenden di/dt , der Zeitpunkt t_1 auch nach den Stromnulldurchgang gelegt werden. Dies kann helfen die di/dt -Abflachung, durch die Spannungsaufnahme der kurz leitenden Diode $D_{o1.0}$, zu einem gewissen Teil zu kompensieren. Dies betrifft vor allem die eingangs gestellte Frage zu der Schaltleistung bei einer Reduzierung des di/dt zwischen Stromnulldurchgang und Rückstromspitze.

4 Messungen zum Kurzschlussfall IV – 4.4 KS IV–Messungen – bei nicht linear fallendem Zweigstrom

Ein weiterer Vorteil dieses Aufbaus ist die verhältnismäßig einfache Generierung von Vergleichskurven mit einem konstanten di/dt , bei ansonsten gleichbleibenden Randbedingungen. So kann nach t_0 und vor dem Stromnulldurchgang der Schalter $S_{o.1.0}$ eingeschaltet werden. Dadurch bleibt nach dem Stromnulldurchgang das di/dt weitestgehend konstant und es kann eine Referenzmessung generiert werden. Die folgende Abbildung 48 zeigt eine solche Vergleichsmessung. Da das DUT in diesem Fall, wegen der in Reihe verbleibenden Restspannung des Ableiters, nicht die volle Zwischenkreisspannung sperren muss, eignen sich die vorigen Messungen nicht zum direkten Vergleich. Um trotz der verringerten Sperrspannungsbeanspruchung relevant hohe Schaltleistungen zu erhalten, wurde die Ableiterspannung von $R_{Aib'}$ auf den kleinstmöglichen Wert eingestellt. Es wurde eine möglichst hohe Zwischenkreisspannung eingestellt. Der ursprünglich zum Schutz gedachte Ableiter R_{Guard} , aus Abbildung 46 parallel zum DUT, übernimmt nun die Aufgabe eines Freilaufzweiges. Es wurde ein Ableitermodell ausgewählt, dessen Ableiterspannung einer üblichen Zwischenkreisspannung nahe kommt.

4 Messungen zum Kurzschlussfall IV – 4.4 KS IV–Messungen – bei nicht linear fallendem Zweigstrom

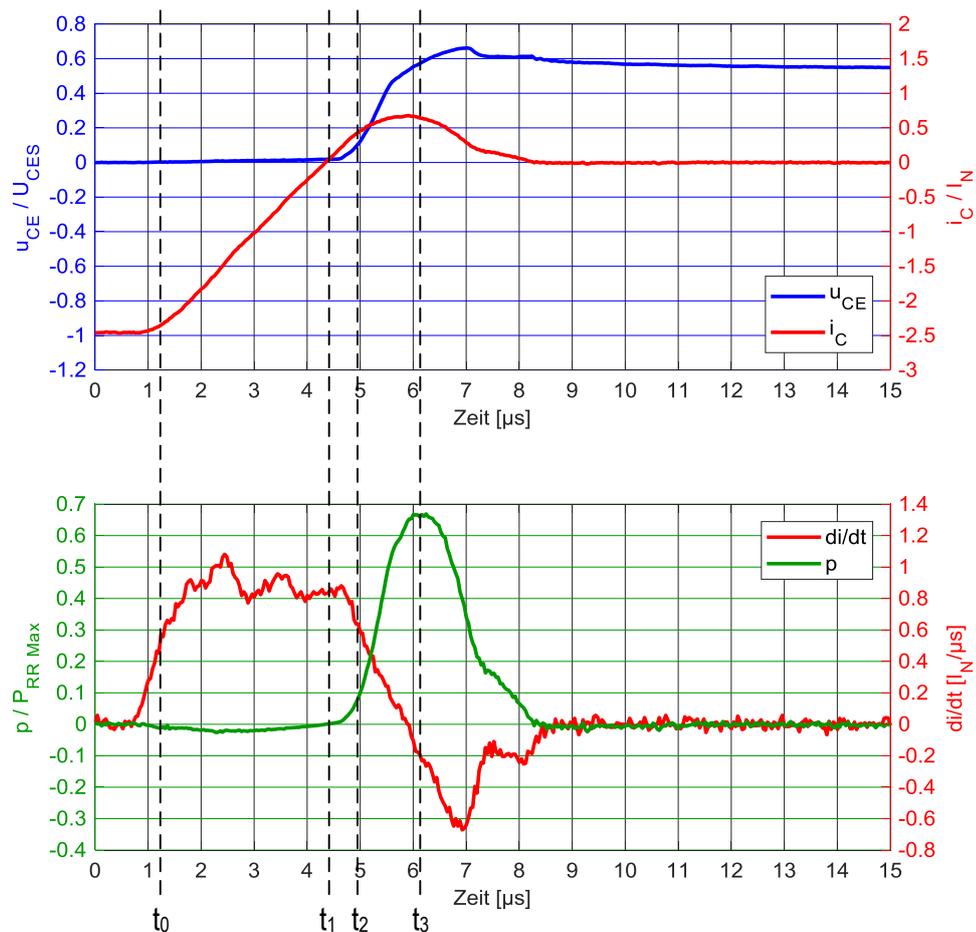


Abbildung 48: Vergleichsmessung ohne Abflachen des Zweigstroms nach Stromnulldurchgang

Abbildung 48 zeigt vier Größen der Vergleichsmessung. In der oberen Hälfte sind jeweils Strom und Spannung des DUT dargestellt. In der unteren Hälfte ist die Schaltleistung und das momentane di/dt aufgetragen. Es ist zu erkennen wie ab t_0 der Strom aus dem DUT in den Ableiter kommutiert. Zum Zeitpunkt t_1 erfolgt der Stromnulldurchgang. Wegen der Spannungsaufnahme des DUT flacht der Rückstrom ab t_2 auf natürliche Weise ab. Zum Zeitpunkt t_3 tritt die maximale Schaltleistung auf, die hier $0,67 \cdot P_{RR\ Max}$ beträgt. Dieser Wert ist für die folgenden Messungen mit einem anfänglichen di/dt von $0,8 \cdot I_N/\mu s$ als Referenzwert und Worst-Case-Szenario zu verstehen.

Nachdem der Versuchsaufbau erläutert und ein Referenzwert gegeben ist, folgen nun die Messergebnisse. Diese sind in drei Absätze gegliedert. Der unmittelbar folgende Absatz befasst sich mit Zweigströmen, die nach dem Stromnulldurchgang abflachen und klärt, ob dadurch die Schaltleistung maßgeblich reduziert wird. Die beiden darauf folgenden Absätze befassen sich mit Zweigströmen, die vor dem Stromnulldurchgang abflachen bezie-

hungsweise steiler werden. Es wird bei nicht linearen Stromverläufen, die gemäß Absatz 3.2.2.2 mit einer Sinusschwingung überlagert sind, untersucht, ob die maximal auftretende Schaltleistung von dem Stromgradient zum Zeitpunkt des Stromnulldurchganges abhängt, oder ob der Stromanstieg davor beziehungsweise danach die Höhe der auftretenden Schaltleistung stärker beeinflusst. Bei derartigen Stromverläufen ist auch von Interesse, ob ein Mittelwert des Stromgradienten eine Vorhersage der zu erwartenden Schaltleistung zulässt.

4.4.1 Abflachender Zweigstrom nach dem Stromnulldurchgang

Zur Untersuchung von Zweigströmen, die nach dem Stromnulldurchgang abflachen, wird der Aufbau gemäß Abbildung 46 mit einem $L_{\sigma 2}$ ausgestattet, das einen deutlich größeren Induktivitätswert hat als $L_{\sigma 1}$. Dadurch definiert die Induktivität $L_{\sigma 1}$ das di/dt , bis zum Reverse-Recovery der kurz leitenden Diode $D_{o 1.0}$. Danach wird der Schalter KS eingeschaltet, um über die größere Induktivität $L_{\sigma 2}$ ein flacheres di/dt zu applizieren.

4 Messungen zum Kurzschlussfall IV – 4.4 KS IV–Messungen – bei nicht linear fallendem Zweigstrom

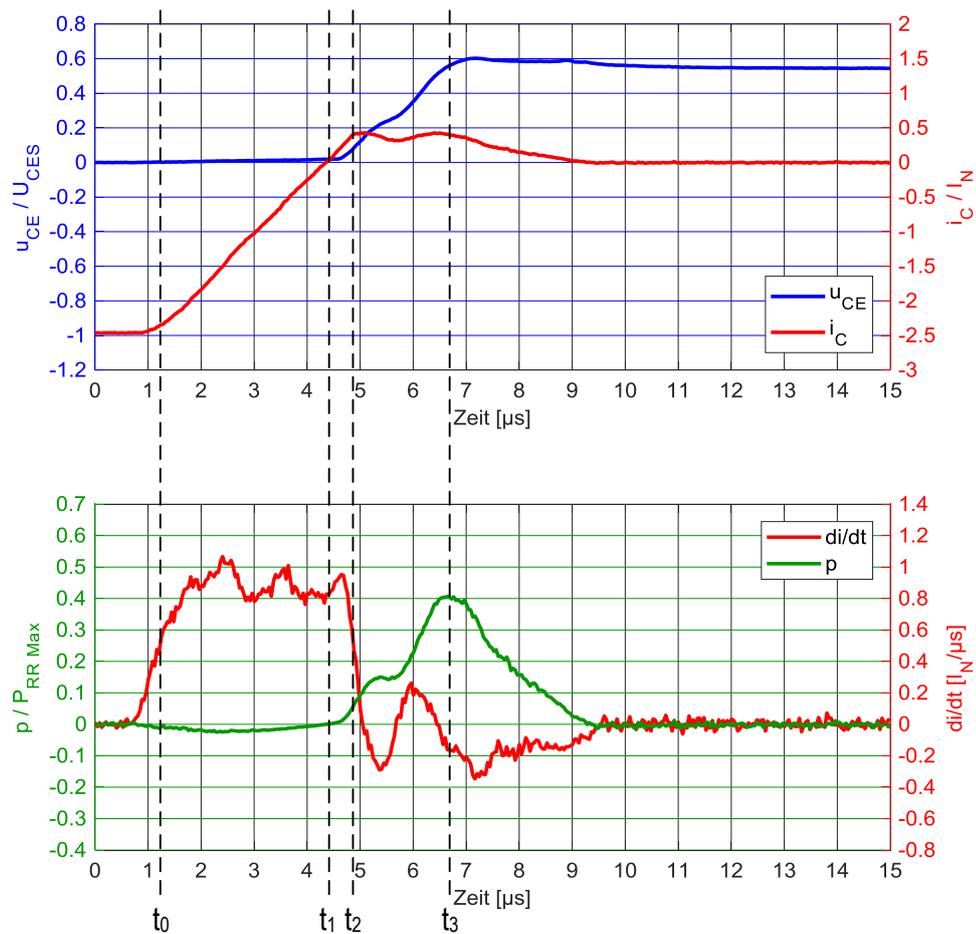


Abbildung 49: Nach Stromnulldurchgang abflachender Zweigstrom

Abbildung 49 zeigt die Ergebnisse, die mit diesen Versuchsparametern gemessen wurden. Hier wurde der Schalter KS so früh wie möglich eingeschaltet, unter der Bedingung, dass der vor dem Stromnulldurchgang auftretende di/dt -Wert nicht überschritten wird. Ein zu frühes Einschalten von KS bewirkt, dass kurzzeitig $L_{\sigma 1}$ und $L_{\sigma 2}$ parallel den Stromanstieg definieren. Ein unerwünschter erhöhter Stromanstieg wäre die Folge. Im Vergleich zu Abbildung 48 ist weiterhin zu erkennen, dass bis zum Stromnulldurchgang bei t_1 ein nahezu identisches Verhalten auftritt. Das erkennbare Abflachen des Stromanstieges bei t_2 tritt in Abbildung 49 erwartungsgemäß geringfügig früher auf. Als Resultat dieses geringeren Anstieges bleibt auch der maximale Rückstrom geringer als im Worst Case. Die maximale Schaltleistung tritt, wie an der Markierung t_3 zu erkennen, später auf. Sie ist im Vergleich zur Worst-Case-Referenzmessung aus Abbildung 48 um 40 % reduziert. Ergänzend zu diesem Ergebnis wird der Vollständigkeit halber die in Abbildung 50 dargestellte Messung gezeigt.

4 Messungen zum Kurzschlussfall IV – 4.4 KS IV–Messungen – bei nicht linear fallendem Zweigstrom

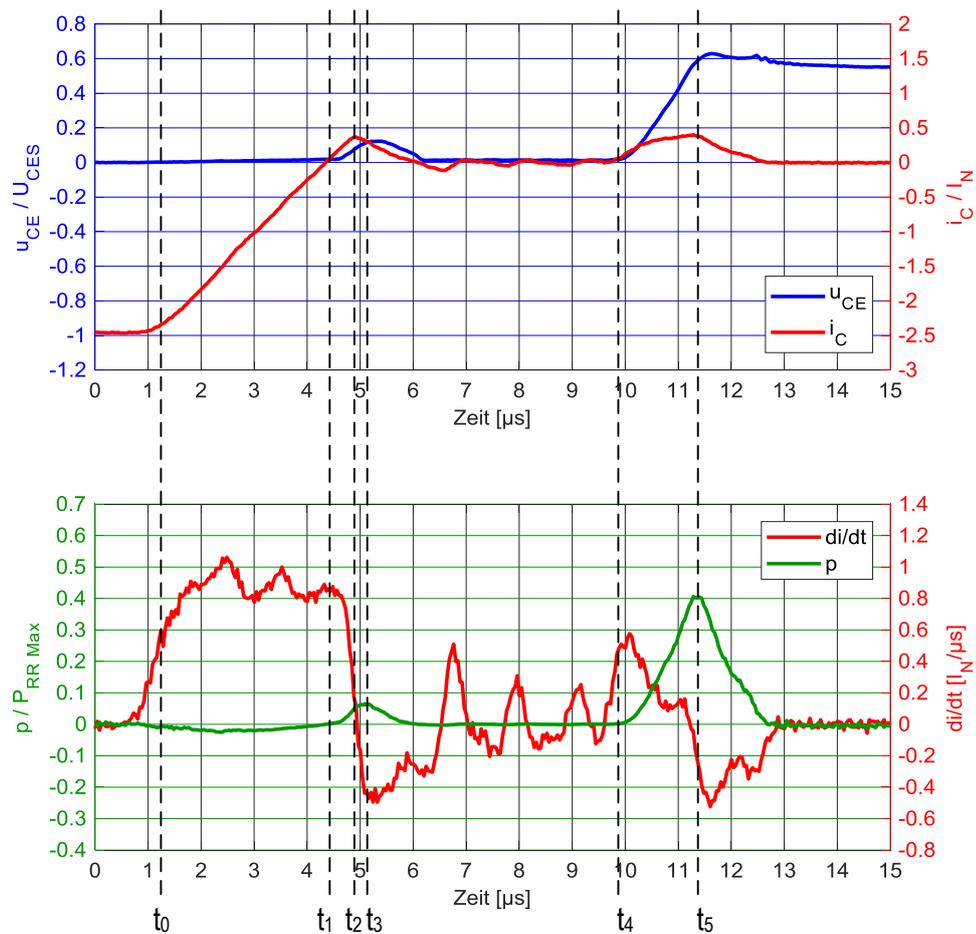


Abbildung 50: Vergleichsmessung mit verzögertem Einschalten von KS

Für die Messung aus Abbildung 50 wurde der Schalter KS $5 \mu\text{s}$ verzögert eingeschaltet. Dadurch kann beim Einschalten von KS zum Zeitpunkt t_4 das, durch $L_{\text{sigma}2}$ eingestellte, flachere di/dt abgelesen werden. Es beträgt hier etwa $0,5 \cdot I_N / \mu\text{s}$. Dieser Wert lässt sich bei geringerer Einschaltverzögerung von KS wie in Abbildung 49 nicht bestimmen, da eine Überlagerung mit anderen Stromanstiegen stattfindet.

Mit diesem Ergebnis kann eine fundierte Antwort auf die eingehende Fragestellung gegeben werden: Ja, ein reduzieren des di/dt nach dem Stromnulldurchgang reduziert, auch bei einer anschließenden Sperrspannungsbeanspruchung, die Schaltleistung einer lang leitenden Diode maßgeblich.

4.4.2 Abflachender Zweigstrom vor dem Stromnulldurchgang

Für die Untersuchungen bei Zweigströmen, die vor dem Stromnulldurchgang abflachen, wird wieder der Aufbau gemäß Abbildung 46 verwendet. Es werden, gegenüber des vorigen Versuches, die Werte von $L_{\text{sigma}1}$ und $L_{\text{sigma}2}$ getauscht. Somit ist hier $L_{\text{sigma}2}$ kleiner als $L_{\text{sigma}1}$. Der Schalter KS wird zu Beginn der Kommutierung eingeschaltet. Dadurch definiert zu Beginn die Parallelschaltung beider Induktivitäten das di/dt . Der Schalter KS wird anschließend während der Stromflanke abgeschaltet. Dadurch, dass es sich um einen realen Schalter handelt, der nicht ideal abgeschaltet werden kann, sondern wegen des fehlenden Freilaufzweiges über ein Activ-Clamping verfügt, resultiert kein ideal abflachender Strom. Ein in $L_{\text{sigma}1}$ seit Einschalten von KS verbleibender Strom kommutiert nun ebenfalls zurück. Der resultierende Stromanstieg des DUT ändert dadurch sogar das Vorzeichen. Am prinzipiellen Ergebnis der folgenden Messung ändert dieses parasitäre Phänomen jedoch nichts.

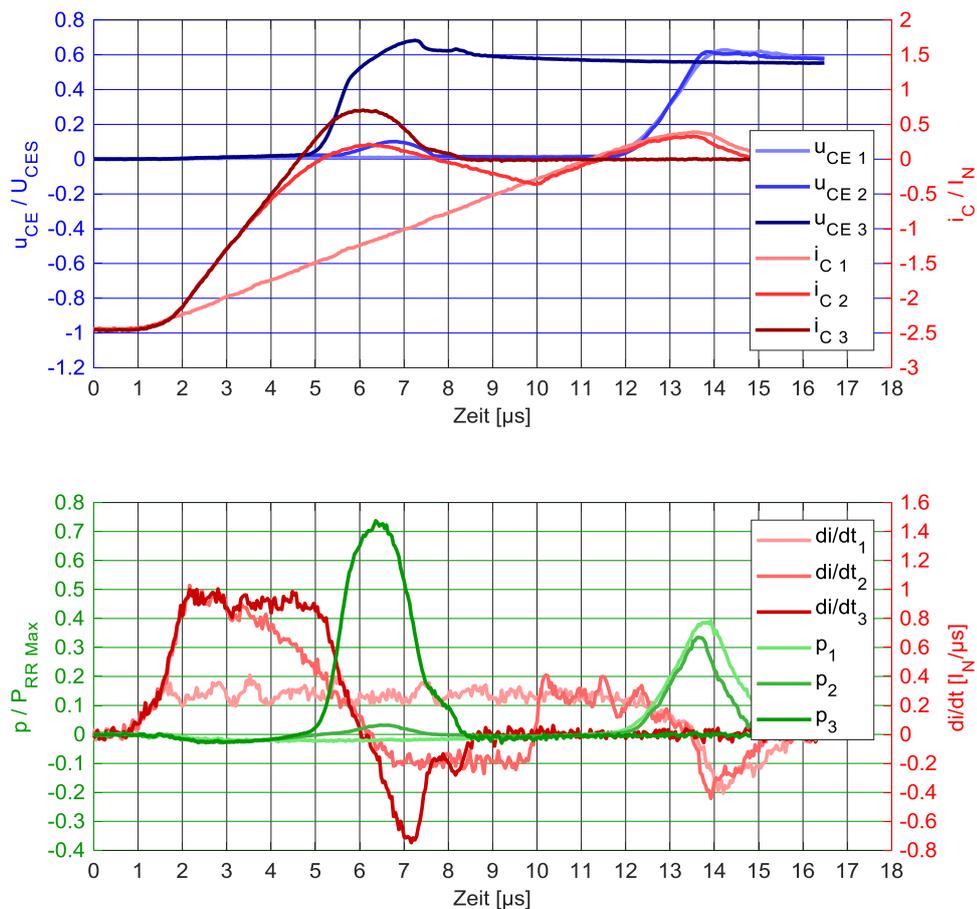


Abbildung 51: Vor Stromnulldurchgang abflachender Zweigstrom inkl. Vergleichsmessungen

In Abbildung 51 sind zum direkten Vergleich drei verschiedene Zeitverläufe der vier relevanten Größen in einem Diagramm zum abflachenden Zweigstrom dargestellt. Die Messung mit der Fußnummer 1 zeigt ein durchgehend flaches di/dt . Für diese Messung wurde der Kurzschließer KS nicht eingeschaltet. Messung 3 zeigt eine Referenzmessung vergleichbar zu Abbildung 48 mit durchgehend hohem di/dt . Dies wurde durch ein Einschalten von KS und $S_{01,0}$, von Beginn der Kommutierung bis zum Ende der Messung, erreicht. Messung 2 zeigt die relevante Messung, mit abflachendem di/dt . Hier wurde, im Vergleich zu Messung 3, der Schalter KS eher ausgeschaltet. Ein Abflachen des Stromes ist die Folge. Nachdem der Strom aus $L_{\sigma 2}$ abkommutiert ist, kehrt der Strom des DUT auf den Wert aus Messung 1, mit flachem di/dt , zurück. Es ist zu erkennen, dass bei anfangs hohem di/dt die resultierende Rückstromspitze geringfügig kleiner ist, als bei durchgehend flachem di/dt . In den Schaltleistungskurven ist der Unterschied deutlicher erkennbar. Ein anfänglich hohes di/dt verringert die Schaltleistung. Da zu Beginn der Kommutierung sofort ein geringerer Vorwärtsstrom durch die Dioden des DUT fließt, kann sich die Ladungsträgerdichte im DUT, im Vergleich zur Referenzmessung 1, bereits verringern.

Es kann anhand von Abbildung 51 festgehalten werden, dass ein Stromanstieg, der vor dem Stromnulldurchgang steiler ist als danach, keinen erhöhenden Effekt auf die resultierende Schaltleistung eines Kurzschlussfalles IV hat.

4.4.3 Steiler werdender Zweigstrom

Im Folgenden werden die Messergebnisse für Messungen mit steiler werdendem Stromanstieg gezeigt. Diese liefern klarere Ergebnisse als die vorigen Messungen mit abflachendem Stromanstieg. Dies liegt daran, dass der Schalter KS zwar schnell eingeschaltet werden kann, aber beim Abschalten, durch eine Begrenzung der Schaltgeschwindigkeit, die Überspannung beherrscht werden muss. Das führte im Fall abflachender Zweigströme zu weniger differenzierten Stromkurven.

Für die folgenden Messungen steiler werdender Zweigströme, wird der Schalter KS während der Stromflanke eingeschaltet. Es ergibt sich ein paralleler und in Summe somit schnellerer Kommutierungspfad. Der Stromanstieg erhöht sich.

4 Messungen zum Kurzschlussfall IV – 4.4 KS IV–Messungen – bei nicht linear fallendem Zweigstrom

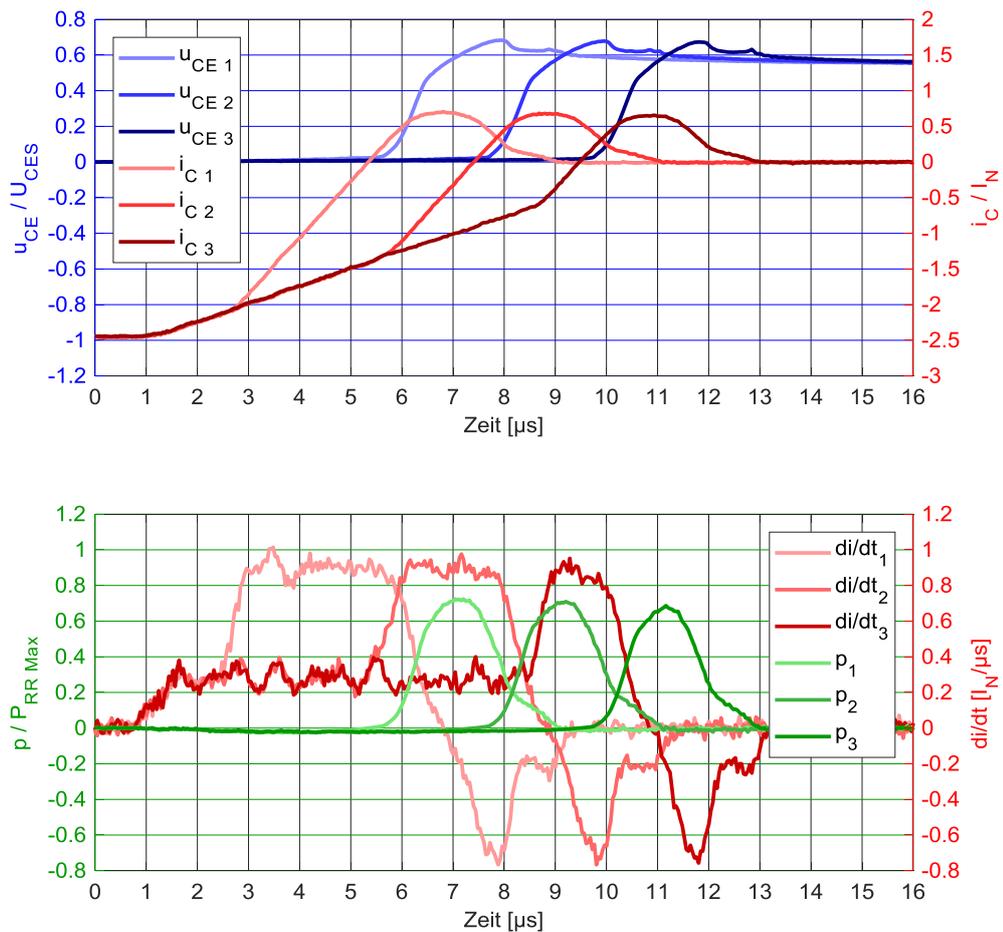


Abbildung 52: Drei verschieden früh steiler werdende Zweigströme; $T_J=25\text{ °C}$

Abbildung 52 zeigt drei Kurzschlussfall IV Messungen, mithilfe des Versuchsaufbaus aus Abbildung 46. In der oberen Hälfte des Diagramms sind die drei Strom- und Spannungsverläufe überlagert dargestellt. In der unteren Hälfte sind die Stromanstiege und die momentanen Schaltleistungen abgebildet.

Durch ein verhältnismäßig großes $L_{\text{sigma}1}$ wurde zu Beginn der Kommutierung ein sehr flacher Stromanstieg von ca. $0,3\text{ I}_N/\mu\text{s}$ erreicht. Der Kurzschließer KS wurde zu drei unterschiedlichen Zeitpunkten eingeschaltet. Durch ein, im Vergleich zu $L_{\text{sigma}1}$, kleines $L_{\text{sigma}2}$ steigt dann das di/dt auf etwa $0,9\text{ I}_N/\mu\text{s}$ an. Es ist zu erkennen, dass sich die jeweiligen maximalen Schaltleistungen kaum voneinander unterscheiden.

Es kann gefolgert werden, dass ein initial flacher Stromanstieg, bei einem vor dem Stromnulldurchgang steiler werdenden Stromanstieg, keinen relevanten Einfluss auf die resultierende Schaltleistung hat.

4 Messungen zum Kurzschlussfall IV – 4.4 KS IV–Messungen – bei nicht linear fallendem Zweigstrom

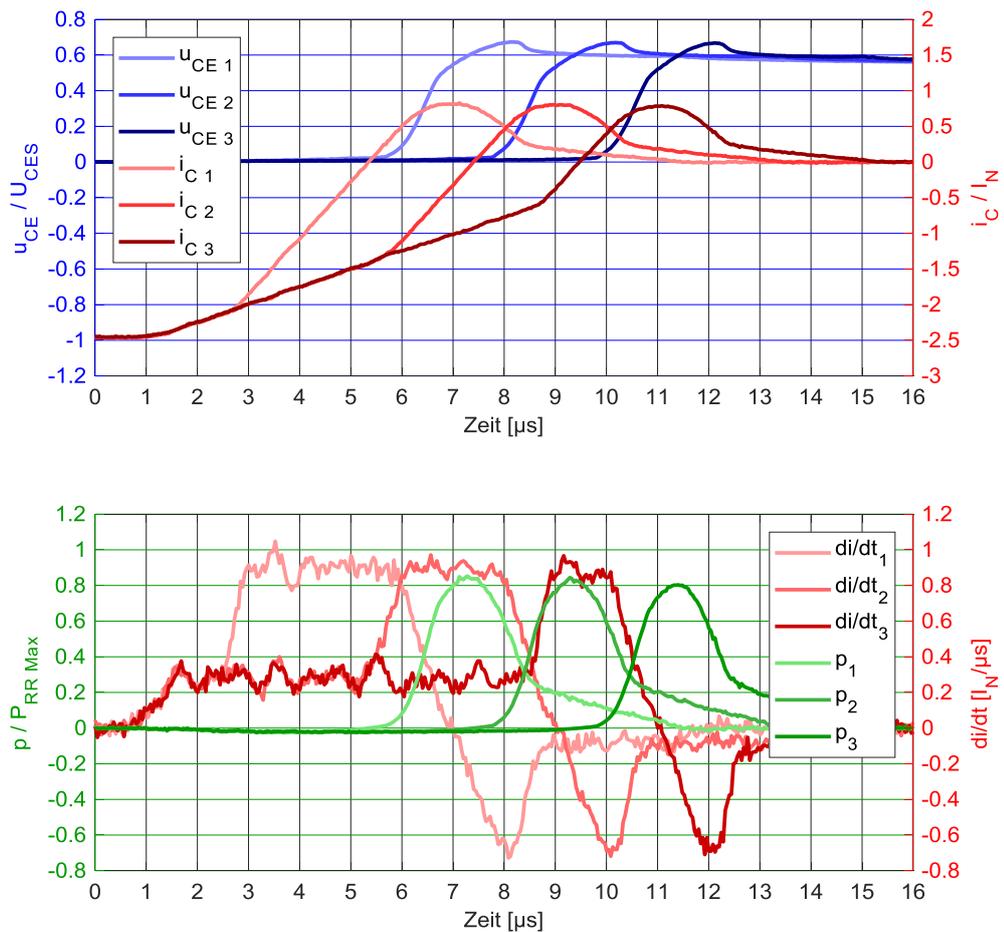


Abbildung 53: Drei verschieden früh steiler werdende Zweigströme ; $T_J=125\text{ °C}$

In Abbildung 53 sind analoge Messungen für eine Chiptemperatur von 125 °C dargestellt. Diese Messungen wurden durchgeführt, um die Erkenntnis, dass flachere Stromanstiege vor dem Stromnulldurchgang die Schaltleistung kaum beeinflussen, auch bei hohen Temperaturen zu bestätigen.

In Abbildung 54 sind die Schaltleistungen für beide Temperaturen aufgetragen. Da sich durch den veränderten Stromanstieg die Kommutierungsdauer ändert, eignet sich der Zeitpunkt ab dem das di/dt erhöht wird, nur bedingt als Referenz für die x-Achse. Deshalb wurden die Daten über dem momentanen Kollektorstrom, zu dem Moment, ab dem der Stromanstieg erhöht wurde, aufgetragen.

4 Messungen zum Kurzschlussfall IV – 4.4 KS IV–Messungen – bei nicht linear fallendem Zweigstrom

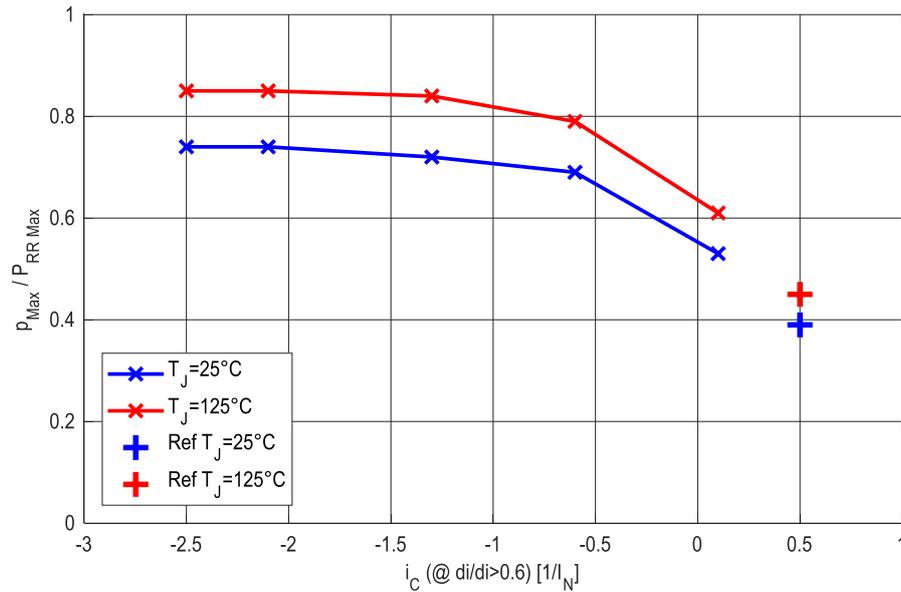


Abbildung 54: Maximale Schaltleistung in Abh. vom Zeitpunkt der di/dt-Änderung

Als weitere Referenz ist in Abbildung 54 zusätzlich der Schaltleistungswert, der sich bei durchgehend flachem Stromverlauf zeigt, eingefügt. Dafür wurde während der Stromflanke, statt des Kurzschließers KS, der Schalter $S_{0,1.0}$ eingeschaltet. Die Schaltleistungsmaxima für einen sehr spät steiler werdenden Zweigstrom sind augenscheinlich geringer. Dies ist dadurch begründet, dass in diesem Fall das di/dt nicht genügend Zeit zum Anstieg auf den hohen Endwert hat, bevor durch die ansteigende Sperrspannung das di/dt wieder verringert wird. Ein somit reduziertes di/dt bedingt die verringerte Schaltleistung für diese Messpunkte.

Als Resultat der Messungen dieses und des vorigen Absatzes kann festgehalten werden, dass bei nicht linearem Stromanstieg nur der Stromanstieg nach dem Stromnulldurchgang für die Höhe der Schaltleistung relevant ist.

Dies bedeutet dass für Fälle mit einer überlagerten Sinusschwingung im Zweigstrom keine Mittelwertbildung für den zu erwartenden di/dt-Wert zulässig ist. Dieses Ergebnis betrifft Fälle mit kleiner AC-Kapazität, gemäß der Absätze 3.2.2.2 und 3.2.2.3. Wegen der wechselnden Anfangsbedingungen muss hier also immer von dem Worst Case ausgegangen werden, bei dem der Stromgradient zum relevanten Zeitpunkt maximal erhöht ist. Dieser maximal erhöhte di/dt-Wert entspricht genau dem Wert der sich bei Annahme einer unendlich großen AC-Kapazität gemäß Absatz 3.2.1.3 ergibt. Besonders geringe AC-Kapazitäten ergeben demnach keine Vorteile im Gesamtsystem des MMC.

4.5 RC-IGBT: KS IV – unter Berücksichtigung einer Stromrichtungserkennung

Ein Rückwärts leitfähiger IGBT (engl. Reverse Conducting – RC-IGBT) vereint, durch das Einfügen von n-Shorts auf der Chip-Rückseite, die Funktionalität von Diode und IGBT in einem Chip. Daraus ergeben sich die Vorteile des thermischen Effekts, der eine deutlich größere Lebensdauer durch geringere Temperaturhübe erwarten lässt [20]. RC-IGBT der hohen Spannungsklassen werden nach bisherigem Stand der Technik [21] bei Strom in Diodenrichtung mit $U_{GE} = -15\text{ V}$ betrieben. Dies geschieht um die Durchlassverluste zu optimieren und ist daher besonders im MMC wichtig. Dafür wird eine intelligente Ansteuerung benötigt, die Informationen zur aktuellen Stromrichtung des RC-IGBT enthält [22]. Diese Information kann durch einen Stromsensor oder durch die Auswertung von u_{CE} erhalten werden. Bei den Kurzschlussfällen I bis IV verhält sich ein RC-IGBT nahezu identisch zu einem konventionellen IGBT. Als wesentlicher Unterschied konnte ein abweichendes Verhalten im Kurzschlussfall III ermittelt werden [23].

Bei einem Blockiervorgang eines MMC hat eine intelligente Ansteuerung mit Stromrichtungserkennung keinen Einfluss auf das Gesamtverhalten. Abweichend haben lediglich Halbleitermodule, die vor dem Blockiervorgang Strom in Diodenrichtung leiten, eine Gatespannung von $U_{GE} = -15\text{ V}$. Ab dem Blockiersignal der übergeordneten Steuerung, noch bevor eine Strom- oder Spannungsänderung auftritt, werden alle Gateansteuerungen auf $U_{GE} = -15\text{ V}$ umschalten. Dies gilt für RC-IGBT und konventionelle IGBT gleichermaßen. Ansteuerungsseitig mussten somit, zum Testen des Verhaltens von RC-IGBT bei einer MMC-Taktsperrung, keine Änderungen gegenüber einer konventionellen Ansteuerbaugruppe vorgenommen werden. Nach aktuellstem Stand, gibt es auf dem Markt inzwischen RC-IGBT, die in Diodenrichtung keiner gesonderten Ansteuerung mehr bedürfen [24]. Daraus ergeben sich ebenfalls keine Änderungen zu den Untersuchungen im Rahmen dieser Dissertation.

Wie die Zeitverläufe in den Abbildung 55 und Abbildung 56 darstellen, bleibt das prinzipielle Verhalten identisch. Absolut ist jedoch zu erkennen, dass die Rückstromspitze deutlich höher ist als bei den vergleichbaren Messungen eines konventionellen IGBT (Abbildung 31).

4 Messungen zum Kurzschlussfall IV – 4.5 RC-IGBT: KS IV – unter Berücksichtigung einer Stromrichtungserkennung

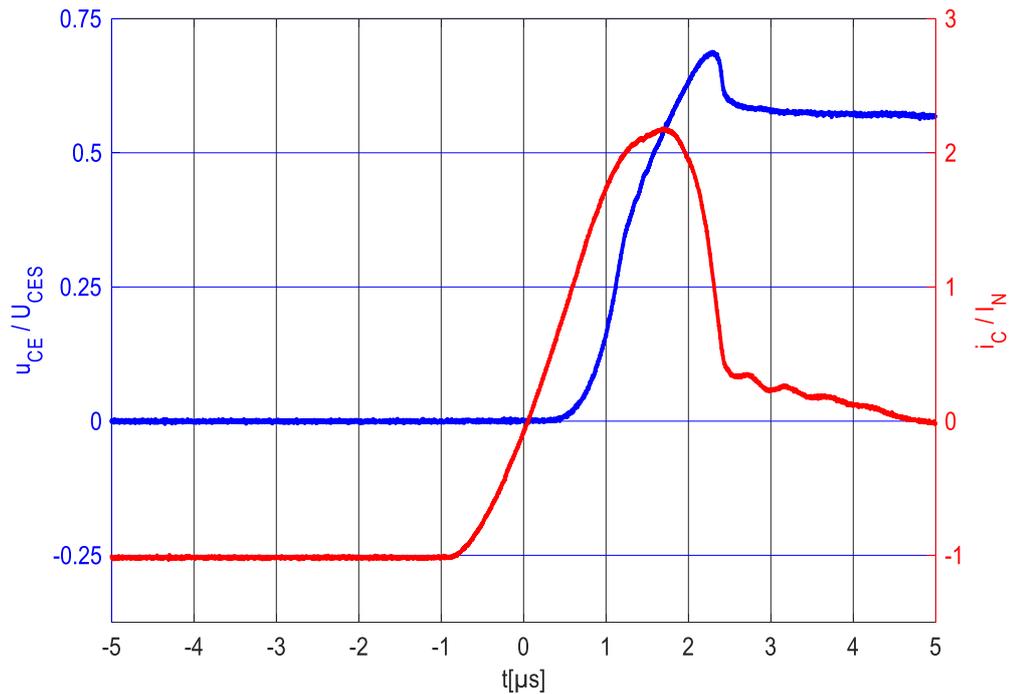


Abbildung 55: Zeitverlauf u_{CE} & i_C eines RC-IGBT im KS IV ; $T_J=125^\circ\text{C}$; $t_{Diode}=200\ \mu\text{s}$

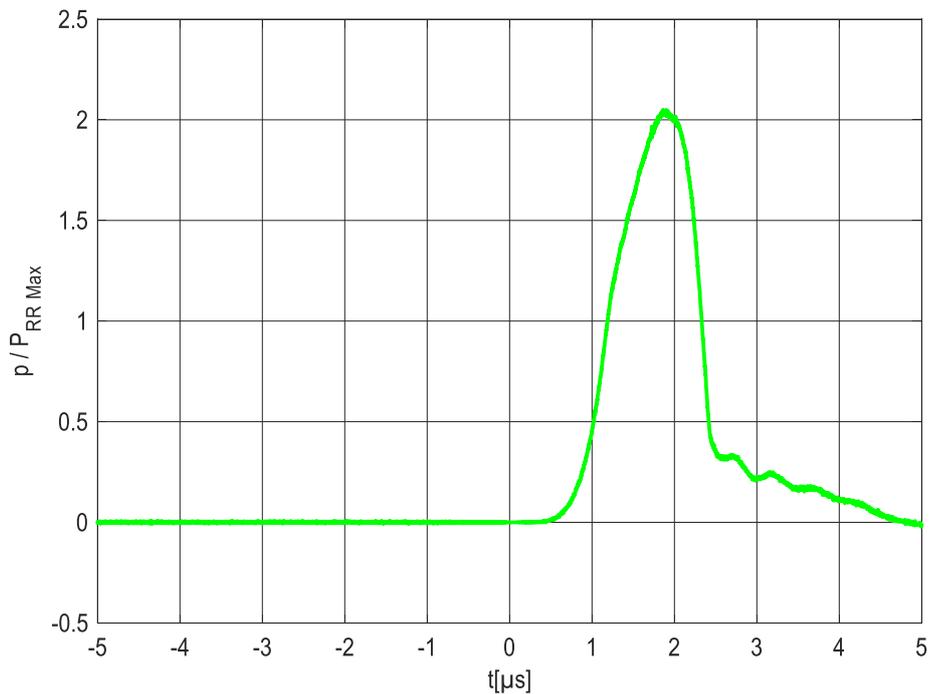


Abbildung 56: Zeitverlauf der Schaltleistung eines RC-IGBT im KS IV ; $T_J=125^\circ\text{C}$; $t_{Diode}=200\ \mu\text{s}$

Grund für die höhere Rückstromspitze ist die dreimal so große Chipfläche im Vergleich zur Diodenfläche in konventionellen IGBT-Dioden-Modulen. Daraus resultiert eine geringere Stromdichte. Wie Absatz 4.1.2 bereits zeigte, reduziert dies die Schaltleistung nur in gerin-

gem Maße. Viel dominanter ist die, mit der Erhöhung der Chipfläche einhergehende, Verdreifachung der Rückstromspitze. Die daher in Summe höhere Rückstromspitze führt zu höheren Schaltleistungen. Dies muss jedoch nicht zwangsläufig dazu führen, dass die maximal zulässige Schaltleistung überschritten wird. Es muss selbstverständlich, für den im Einzelfall in Frage kommenden RC-IGBT, die Herstellerangabe der maximal zulässigen Schaltleistung geprüft werden. Denn nur diese Herstellerangabe berücksichtigt den Umstand, dass ein RC-IGBT die Schaltleistung eines Kurzschlussfall IV auf dreimal mehr Chipfläche aufteilt, als es in einem konventionellen IGBT-Modul der Fall ist.

Weiterhin ermöglichen RC-IGBT die Anwendung eines Entsättigungsimpulses. Dafür wird, zumindest bei einer niederinduktiven Kommutierung, die Gatespannung, des im Diodenmodus operierenden RC-IGBT, für einen bestimmten Zeitraum angehoben. Dadurch werden die Schaltverluste reduziert [25]. Übliche Pulsdauern bewegen sich zwischen 10 μs und 20 μs . Damit können die Schaltverluste um bis zu 25 % reduziert werden [26]. Dieses Verfahren könnte, zumindest theoretisch, auch bei einem Blockiervorgang Anwendung finden. Praktisch gibt es jedoch eine Reihe von Nachteilen und Hindernissen. Da ein Blockiergrund nicht im Voraus bekannt ist, müsste das Abschalten der RC-IGBT verzögert werden, damit Zeit für einen solchen Puls zur Verfügung steht. Während dieser Zeit kann sich ein eventuell auftretender Fehlerstrom weiter erhöhen und eine Fehlerbehandlung im MMC deutlich erschweren. Weiterhin ist, wie gezeigt wurde, das resultierende di/dt beim Blockieren sehr stark von den momentanen Zustandsgrößen der MMC-Phase abhängig. Daher kann nicht genau genug abgeschätzt werden, wann exakt der Stromnulldurchgang auftritt, um den Entsättigungsimpuls möglichst kurz davor enden zu lassen. Dies wäre jedoch notwendig für die Wirksamkeit eines solchen Pulses [26]. Damit ist die Anwendung eines Entsättigungsimpulses zur Reduzierung des Reverse-Recovery-Stromes und damit zur Reduzierung der Schaltleistung aus praktischen Gründen ausgeschlossen.

5. Zusammenfassung & Bewertung der Ergebnisse

Diese Dissertation untersucht Halbleiterbelastungen innerhalb eines MMC durch einen Blockiervorgang. Dafür wird eingangs die Motivation erläutert und der Aufbau eines MMC beschrieben. Es wird anschließend kurz auf den Normalbetrieb eingegangen bevor ein Blockiervorgang und die daraus folgenden potentiellen Belastungen der Halbleiter kurz umrissen werden.

Es folgt eine Beschreibung der Methodik. Die Randbedingungen für die theoretischen Analysen werden erläutert, bevor eingehend das verwendete Simulationsmodell und die zugehörige Normierung und Skalierung dargelegt werden. Die Messschaltungen werden erst im späteren Verlauf der Arbeit im Zusammenhang mit den Messungen beschreiben.

Im Hauptteil der Arbeit folgt eine Einteilung der möglichen Blockiervorgänge anhand verschiedener Startbedingungen in 13 Kategorien zu je sechs Fällen. Anschließend werden alle Fälle zunächst theoretisch analysiert. Dies geschieht zum Teil gruppiert. Viele Fälle erweisen sich dabei als unkritisch bezüglich der entstehenden Halbleiterbelastung und werden darum nicht weiter thematisiert. Wurde jedoch die Möglichkeit relevanter Belastungen erkannt, folgt unmittelbar die zugehörige Simulation. Dieses Vorgehen wird an gegebener Stelle unterbrochen für kurze technische Diskussionen. Dabei geht es beispielsweise um Erwartungswerte für di/dt und Wechselwirkungen verschiedener Module untereinander. Im Rahmen dieser Untersuchungen werden Thesen zu Diodenbelastungen mit einem Kurzschlussfall IV aufgestellt. Für die meisten dieser Thesen besteht an diesem Punkt noch der Bedarf eines messtechnischen Beleges. Aus diesem Grund folgt anschließend der praktische Teil dieser Dissertation der sich mit den Messungen zum Kurzschlussfall IV unter verschiedensten Randbedingungen befasst. Zuvor werden ein kurzes Resümee und ein Ausblick auf die Messungen gegeben.

In Kapitel 4 werden zunächst im Abschnitt 4.1 allgemein die Einflüsse von vier Parametern auf die resultierende Schaltleistung einer Diode im Kurzschlussfall IV bei einem linear fallenden Diodenstrom untersucht. Die untersuchten Parameter sind die Leitdauer einer Diode, der initiale Diodenstrom vor der Kommutierung, die Stromänderungsgeschwindigkeit und die Zwischenkreisspannung. Bei den Untersuchungen zur Diodenleitdauer konnte festgestellt werden, dass für kurz leitende Dioden kein Risiko einer überhöhten Schaltleistung besteht. Die Messungen zum initialen Diodenstrom zeigen, dass aus kleineren Diodenströmen vor der Kommutierung auch geringere Schaltleistungen resultieren. Bei einer Halbierung des Stromes ist jedoch für die Schaltleistung nur mit einem Rückgang von

6,7 % zu rechnen. Es ist also vollkommen unwirtschaftlich auf diese Weise eine potentiell überhöhte Schaltleistung reduzieren zu wollen. Die Untersuchungen zum Einfluss des di/dt zeigten, dass bei einer Halbierung des di/dt die Schaltleistung etwa um 30 % sinkt. Eine Verringerung des di/dt kann gemäß Absatz 3.2.1.3 sowohl durch eine Erhöhung der Ableiterspannung als auch durch eine Vergrößerung der Streuinduktivität des Zweiges erreicht werden. Der letzte Parameter, dessen Einfluss auf die Schaltleistung untersucht wurde, ist die Zwischenkreisspannung. Es zeigt sich, dass eine Halbierung von U_d die Schaltleistung um bis zu 60 % reduzieren kann.

Im Anschluss daran wurden in den Absätzen 4.2 bis 4.4 weitere spezielle Effekte untersucht, die in Zusammenhang mit den Erkenntnissen aus Kapitel 3 stehen. Einige der dort aufgestellten Thesen benötigen einen messtechnischen Beleg. Der erste untersuchte Effekt ist der Rückstromabriss einer kurz leitenden Diode. Es wurde belegt, dass überhöhte Spannungen nicht zu erwarten sind, da diese nur bei kurz leitenden Dioden und Diodenströmen unter 3 % des Nennstromes auftreten und gemäß Absatz 3.2.4.5, benötigen Dioden wenigstens einen Zweigstrom von 20 % des Nennstromes um kurz leitend zu werden. Weiterhin konnte belegt werden, dass kurz leitende Dioden die lang leitenden Dioden unter gewissen Voraussetzungen vor zu hoher Schaltleistung schützen. Dies geschieht in Fällen in denen die kurz leitenden Dioden genügend Spannung aufnehmen damit die langleitenden Dioden keine Spannungsbeanspruchung erfahren. Als Randbedingung innerhalb eines MMC wurde dazu in Absatz 3.2.4.2 eine AC-Spannungsgrenze für bestimmte Fälle ermittelt. Die anschließenden Messungen befassen sich mit nicht linear fallendem Zweigstrom. Es wurde festgestellt, dass für das Maß der maximal auftretenden Schaltleistung nur der Stromanstieg zwischen dem Stromnulldurchgang und der Rückstromspitze relevant ist. Das heißt zum einen, dass kleine AC-Kapazitäten eines MMC aufgrund anzunehmender Worst-Case-Bedingungen nicht zu geringeren Schaltleistungen führen als größere AC-Kapazitäten. Zum anderen kann geschlussfolgert werden, dass selbst in Fällen in denen die lang leitende Dioden gemäß Absatz 3.2.4.2 Sperrspannung aufnehmen müssen diese trotzdem durch kurz leitende Dioden entlastet werden. Die abschließenden Messungen in Absatz 4.5 befassen sich mit der potentiellen Verwendung eines RC-IGBT. Es wurde festgestellt, dass eine gegebenenfalls notwendige Stromrichtungserkennung zur optimierten Ansteuerung keinen Einfluss auf die im MMC auftretenden Diodenbelastungen hat. Es ist jedoch anzumerken dass hier aufgrund der erhöhten Chipfläche regelmäßig mit einer höheren Schaltleistung zu rechnen ist.

Aus den zuvor genannten Analysen, Simulationen und Messungen lässt sich zusammenfassend festhalten, dass der Blockiervorgang eines MMC die enthaltenen Leistungshalbleiter an deren Belastungsgrenze bringen kann. Um die genannten Ergebnisse zu bewerten, ist es ratsam gedanklich bei der Auslegung eines MMC die analysierten Eigenheiten zu berücksichtigen und so sicherzustellen, dass die Belastung der Leistungshalbleiter innerhalb der zugelassenen Parameter bleibt. Dafür bieten sich, abhängig von den Anforderungen an die Wirtschaftlichkeit des MMC, zwei Möglichkeiten an:

Die erste einfachere Möglichkeit mit geringem Aufwand, aber gegebenenfalls unwirtschaftlichem Ergebnis, ist messtechnisch festzustellen bis zu welchem Wert des di/dt die maximal zulässige Schaltleistung einer Diode nicht überschritten wird. Dieses di/dt kann anschließend in die folgende Formel aus Absatz 3.2.1.3 eingefügt werden:

$$\max \left(\left| \frac{di_1}{dt} \right| \right) = \left| \frac{U_{Abl1} - U_{DC}/2 - \hat{U}_1}{L_{\sigma 1}} \right|$$

Nun kann die Auslegung der verbleibenden freien Parameter erfolgen. Zu diesen Parametern zählen vor allem die Ableiterspannung und die maximale Zweigspannung, die sich aus der Anzahl in Serie geschalteter Submodule ergibt. Weiterhin hat die parasitäre, wohl aber beeinflussbare, Größe der Streuinduktivität eines Zweiges, einen Einfluss auf die Schaltleistung im Blockierfall. Es ist wahrscheinlich, dass die resultierende Auslegung zu einem unwirtschaftlichen Ergebnis kommt. Besonders hohe Spannungen mit extremen Anforderungen an Schlagweiten- und Kriechstreckenabstände oder eine schlechte Halbleiterausnutzung sind die Hauptgründe dafür, dass dieses Vorgehen zu unwirtschaftlichen Ergebnissen führen kann.

Als Alternative zu dieser einfachen Methode kann der Argumentation der vorliegenden Dissertation gefolgt werden. Demnach tritt obiges Worst-Case-Szenario nicht in diesem Maße ein. Die kurz leitenden Dioden entlasten alle beteiligten Dioden von zu hoher Schaltleistung. Aus der Annahme eines AC-Knotens mit hoher Kapazität, dessen Spannung sich während der Kommutierung kaum ändert, resultiert gemäß Absatz 3.2.4.2, dass nur kurz leitende Diode Sperrspannung aufnehmen müssen. Aus Absatz 4.3.3 folgt dazu die Erkenntnis, dass diese kurz leitenden Dioden nicht von überhöhter Schaltleistung betroffen sind. Für den Fall einer besonders geringen AC-Kapazität, gemäß Absatz 3.2.4.2, muss zunächst abgeschätzt werden, um welche Spannung sich das AC-Potential während der Kommutierung maximal verändert. Denn nach dem alle kurz leitenden Dioden Sperrspannung aufgenommen haben, ist es diese Spannung, die durch die Streuinduktivität, das verringerte relevante di/dt einstellt. Beispielhafte Messungen dazu sind in Absatz 4.4 ge-

zeigt. Sollten durch diese weniger harten Randbedingungen die zulässigen Schaltleistungen nach wie vor überschritten werden, müssen geeignete Maßnahmen zur Reduzierung der Schaltleistung ergriffen werden. Zusätzlich zu den Maßnahmen der ersten Methode, die sich an der oben genannten Formel orientieren, steht als Alternative die Beeinflussung der AC-Kapazität zur Verfügung.

Mit dieser zweiten analytisch aufwendigeren Methode kann ein MMC auch unter Berücksichtigung des Blockierfalls wirtschaftlich ausgelegt werden.

6. Anhang

6.1 Bilder der Prüfwelle und der Messausrüstung



Abbildung 57: Geöffnete Prüfwelle mit Bedienpult außen und Messtechnik innen

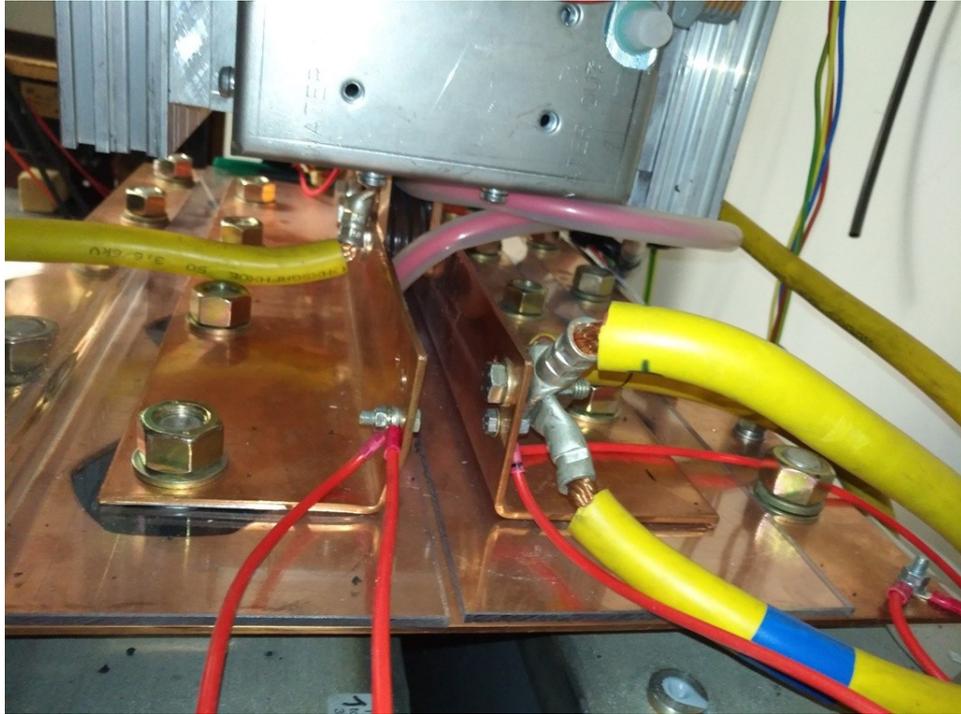


Abbildung 58: Kondensatorverschienung des Leistungsteils

Abbildung 58 zeigt die Kondensatorverschienung des Leistungsteils einer Halbbrücke. Die Kupferblechstärke beträgt 3 mm. Die Schraubbolzen sind die Terminals der darunter befindlichen Kondensatoren. Im Oberen Bildbereich ist noch ein Teil des Gehäuses zur Abkapselung der Leistungshalbleiter zu sehen. Rechts unterhalb davon sind zwei blass-rote Schlingen zu erkennen. Dies sind die verwendeten Rogowskispulen zur Strommessung.

6.2 Exkurs in elektrische Netzwerkanalyse & DGL-Systeme:

In Abschnitt 3.2.2.2 wurde zur Herleitung einer Formel, für nicht linear fallende Zweigströme, auf diesen Abschnitt des Anhangs verwiesen. Im Folgenden soll nun die gesuchte Formel mithilfe mehrerer Gleichungen aus der Netzwerkanalyse, hergeleitet werden. Die erste Gleichung ergibt sich gemäß Abbildung 2 (Seite 4) aus der Spannungsmasche über den oberen Ableiter, die Streuinduktivität des Zweiges, die Zweigspannung selbst und die AC-Spannung.

$$0 = -u_{Abl\ 1} + u_{L\sigma\ 1} + u_1 + u_{AC}$$

Umgestellt nach $u_{L\sigma\ 1}$ und geteilt durch $L_{\sigma\ 1}$ ergibt sich ein Maß für den Stromanstieg im oberen Zweig:

$$i_1' = \frac{di_1}{dt} = \frac{u_{L\sigma\ 1}}{L_{\sigma\ 1}} = \frac{u_{Abl\ 1} - u_1 - u_{AC}}{L_{\sigma\ 1}}$$

Analog dazu ergibt die untere Spannungsmasche:

$$i_2' = \frac{di_2}{dt} = \frac{u_{L\sigma\ 2}}{L_{\sigma\ 2}} = \frac{u_{Abl\ 2} - u_2 + u_{AC}}{L_{\sigma\ 2}}$$

Eine dritte Gleichung ergibt sich aus der Stromsumme im AC-Knotenpunkt. Unter der Annahme, dass der AC-Ausgangsstrom null ist (bzw. zumindest dessen zeitliche Änderung), gehen in diesen Knoten nur die Verschiebestrome der zusammengefassten AC-Kapazitäten sowie die beiden Zweigströme ein:

$$0 = i_1 - i_2 - i_{CAC}$$

Mithilfe der Strom-Spannungsbeziehung an der AC-Kapazität,

$$i_{CAC} = C_{AC} \cdot \frac{du_{AC}}{dt} = C_{AC} \cdot u_{AC}'$$

ergibt sich:

$$C_{AC} \cdot u_{AC}' = i_1 - i_2$$

Durch zeitliches Ableiten wird daraus:

$$C_{AC} \cdot u_{AC}'' = i_1' - i_2'$$

Die Division durch C_{AC} ergibt:

$$u_{AC}'' = \frac{i_1' - i_2'}{C_{AC}}$$

Für i_1' und i_2' können nun die Formeln aus den Maschengleichungen eingesetzt werden:

$$u_{AC}'' = \frac{1}{C_{AC}} \cdot \left[\left(\frac{u_{Abl\ 1} - u_1 - u_{AC}}{L_{\sigma\ 1}} \right) - \left(\frac{u_{Abl\ 2} - u_2 + u_{AC}}{L_{\sigma\ 2}} \right) \right]$$

Unter den Annahmen, dass beide Streuinduktivitäten und Ableiterspannungen gleich groß sind, $L_{\sigma 1} = L_{\sigma 2} = L_{\sigma}$, $U_{Abl1} = U_{Abl2} = U_{Abl}$ und, dass u_1 sowie u_2 zum Zeitpunkt des Blockierens sprunghaft den Maximalwert annehmen, der für beide Spannungen identisch ist, ergibt sich:

$$u''_{AC} = \frac{-2 \cdot u_{AC}}{C_{AC} \cdot L_{\sigma}}$$

Oder umgeschrieben:

$$0 = u''_{AC} + u_{AC} \cdot \frac{2}{C_{AC} \cdot L_{\sigma}}$$

Dies ist eine homologe Differentialgleichung (DGL) 2. Ordnung, wie bei jedem Schwingkreis üblich. Unter Anwendung des geeigneten Ansatzes gefolgt von einem Koeffizientenvergleich ist die Lösung:

$$u_{AC} = u_{AC}(t_0) \cdot \cos\left(t \cdot \sqrt{\frac{2}{C_{AC} \cdot L_{\sigma}}}\right)$$

Diese Lösung kann in die obenstehenden Gleichung für i_1' oder wahlweise auch i_2' eingesetzt werden

$$i_1' = \frac{u_{Abl1} - u_1}{L_{\sigma 1}} - \frac{u_{AC}(t_0)}{L_{\sigma 1}} \cdot \cos\left(t \cdot \sqrt{\frac{2}{C_{AC} \cdot L_{\sigma}}}\right)$$

Durch zeitliche Integration ergibt sich die folgende Formel für i_1 :

$$i_1(t) = i_1(t_0) - t \cdot \frac{u_1 - u_{Abl1}}{L_{\sigma 1}} - u_{AC}(t_0) \sqrt{\frac{C_{AC}}{2 \cdot L_{\sigma 1}}} \cdot \sin\left(t \cdot \sqrt{\frac{2}{C_{AC} \cdot L_{\sigma}}}\right)$$

Diese Formel hat zunächst ein kompliziertes Erscheinungsbild, fasst man jedoch die Konstanten neu zusammen wird es übersichtlicher:

$$i_1(t) = i_1(t_0) - C_1 \cdot t - C_2 \cdot \sin(\omega \cdot t)$$

Es ergibt sich also ein linear fallender Strom zu dem sich eine Sinusschwingung addiert. Es ist weiterhin festzuhalten, dass sich mit dem Vorzeichen von $u_{AC}(t_0)$ auch das Vorzeichen von C_2 , also das Vorzeichen der Sinusschwingung, ändert.

Literaturangaben

- [1] Lesnicar, A. u. Marquardt, R.: An innovative modular multilevel converter topology suitable for a wide power range. 2003 IEEE Bologna Power Tech. 2003, S. 272–277
- [2] Nami, A., Liang, J., Dijkhuizen, F. u. Lundberg, P.: Analysis of modular multilevel converters with DC short circuit fault blocking capability in bipolar HVDC transmission systems. 2015 17th European Conference on Power Electronics and Applications (EPE'15 ECCE-Europe), S. 1–10
- [3] Rohner, S.: Untersuchung des Modularen Mehrpunktstromrichters M2C für Mittelspannungsanwendungen. Zugl.: Dresden, Techn. Univ., Diss., 2011. Energietechnik. München: Hut 2011
- [4] Li, K., Yuan, L., Zhao, Z., Lu, S. u. Zhang, Y.: Fault-Tolerant Control of MMC With Hot Reserved Submodules Based on Carrier Phase Shift Modulation. IEEE Transactions on Power Electronics 32 (2017) 9, S. 6778–6791
- [5] Pereira, M., Retzmann, D., Lottes, J., Wiesinger, M. u. Wong, G.: SVC PLUS: An MMC STATCOM for network and grid access applications. 2011 IEEE PES PowerTech - Trondheim, S. 1–5
- [6] Baruschka, L. u. Mertens, A.: A New 3-Phase Direct Modular Multilevel Converter. 2011 14th European Conference on Power Electronics and Applications (EPE'11 ECCE-Europe)
- [7] Ilves, K., Bessegato, L. u. Norrga, S.: Comparison of cascaded multilevel converter topologies for AC/AC conversion. 2014 International Power Electronics Conference (IPEC-Hiroshima 2014 ECCE-ASIA), S. 1087–1094
- [8] Zehua Lu, Z. L., Zhimin Chen, Z. C., Yanfeng Gong, Y. G., Jun Cao, J. C. u. Haifeng Wang, H. W.: Sub-module fault analysis and fault-tolerant control strategy for modular multilevel converter. 12th IET International Conference on AC and DC Power Transmission (ACDC 2016). 2016, 102 (5 .)-102 (5 .)
- [9] Pierstorf, S. u. Eckel, H.-G.: Short-circuit behavior of diodes in voltage source inverters. PCIM Europe. Nuremberg, 8 - 10 May 2012 ; [International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management ; proceedings]. Stuttgart: Mesago PCIM GmbH 2012
- [10] Wintrich, A., Nicolai, U., Tursky, W. u. Reimann, T. (Hrsg.): Applikationshandbuch Leistungshalbleiter. Ilmenau: ISLE 2010

- [11] Pierstorf, S.: Ein Beitrag zum Kurzschlussverhalten hochsperrender IGBTs und Dioden, Universität Rostock Dissertation 2015
- [12] Einführung Leistungselektronik für Windenergieanlagen, Kapitel 1 bis 3, Prof. Dr.-Ing. Hans-Günter Eckel, Rostock 2014
- [13] Weiss, D., Drack, N., Duerr, M., Maibach, P., Kirchhoff, F. u. Hassanpoor, A.: Design of a Surge Arrester Based Load Commutation Switch for Hybrid HVDC Breakers and MVDC Breakers. PCIM Europe 2018. International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management Nuremberg, 5 – 7 June 2018. Berlin: VDE Verl. 2018
- [14] Lutz, J.: Halbleiter-Leistungsbaulemente. Berlin, Heidelberg: Springer Berlin Heidelberg 2012
- [15] Billmann, M.: Modular Multilevel Submodules for Converters, from the State of the Art to Future Trends. Keynote zur PCIM 2018. Nürnberg 2018
- [16] Crastan, V.: Elektrische Energieversorgung 1. Berlin, Heidelberg: Springer Berlin Heidelberg 2015
- [17] Stiny, L.: Passive elektronische Bauelemente. Wiesbaden: Springer Fachmedien Wiesbaden 2015
- [18] SIOV metal oxide varistors. Block varistors, HighE series, EPCOS AG, 2018
- [19] Badrkhani Ajaei, F. u. Iravani, R.: Cable Surge Arrester Operation Due to Transient Overvoltages Under DC-Side Faults in the MMC–HVDC Link. IEEE Transactions on Power Delivery 31 (2016) 3, S. 1213–1222
- [20] Weiss, D. u. Eckel, H.-G.: Potential of RC-IGBT in Full Size Converters for Wind Energy Application. PCIM Europe 2014. International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management : 20-22 May 2014. Piscataway, NJ: IEEE 2014
- [21] Gierschner, S., Fuhrmann, J., Münster, P., Hammes, D. u. Eckel, H.-G.: Current-direction detection for static MOS-control of the BIGT in the three-level neutral-point-clamped converter. 2016 18th European Conference on Power Electronics and Applications (EPE'16 ECCE Europe), S. 1–10
- [22] Lexow, D., Wiencke, H. u. Eckel, H.-G.: Improved Gate-Drive Unit for RC-IGBT to Overcome Load Current Disturbance in Static MOS-Control. PCIM Europe 2018. International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management Nuremberg, 5 – 7 June 2018. Berlin: VDE Verl. 2018

- [23] Wiencke, H., Lexow, D. u. Eckel, H.-G.: Short-Circuit Behavior of 6.5 kV RC-IGBT. PCIM Europe 2018. International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management Nuremberg, 5 – 7 June 2018. Berlin: VDE Verl. 2018
- [24] Rahimo, M., Papadopoulos, C., Corvasce, C. u. Kopta, A.: An advanced bimode insulated gate transistor BIGT with low diode conduction losses under a positive gate bias. 2017 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD), S. 483–486
- [25] Werber, D., Pfirsch, F., Gutt, T., Komarnitsky, V., Schaeffer, C., Hunger, T. u. Domes, D.: 6.5kV RCDC: For increased power density in IGBT-modules. 2014 IEEE 26th International Symposium on Power Semiconductor Devices & IC's (ISPSD), S. 35–38
- [26] Wiencke, H., Lexow, D., Tran, Q. T., Krafft, E. u. Eckel, H.-G.: Plasma dynamic of RC-IGBT during desaturation pulses. 2016 18th European Conference on Power Electronics and Applications (EPE'16 ECCE Europe), S. 1–8

Eidesstattliche Erklärung

Hiermit bestätige ich, dass ich die vorliegende Arbeit selbständig verfasst und keine anderen als die angegebenen Hilfsmittel benutzt habe. Die Stellen der Arbeit, die dem Wortlaut oder dem Sinn nach anderen Werken entnommen sind, wurden unter Angabe der Quelle kenntlich gemacht.

Rostock, 20.03.2019 H. Wiencke