

Hybrider 1.7 kV-Leistungsschalter aus parallelen Silizium-IGBTs und Siliziumkarbid-MOSFETs

Dissertation

zur

Erlangung des akademischen Grades

Doktor-Ingenieur (Dr.-Ing.)

der Fakultät für Informatik und Elektrotechnik

der Universität Rostock

vorgelegt von

Dipl.-Ing. Felix Kayser, geb. am 13.05.1992 in Bad Oldesloe

Rostock, den 8. Juni 2025

https://doi.org/10.18453/rosdok_id00005116



Dieses Werk ist lizenziert unter einer
Creative Commons Namensnennung 4.0 International Lizenz.

Gutachter:

1. Gutachter: Prof. Dr.-Ing. Hans-Günter Eckel, Universität Rostock
2. Gutachter: Prof. Dr.-Ing. Thomas Basler, Technische Universität Chemnitz
3. Gutachter: Dr.-Ing. Daniel Domes, Infineon Technologies AG, Warstein

Datum der Einreichung: 13.06.2025

Datum der Verteidigung: 18.11.2025

Danksagung

Mein herzlicher Dank gilt allen, die mich beim Verfassen dieser Dissertation unterstützt haben. Besonders danke ich meinem Doktorvater, Prof. Dr.-Ing. Hans-Günter Eckel, der bereits während meines Studiums an der Universität Rostock in seinen Lehrveranstaltungen zur Leistungselektronik und zu Leistungshalbleitern durch seine Begeisterung für das Fachgebiet mein Interesse geweckt und damit den Grundstein für diese Arbeit gelegt hat. Für seine engagierte Betreuung, die fachliche Unterstützung sowie seine stets konstruktiven Fragen und Anregungen, die maßgeblich zum Verlauf und zur Qualität dieser Dissertation beigetragen haben, spreche ich ihm meinen besonderen Dank aus.

Mein Dank gilt auch den derzeitigen und ehemaligen Kolleginnen und Kollegen des Instituts für Elektrische Energietechnik. Vielen Dank an Dr.-Ing. Jan Fuhrmann, von dem ich viel über die Vermessung von Leistungshalbleitern lernen durfte. Ebenso danke ich M.Sc. Vishwas Acharya Nayampalli, M.Sc. Gurunath Vishwamitra Yoganath und Dr.-Ing. Quang Tien Tran, mit denen ich über viele Jahre hinweg ein Büro teilte und wertvolle fachliche sowie persönliche Gespräche führen konnte.

Ein besonderer Dank geht an Dr.-Ing. Roman Baburske und seinen Kollegen von der Infineon Technologies AG für die Bereitstellung von Mustern, die konstruktiven fachlichen Diskussionen und die vertrauensvolle Zusammenarbeit.

Teile der in dieser Dissertation präsentierten Ergebnisse wurden im Rahmen des Forschungsprojekts LHUVkraft erarbeitet, das durch das Bundesministerium für Wirtschaft und Klimaschutz unter dem Förderkennzeichen 03EE2038C gefördert wurde. Für diese Unterstützung spreche ich meinen herzlichen Dank aus. Mein Dank gilt allen Projektpartnern sowie den Kolleginnen und Kollegen am Institut, mit denen ich im Rahmen dieses Projekts eng und vertrauensvoll zusammenarbeiten durfte.

Nicht zuletzt danke ich meiner Familie und meinen Freunden, die mir mit Verständnis, Geduld und kontinuierlicher Unterstützung zur Seite standen – auch dann, wenn meine zeitliche Verfügbarkeit durch die Arbeit an dieser Dissertation eingeschränkt war. Besonderer Dank gilt meiner Lebensgefährtin Lena – für ihre fachliche Unterstützung, ihr Verständnis und ihre wertvolle Begleitung während des gesamten Entstehungsprozesses dieser Dissertation.

Kurzfassung

Ein hybrider 1.7kV-Schalter aus einer Parallelschaltung von Si-IGBT und SiC-MOSFET wird experimentell untersucht. Die Charakterisierung der Schalteigenschaften erfolgt in einem auf Leistungsmodule skalierten Messaufbau. Der Hybridschalter wird mit Schaltervarianten aus nur einem Halbleitermaterial verglichen, die nach der gleichen Methodik und identischen Randbedingungen für die Treiberauslegung untersucht werden. Besonderheit der Treiberauslegung ist dabei die Berücksichtigung einer maximalen Steilheit der Spannungsflanke. Für den Hybridschalter wird eine Vielzahl an IGBTs unterschiedlichster Auslegung in Betracht gezogen, wobei zum Ergebnis gelangt wird, dass ein auf Durchlass ausgelegter IGBT zu den besten Resultaten führt.

Das Abschalten des Hybridschalters wird mit drei unterschiedlichen Pulsmustern detailliert analysiert. Die verschiedenen Pulsmuster resultieren in unterschiedlichem Schaltverhalten in Bezug auf intrinsische Flankensteilheit, Schaltverluste, Auftreten von Oszillationen und dynamischen Avalanche. Auch sehr langsam schaltende IGBTs können im Hybridschalter durch entsprechende Ansteuerung auf sehr hohe Flankensteilheiten beschleunigt werden. Für das Einschalten wird eine Schaltreihenfolge gewählt, die die Schaltverluste auf die größere Si-IGBT Chipfläche konzentriert.

Auf Basis der experimentell bestimmten Durchlasskennlinien und Schaltverluste wird der maximale Ausgangsstrom und der Wirkungsgrad eines hybriden Leistungsmoduls im dreiphasigen Wechselrichter mit leistungsstarker Wasserkühlung berechnet. Betriebspunkte und ein Modulationsverfahren werden identifiziert, die für ein hybrides Modul vorteilhaft sind. Trotz geringerer SiC-Chipfläche können mit einem hybriden Modul teilweise höhere Ausgangsströme erreicht werden als mit einem rein mit SiC-MOSFETs bestückten Modul.

Weiterhin wird eine Treiberschaltung vorgestellt und experimentell validiert, durch die der Hybridschalter mit einem einzelnen Eingangssignal angesteuert werden kann und der Kurzschlussstrom auf den IGBT begrenzt wird. Dadurch wird die Kurzschlussfestigkeit des Hybridschalters gesteigert. Die Verwendung eines SiC-MOSFETs ohne Kurzschlussfestigkeit erlaubt eine weitere Steigerung der Effizienz oder eine Reduktion der verwendeten SiC-Chipfläche.

Abstract

A 1.7 kV hybrid switch consisting of a parallel connection of Si-IGBT and SiC-MOSFET is experimentally investigated. The characterization of the switching properties is carried out in a measurement setup scaled to power modules. The hybrid switch is compared with commonly used modules made of only one semiconductor material, which are investigated using the same methodology and identical boundary conditions for the driver design. A major feature of the driver design is the consideration of a maximum steepness of the voltage slope. A variety of IGBTs of different designs are considered for the hybrid switch. The findings indicate that an IGBT designed for low on-state losses leads to best results.

The turn-off of the hybrid switch is analyzed in detail with three different pulse patterns. The different pulse patterns result in different switching behaviors in terms of intrinsic voltage slope steepness, switching losses, occurrence of oscillations, and dynamic avalanche. Even very slowly switching IGBTs can be accelerated to very steep voltage slopes in the hybrid switch through appropriate control. For turn-on, a switching sequence is chosen that concentrates the switching losses on the larger Si-IGBT chip area.

Based on the experimentally determined conduction characteristics and switching losses, the maximum output current and efficiency of a hybrid power module in a three-phase inverter with high-performance water cooling is calculated. Operating points and a modulation method that are advantageous for a hybrid module are identified. Despite the smaller SiC chip area, a hybrid module can achieve higher output currents than a module equipped solely with SiC-MOSFETs.

Furthermore, a driver circuit is presented and experimentally validated, through which the hybrid switch can be controlled with a single input signal, furthermore the short-circuit current is limited to the IGBT. This increases the short-circuit withstand time of the hybrid switch. The use of a SiC-MOSFET without short-circuit robustness allows for further improvements in efficiency or a reduction of the SiC chip area used.

Inhaltsverzeichnis

Inhaltsverzeichnis	IV
Abbildungsverzeichnis	VIII
Symbol- und Abkürzungsverzeichnis	XVIII
1 Einleitung	1
2 Forschungsstand und Einordnung der Arbeit	6
2.1 In der Literatur untersuchte Topologien	6
2.2 Spannungs-klasse und Package	9
2.3 Verhältnis der Chipflächen	11
2.4 Ansteuerung des Hybridschalters	13
2.5 Weiterführende Ansteuerungskonzepte	16
2.6 Zusammenfassung	17
3 Si-SiC Hybridschalter für ein Leistungsmodul	19
3.1 Flächenverhältnis: Ersetzen von Si-Dioden durch SiC-MOSFET	19
3.2 Experimentelle Untersuchung des Hybridschalters mit Si-IGBTs unterschiedlicher Auslegung	20
3.3 Methodik der skalierten Messungen	23
3.4 Skalierung auf eine generische Zielapplikation	25
3.5 Randbedingungen für eine Treiberauslegung für einen objektiven Vergleich .	28
3.6 Active-Clamping zur Begrenzung der transienten Überspannung	31
3.7 Justierung der IGBT-Einschaltverluste mit externer Gatekapazität	34
4 Durchlass- und Schaltverhalten des Si-SiC Hybridschalters	37
4.1 Durchlassverhalten des hybriden Leistungsschalters	37
4.2 Durchlassverhalten im Diodenmodus	43
4.3 Abschalten mit Pulsmuster 1 - Hartes Abschalten mit IGBT	45
4.3.1 Abschaltverhalten des Hybridschalters mit <i>low-sat</i> IGBT	45
4.3.2 Steigerung der Schaltgeschwindigkeit durch statische Stromaufteilung	48
4.3.3 Dynamischer Avalanche	54
4.3.4 Zunahme der Ladungsträgerdichte im IGBT während des Abschaltvorgangs	56
4.3.5 Einfluss des Schaltsignalversatzes	61
4.3.6 Einfluss des Gatewiderstands vom SiC-MOSFET	64

4.3.7	Reduzierte Oszillationen im Hybridschalter	65
4.3.8	Grenzen der Schaltverlustreduktion	68
4.3.9	Abschalten des <i>low-sat</i> und <i>fast</i> Hybridschalters mit Pulsmuster 1 mit gewählter Treiberauslegung	70
4.3.10	Vergleich der Schaltverluste	73
4.3.11	Zusammenfassung des Abschaltens mit Pulsmuster 1	75
4.4	Abschalten mit Pulsmuster 2 - Verzögertes Abschalten des MOSFETs . . .	77
4.4.1	Abschaltverhalten des Hybridschalters mit <i>low-sat</i> IGBT	77
4.4.2	Reduktion der Ladungsträgerdichte im IGBT	79
4.4.3	Begrenzung der Schaltgeschwindigkeit durch dynamischen Avalanche	83
4.4.4	Oszillationen in Abhängigkeit vom Schaltsignalversatz	89
4.4.5	Inter-Chip Oszillationen	90
4.4.6	Reduzierte Schaltverluste durch Schaltsignalversatz	92
4.4.7	Abschalten des <i>low-sat</i> und <i>fast</i> Hybridschalters mit Pulsmuster 2 mit gewählter Treiberauslegung	98
4.4.8	Vergleich der Schaltverluste	100
4.4.9	Zusammenfassung des Abschaltens mit Pulsmuster 2	101
4.5	Abschalten mit Pulsmuster 3 - Verzögertes, hartes Abschalten mit IGBT . .	103
4.5.1	Abschaltverhalten des <i>low-sat</i> Hybridschalters mit Pulsmuster 3 . .	103
4.5.2	Variation der Schaltzeitpunkte in Pulsmuster 3	106
4.5.3	Steigerung der Flankensteilheit	108
4.5.4	Begrenzte Flankensteilheit durch Avalanche	108
4.5.5	Oszillationen	110
4.5.6	Verluste in Abhängigkeit vom Schaltsignalversatz	111
4.5.7	Zusammenfassung	113
4.6	Einschalten und Reverse-Recovery des Hybridschalters	115
4.6.1	Einschaltverhalten des Hybridschalters	115
4.6.2	Reverse-Recovery des <i>low-sat</i> Hybridschalters	117
4.6.3	Einschalten des Hybridschalters mit externer Gate-Kapazität	118
4.6.4	Auswahl der Einschaltgeschwindigkeit	120
4.6.5	Spannungsozillationen beim Reverse-Recovery	125
4.6.6	Vergleich der Schaltverluste mit Full-Si und Full-SiC	126
4.6.7	Zusammenfassung des Einschaltens und Reverse-Recovery	130
4.7	Schalteigenschaften im Vergleich	132
5	Leistungsdichte und Wirkungsgrad	137
5.1	Berechnung des maximalen Ausgangsstroms eines Moduls	137
5.2	Maximaler Ausgangsstrom verschiedener Module	140
5.3	Wirkung des Schaltsignalversatzes auf den maximalen Ausgangsstrom . . .	142
5.4	Auswahl eines IGBTs für den Hybridschalter	143

5.5	Vorteilhafte Arbeitspunkte für den Hybridschalter	145
5.6	Variation der thermischen Widerstände und thermischen Kopplung	147
5.7	Vorteilhaftes Modulationsverfahren	150
5.8	Wirkungsgrad	153
5.9	Hohe Stromdichten bei Steigerung der Leistungsdichte	154
6	Ereignisgesteuerte Treiberschaltung und gesteigerte Kurzschlussfestigkeit	156
6.1	Ereignisgesteuerte Treiberschaltung	157
6.2	Normales Einschalten	159
6.3	Ausschalten	162
6.4	Reverse-Recovery	164
6.5	Kein Einschalten des SiC-MOSFETs im Kurzschlussfall I	164
6.6	Abschalten des SiC-MOSFETs im Kurzschlussfall II	166
6.7	Diskussion der Verwendung einer ereignisgesteuerten Treiberschaltung . . .	169
6.8	Gesteigerter Wirkungsgrad durch SiC-MOSFET ohne Kurzschlussfestigkeit	170
7	Zusammenfassung	174
A	Anhang	178
A.1	Lineare Näherung der Durchlasskennlinie	178
A.2	Intrinsisches Abschalten des Hybridschalters und nur des Si-IGBTs	179
A.3	Dynamischer Avalanche im IGBT W3Z3	180
A.4	TCAD-Simulation des Hybridschalters	180
A.5	Abschalten des Full-Si Schalters mit Treiberauslegung für einen objektiven Vergleich	181
A.6	Abschalten des Full-SiC Schalters mit Treiberauslegung für einen objektiven Vergleich	183
A.7	Spannungsaufnahme des IGBTs im <i>low-sat</i> Hybrid mit Pulsmuster 2	184
A.8	Dynamischer Avalanche beim Abschalten mit Pulsmuster 1	185
A.9	Inter-Chip Oszillationen	185
A.10	Auslegung Active-Clamping bei Abschalten mit Pulsmuster 2	188
A.11	Aufteilung der Abschaltverluste bei Pulsmuster 2 in Abhängigkeit des Last- stroms	189
A.12	Abschalten des Hybridschalters mit Pulsmuster 3	189
A.13	Einschalten und Reverse-Recovery	191
A.14	Anteilige Skalierung der thermischen Widerstände im Leistungsmodul . . .	193
A.15	Berechnung des maximalen Ausgangsstroms	194
A.16	Einfluss der Kühlwassertemperatur auf den maximalen Ausgangsstrom . . .	196
A.17	Gegenkopplung der Streuinduktivität beim Abschalten mit ereignisgesteuer- tem Treiber	197
A.18	Parametereinfluss auf das Abschalten vom Kurzschluss Typ II	198

Inhaltsverzeichnis

A.19 Ausgangsstrom des <i>low-sat</i> Hybrids mit SiC-MOSFET ohne Kurzschlussfestigkeit bei hoher Kühlwassertemperatur	199
A.20 Messmittel	200
A.21 Kurzzusammenfassungen der in Kapitel 2 eingeordneten Literatur zum Si-SiC Hybridschalter	201
Literatur	213

Abbildungsverzeichnis

2.1	Verhältnis der Chipflächen oder des Nennstroms von in der Literatur untersuchten Hybridschaltern (Diode nicht berücksichtigt)	12
2.2	Konzepte zur Ansteuerung eines Hybridschalters	14
2.3	Versetztes Schalten von Si-IGBT und SiC-MOSFET	15
3.1	Hybrides Leistungsmodul: Ersetzen der Si-Dioden durch SiC-MOSFETs . .	19
3.2	Durchlassspannungen und Abschaltverluste von 1.7 kV Si-IGBTs unterschiedlicher Auslegung ($I_L = 100$ A, $U_{DC} = 900$ V, $T_j = 125$ °C)	21
3.3	Trade-off zwischen Abschaltverlusten (E_{off}) und Durchlassspannung (U_{CE}) bei unterschiedlicher Waferdicke ($I_L = 100$ A, $U_{DC} = 900$ V, $T_j = 125$ °C) . .	22
3.4	Einfluss der Zellstruktur auf das intrinsische Abschaltverhalten: Wafer W4 mit Zellstrukturen Z1, Z2 und Z3	23
3.5	Skalierung der Streuinduktivität bei Einzelchipmessungen zur Nachbildung des elektrischen Verhaltens eines Moduls	24
3.6	Halbbrücke mit Hybridschaltern aus zwei parallel geschalteten Substraten und eingebrachten Induktivitäten zur Skalierung	26
3.7	Active-Clamping Schaltung mit kapazitiver Vorsteuerung zur Begrenzung der transienten Überspannung	32
3.8	Abschalten des Hybridschalters mit IGBT W7Z2 mit Active-Clamping ($I_L = 200$ A, $U_{DC} = 1200$ V, $T_j = 125$ °C)	33
3.9	Reduktion der Überspannungsspitze beim Abschalten durch Active-Clamping ($U_{DC} = 1200$ V)	33
3.10	Einschalten des <i>low-sat</i> IGBTs mit externer Gatekapazität $C_{ge,ext}$ ($I_L = 100$ A, $U_{DC} = 900$ V, $T_j = 125$ °C)	35
3.11	Reduktion der Einschaltverluste des IGBTs durch Einfügen einer externen Gatekapazität	36
4.1	Durchlasskennlinie der Parallelschaltung eines <i>low-sat</i> IGBTs oder <i>fast</i> IGBTs und zweier SiC-MOSFET Chips bei $T_j = 125$ °C	38
4.2	Einfaches Ersatzschaltbild des Si-SiC Hybridschalters zur Beschreibung der Durchlasskennlinie	39
4.3	Durchlasskennlinie bei verschiedener Betriebstemperatur von <i>low-sat</i> Si-IGBT, SiC-MOSFET und hybridem Schalter	40
4.4	Anteilige Stromführung des Si-IGBT im hybriden Schalter bei 25 °C und 125 °C	42

4.5	Durchlasskennlinien zwei paralleler Si-Dioden oder SiC-MOSFETs bei geschlossenem bzw. geöffnetem Elektronenkanal, bei $T_j = 25^\circ\text{C}$ bzw. $T_j = 125^\circ\text{C}$	43
4.6	Schaltsignale bei IGBT-geführtem Abschalten (Pulsmuster 1): MOSFET schaltet vor IGBT ab	45
4.7	IGBT-geführtes Abschalten eines Si-SiC Hybridschalters mit <i>low-sat</i> IGBT unter Nennbedingungen ($I_L = 100\text{ A}$, $U_{\text{DC}} = 900\text{ V}$, $T_j = 125^\circ\text{C}$, $C_{\text{GE,ext}} = 20\text{ nF}$, $t_V = 0\text{ }\mu\text{s}$)	46
4.8	Innerer Kommutierungskreis des Hybridschalters (rot, gestrichelt) zwischen Si-IGBT und SiC-MOSFET	47
4.9	Intrinsisches Abschalten eines <i>low-sat</i> IGBTs innerhalb eines Si-SiC Hybridschalters und ohne parallelen SiC-MOSFET unter Nennbedingungen ($I_L = 100\text{ A}$, $U_{\text{DC}} = 900\text{ V}$, $T_j = 125^\circ\text{C}$, $C_{\text{GE,ext}} = 0\text{ nF}$, $t_V = -0.1\text{ }\mu\text{s}$)	50
4.10	Vergleich der Spannungssteilheit beim intrinsischen Abschalten des Hybridschalters und des IGBTs ohne parallelen SiC-MOSFET ($U_{\text{DC}} = 900\text{ V}$, $C_{\text{GE,ext}} = 0\text{ nF}$, $t_V = -0.1\text{ }\mu\text{s}$)	51
4.11	Wirkungskette und Einflussparameter der statischen Stromverteilung auf die intrinsische Spannungssteilheit beim Abschalten mit Pulsmuster 1	52
4.12	Steigerung der intrinsischen Flankensteilheit im Hybridschalter bei einer Auswahl unterschiedlich ausgelegter IGBTs ($I_L = 100\text{ A}$, $U_{\text{DC}} = 900\text{ V}$, $T_j = 125^\circ\text{C}$)	53
4.13	Dynamischer Avalanche beim intrinsischen Abschalten eines <i>low-sat</i> IGBTs innerhalb eines Si-SiC Hybridschalters im Vergleich zu einem IGBT ($I_L = 200\text{ A}$, $U_{\text{DC}} = 1200\text{ V}$, $T_j = 25^\circ\text{C}$, $C_{\text{GE,ext}} = 0\text{ nF}$, $t_V = -0.1\text{ }\mu\text{s}$)	55
4.14	Vergleichbarer Rückgang der normierten, lokalen Spannungssteilheit dU_{CE}/dt in Abbildung 4.13, bezogen auf die absolute Spannung U_{CE} während des intrinsischen Abschaltens	56
4.15	Rückgang der Spannungssteilheit bei geringen Lastströmen im <i>low-sat</i> Hybridschalter ($U_{\text{DC}} = 1200\text{ V}$, $T_j = 125^\circ\text{C}$, $C_{\text{GE,ext}} = 0\text{ nF}$, $t_V = -0.1\text{ }\mu\text{s}$)	57
4.16	Intrinsisches Abschalten des <i>low-sat</i> Si-IGBTs bei geringen Lastströmen ($U_{\text{DC}} = 1200\text{ V}$, $T_j = 125^\circ\text{C}$)	57
4.17	Simulation: Intrinsisches Abschalten eines IGBTs, ähnlich dem <i>low-sat</i> Si-IGBT, bei geringen Lastströmen ($U_{\text{DC}} = 1200\text{ V}$, $T_j = 125^\circ\text{C}$, $C_{\text{GE,ext}} = 20\text{ nF}$)	58
4.18	Simulation: Elektrische Feldstärke und Ladungsträgerdichte innerhalb des IGBTs zu gekennzeichneten Zeitpunkten in Abbildung 4.17 bei einem Laststrom von $I_L = 15\text{ A}$	59
4.19	Simulation: Elektrische Feldstärke und Ladungsträgerdichte innerhalb des IGBTs zu gekennzeichneten Zeitpunkten in Abbildung 4.17 bei einem Laststrom von $I_L = 50\text{ A}$	60

4.20	Einfluss vom Schaltsignalversatz (t_V) auf das intrinsische Abschalten des <i>fast</i> Hybrids ($I_L = 100$ A, $U_{DC} = 900$ V, $T_j = 125$ °C, $C_{GE,ext} = 20$ nF)	62
4.21	Schaltverluste im IGBT beim intrinsischen Schalten des <i>fast</i> Hybrids in Abhängigkeit vom Schaltsignalversatz ($U_{DC} = 900$ V, $T_j = 125$ °C, $C_{GE,ext} = 20$ nF)	62
4.22	Simulation: Ladungsträgerdichte im IGBT eines <i>low-sat</i> Hybrids nach der Kommutierung des Laststroms vom MOSFET auf den IGBT zu verschiedenen Zeiten nach der Kommutierung ($I_L = 50$ A)	63
4.23	Einfluss der Abschaltgeschwindigkeit vom MOSFET ($R_{g,off,MOS}$), Abschalten eines Hybridschalters im mittleren Geschwindigkeitsbereich (IGBT W7Z3, $I_L = 100$ A, $U_{DC} = 900$ V, $T_j = 125$ °C, $C_{GE,ext} = 0$ nF, $t_V = -0.5$ μ s)	64
4.24	Spannungssoszillationen beim Abschalten des <i>fast</i> Hybrids bei hohem Laststrom und geringer Sperrschichttemperatur (IGBT W6Z3, $I_L = 200$ A, $U_{DC} = 1200$ V, $T_j = 25$ °C, $C_{GE,ext} = 20$ nF, $t_V = 0$ μ s)	66
4.25	Dauer von Spannungssoszillationen (t_{Osz}) größer als 2% $U_{DC,n}$ beim Abschalten des Hybridschalters (IGBTs sortiert nach Durchlassspannung, $t_V = 0$ μ s)	67
4.26	Ausschaltverluste und Durchlassspannung von Hybridschaltern mit ähnlicher Spannungssteilheit im Vergleich zum Full-SiC Schalter (mit Active-Clamping, Spannungssteilheit Hybrid: 13 kV/ μ s, Spannungssteilheit Full-SiC: 15 kV/ μ s, $U_{DC} = 900$ V, $T_j = 125$ °C, $C_{GE,ext} = 0$ nF, $t_V = 0$ μ s)	69
4.27	Abschaltverhalten des <i>fast</i> Hybrid im Vergleich zum Full-SiC ($I_L = 100$ A, $U_{DC} = 900$ V, $T_j = 125$ °C, $C_{GE,ext} = 20$ nF, $t_V = 0$ μ s)	70
4.28	Abschalten des <i>low-sat</i> Hybrids mit Treiberauslegung für einen objektiven Vergleich bei einem Laststrom von 25 A bis 200 A (IGBT W9Z1, $I_L = 25$ A bis 200 A, $U_{DC} = 900$ V, $T_j = 125$ °C, $C_{GE,ext} = 20$ nF, $t_V = 0$ μ s)	71
4.29	Abschalten des <i>fast</i> Hybrids mit Treiberauslegung für einen objektiven Vergleich (IGBT W6Z3, $I_L = 25$ A bis 200 A, $U_{DC} = 900$ V, $T_j = 125$ °C, $C_{GE,ext} = 20$ nF, $t_V = 0$ μ s)	72
4.30	Vergleich der Flankensteilheit ($U_{DC} = 900$ V)	73
4.31	Transiente Überspannungen beim Abschalten	73
4.32	Abschaltverluste des Hybridschalters mit Pulsmuster 1 bei gewählter Treiberauslegung ($I_L = 25$ A bis 200 A, $U_{DC} = 900$ V, $T_j = 125$ °C, $C_{GE,ext} = 20$ nF, $t_V = 0$ μ s)	74
4.33	Schaltsignale für Pulsmuster 2	77
4.34	MOSFET-geführtes Abschalten eines Si-SiC Hybridschalters mit <i>low-sat</i> IGBT unter Nennbedingungen mit Schaltversatz $t_V = 1.1$ μ s ($I_L = 100$ A, $U_{DC} = 900$ V, $T_j = 125$ °C, $C_{GE,ext} = 20$ nF)	78
4.35	Reduktion der Stromspitze bei passiver Spannungsaufnahme des IGBT im <i>fast</i> Hybrid mit Schaltversatz $t_V \in \{2$ μ s, 4 μ s, 8 μ s, 12 μ s $\}$ ($I_L = 100$ A, $U_{DC} = 900$ V, $T_j = 125$ °C, $C_{GE,ext} = 20$ nF)	80

4.36	Zusammenhang zwischen Stromspitze und Flankensteilheit bei passiver Spannungsaufnahme des IGBTs im <i>low-sat</i> Hybrid mit Schaltversatz $t_V \in \{0.5 \mu\text{s}, 1.1 \mu\text{s}, 2 \mu\text{s}, 4 \mu\text{s}\}$ ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$) .	81
4.37	Erweiterte Wirkungskette und Einflussparameter für die Kollektorstromspitze beim MOSFET-geführten Abschalten.	82
4.38	Im IGBT ausgeräumte Ladungsmenge beim harten Schalten in Abhängigkeit des Schaltsignalversatzes ($U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$) . . .	82
4.39	Simulation: Abnahme des Plasmas in einem <i>low-sat</i> IGBT nach der Kommutierung des Laststroms auf den parallelen SiC-MOSFET ($I_L = 100 \text{ A}$, $T_j = 125 \text{ }^\circ\text{C}$)	83
4.40	Anzeichen für dynamischen Avalanche beim <i>low-sat</i> Hybrid bei hoher Stromdichte im IGBT ($I_L = 200 \text{ A}$, $U_{DC} = 1200 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = 3 \mu\text{s}$)	84
4.41	Dynamischer Avalanche beim intrinsischen Schalten des <i>low-sat</i> Hybrids mit Pulsmuster 1 ($U_{DC} = 1200 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = -0.1 \mu\text{s}$) .	85
4.42	Simulation: Dynamischer Avalanche beim MOSFET-geführten Schalten ($U_{DC} = 1200 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $t_V = 3 \mu\text{s}$)	87
4.43	Simulation: Ausräumen des Plasmas im <i>low-sat</i> IGBT in Abbildung 4.42 (Stoßionisation simuliert, $I_L = 200 \text{ A}$, $U_{DC} = 1200 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$)	87
4.44	Vermeiden von Avalanche beim <i>low-sat</i> Hybrid durch Reduktion der Flankensteilheit bei geringem Schaltsignalversatz. Flankensteilheit bei $U_{DC} = 900 \text{ V}$, $I_L = 100 \text{ A}$ und Stromspitze während der Spannungsaufnahme bei $U_{DC} = 1200 \text{ V}$, $I_L = 200 \text{ A}$	88
4.45	Oszillationsdauer von Spannungsozillationen (t_{Osz}) größer als 2% $U_{DC,n}$ beim Abschalten des Hybridschalters mit Pulsmuster 2 ($T_j = 125 \text{ }^\circ\text{C}$)	89
4.46	MOSFET-geführtes Abschalten eines Si-SiC Hybridschalters mit <i>low-sat</i> IGBT mit Schaltversatz $t_V = 1.1 \mu\text{s}$, Gatespannungen paralleler SiC-MOSFET ($I_L = 120 \text{ A}$, $U_{DC} = 1000 \text{ V}$, $T_j = 25 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$) . .	91
4.47	Auftreten von Inter-Chip Oszillationen: Gemessene Arbeitspunkte ohne und mit Inter-Chip Oszillationen ohne Zerstörung ($T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$)	92
4.48	Schaltverluste $E_{off,1}$ beim MOSFET-geführten Abschalten eines Si-SiC Hybridschalters mit <i>low-sat</i> IGBT unter Nennbedingungen mit Schaltversatz $t_V = 6 \mu\text{s}$ ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$)	94
4.49	Spannungsabfälle im innereren Kommutierungskreis des Hybridschalters . .	94
4.50	Abschaltverluste des Hybridschalters bei MOSFET-geführtem Schalten in Abhängigkeit von t_V ($U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$)	96
4.51	Abschaltverhalten des <i>low-sat</i> Hybrids mit hohem Schaltversatz im Vergleich zum Full-SiC ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = 12 \mu\text{s}$)	97

4.52	Abschalten des <i>low-sat</i> Hybrids mit Treiberauslegung für einen objektiven Vergleich bei einem Laststrom von 25 A bis 200 A (IGBT W9Z1, Pulsmuster 2, $t_V = 6 \mu\text{s}$, $I_L = 25 \text{ A bis } 200 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$)	98
4.53	Abschalten des <i>fast</i> Hybrids mit Treiberauslegung für einen objektiven Vergleich bei einem Laststrom von 25 A bis 200 A (IGBT W6Z3, Pulsmuster 2, $t_V = 4 \mu\text{s}$, $I_L = 25 \text{ A bis } 200 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$)	99
4.54	Flankensteilheit und Abschaltverluste des Hybridschalters bei Pulsmuster 2 mit Treiberauslegung für einen objektiven Vergleich (<i>low-sat</i> : $t_V = 6 \mu\text{s}$ bzw. <i>fast</i> : $t_V = 4 \mu\text{s}$, $I_L = 25 \text{ A bis } 200 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$)	100
4.55	Schaltsignale bei Pulsmuster 3	103
4.56	Abschalten des <i>low-sat</i> Hybrids mit Pulsmuster 3 mit Schaltversatz $t_V = 6 \mu\text{s}$ ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$)	104
4.57	Simulation: Plasma im <i>low-sat</i> IGBT während des Abschaltens mit Pulsmuster 3 ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $t_V = 6 \mu\text{s}$)	104
4.58	Ausschaltverluste und Spannungssteilheit bei Variation des IGBT-Einschaltimpulses ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = 6 \mu\text{s}$)	106
4.59	Abschalten des <i>low-sat</i> Hybrids mit Pulsmuster 3 mit extremen Zeiten für $t_{V,P3,1}$ ($I_L = 200 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = 6 \mu\text{s}$)	107
4.60	Einflussparameter für die intrinsische Spannungssteilheit bei Pulsmuster 3. Ausschnitt der Wirkungskette 4.11	108
4.61	Steigerung der Spannungssteilheit des <i>low-sat</i> Hybrids beim intrinsischen Abschalten mit Pulsmuster 3 ($U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $t_V = 10 \mu\text{s}$)	109
4.62	Vermeiden von Avalanche beim <i>low-sat</i> Hybrid durch Reduktion der Flankensteilheit bei geringem t_V , verwendeter Gatewiderstand ($U_{DC} = 900 \text{ V}$, $I_L = 100 \text{ A}$)	109
4.63	Dauer der Spannungsoszillationen (t_{Osz}) größer als 2% $U_{DC,n}$ beim Abschalten des <i>low-sat</i> Hybridschalters mit Pulsmuster 3	110
4.64	Abschaltverluste des Hybridschalters bei Abschalten mit Pulsmuster 3 in Abhängigkeit von t_V ($U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$)	111
4.65	Vergleich von Pulsmuster 3 mit Pulsmuster 2 beim Abschalten des <i>low-sat</i> Hybridschalters. Höhere Tailverluste mit Pulsmuster 3 ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = 12 \mu\text{s}$)	112
4.66	Abschalten des <i>low-sat</i> Hybrids mit Treiberauslegung für einen objektiven Vergleich bei einem Laststrom von 25 A bis 200 A (IGBT W9Z1, Pulsmuster 3, $I_L = 25 \text{ A bis } 200 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = 6 \mu\text{s}$)	113
4.67	Schaltreihenfolge beim Einschalten	115
4.68	Einschalten des Hybridschalters mit <i>low-sat</i> IGBT unter Nennbedingungen ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = 2 \mu\text{s}$)	116

4.69	Einschalten des Hybridschalters mit <i>fast</i> IGBT unter Nennbedingungen ($I_L = 100\text{ A}$, $U_{DC} = 900\text{ V}$, $T_j = 125\text{ °C}$, $C_{GE,ext} = 20\text{ nF}$, $t_V = 2\text{ }\mu\text{s}$)	117
4.70	Reverse-Recovery des Hybridschalters mit <i>low-sat</i> IGBT unter Nennbedingungen ($I_L = 100\text{ A}$, $U_{DC} = 900\text{ V}$, $T_j = 125\text{ °C}$, $C_{GE,ext} = 20\text{ nF}$, $t_V = 2\text{ }\mu\text{s}$)	118
4.71	Einschalten des <i>fast</i> Hybrid mit externer Gatekapazität ($I_L = 100\text{ A}$, $U_{DC} = 900\text{ V}$, $T_j = 125\text{ °C}$, $t_V = 2\text{ }\mu\text{s}$)	119
4.72	Wirkung einer externen Gatekapazität am IGBT beim Einschalten auf Schaltverluste und Flankensteilheiten ($T_j = 125\text{ °C}$, $U_{DC} = 900\text{ V}$, $t_V = 2\text{ }\mu\text{s}$)	120
4.73	Flankensteilheit und erste Überspannungsspitze beim Reverse-Recovery des Hybridschalters bei unterschiedlicher Treiberauslegung ($I_L = 25\text{ A bis }200\text{ A}$, $C_{GE,ext} = 20\text{ nF}$, $t_V = 2\text{ }\mu\text{s}$)	122
4.74	Flankensteilheit und erste Überspannungsspitze des Full-SiC Schalters beim Reverse-Recovery ($I_L = 25\text{ A bis }200\text{ A}$)	123
4.75	Einschalten des <i>low-sat</i> Hybrids mit Treiberauslegung für einen objektiven Vergleich bei einem Laststrom von 25 A bis 200 A ($I_L = 25\text{ A bis }200\text{ A}$, $U_{DC} = 900\text{ V}$, $T_j = 125\text{ °C}$, $C_{GE,ext} = 20\text{ nF}$, $t_V = 2\text{ }\mu\text{s}$)	124
4.76	Reverse-Recovery vom <i>low-sat</i> Hybrid und Full-SiC Reverse-Recovery des Hybridschalters im Vergleich ($I_L = 100\text{ A}$, $U_{DC} = 900\text{ V}$, $T_j = 125\text{ °C}$, $C_{GE,ext} = 20\text{ nF}$, $t_V = 2\text{ }\mu\text{s}$)	125
4.77	Dauer der Spannungszosillationen (t_{Osz}) größer als 2% $U_{DC,n}$ beim Reverse-Recovery ($T_j = 125\text{ °C}$)	126
4.78	Verluste beim Einschalten des <i>fast</i> Hybrids im Vergleich zum Full-SiC ($I_L = 100\text{ A}$, $U_{DC} = 900\text{ V}$, $T_j = 125\text{ °C}$, $C_{GE,ext} = 20\text{ nF}$, $t_V = 2\text{ }\mu\text{s}$)	127
4.79	Verluste beim Einschalten des <i>low-sat</i> Hybrids im Vergleich zum Full-Si ($I_L = 100\text{ A}$, $U_{DC} = 900\text{ V}$, $T_j = 125\text{ °C}$, $C_{GE,ext} = 20\text{ nF}$, $t_V = 2\text{ }\mu\text{s}$)	128
4.80	Verluste beim Einschalten und Reverse-Recovery des Hybridschalters im Vergleich mit Full-Si und Full-SiC ($I_L = 25\text{ A bis }200\text{ A}$, $U_{DC} = 900\text{ V}$, $T_j = 125\text{ °C}$, $C_{GE,ext} = 20\text{ nF}$, $t_V = 2\text{ }\mu\text{s}$)	129
4.81	Dauer der Spannungszosillationen (t_{Osz}) größer als 2% $U_{DC,n}$ aller Schalter im Vergleich ($T_j = 125\text{ °C}$, P1: $t_V = 0\text{ }\mu\text{s}$, <i>low-sat</i> Hybrid P2 und P3: $t_V = 6\text{ }\mu\text{s}$, <i>fast</i> Hybrid P2: $t_V = 4\text{ }\mu\text{s}$)	134
4.82	Schaltverluste aller Schaltertopologien unter Nennbedingungen, Prozentwerte bezogen auf den <i>low-sat</i> Full-Si Schalter, in Klammern: Schaltverluste nur im SiC-MOSFET	135
4.83	Schaltverluste aller vermessenen Schaltertopologien im Vergleich unter Nennbedingungen	136

5.1	Berechnung des maximalen Ausgangsstroms eines Moduls mit <i>low-sat</i> Hybridschalter bei Verwendung von Pulsmuster 3, (Wechselrichter, Super-Sinus-Dreieck Modulation, $M = 2/\sqrt{3}$, $\cos \varphi = 0.85$, $T_a = 55^\circ\text{C}$, $I_{\text{Modul,eff}} = 800\text{ A}$ (a, b), $f_S = 2.5\text{ kHz}$ (a, b, c))	139
5.2	Maximaler Ausgangsstrom eines Moduls (Wechselrichter, Super-Sinus-Dreieck Modulation, $M = 2/\sqrt{3}$, $\cos \varphi = 0.85$, $T_a = 55^\circ\text{C}$)	141
5.3	Wirkung des Schaltsignalversatzes t_V	143
5.4	Abschätzung des maximalen Ausgangsstroms eines generischen Hybridmoduls mit unterschiedlichen Si-IGBTs (Wechselrichter, Super-Sinus-Dreieck Modulation, $M = 2/\sqrt{3}$, $\cos \varphi = 0.85$, $T_a = 55^\circ\text{C}$)	144
5.5	Maximaler Ausgangsstrom bei Variation der Diodenleitdauer durch (a) Leistungsfaktor $\cos \varphi$, (b) Modulationsindex M (Super-Sinus-Dreieck Modulation, $T_a = 55^\circ\text{C}$)	145
5.6	Maximaler Ausgangsstrom in Abhängigkeit der Schaltfrequenz bei hoher Diodenleitdauer durch (a) Gleichrichterbetrieb, (b) geringem Modulationsindex M (Super-Sinus-Dreieck Modulation, $T_a = 55^\circ\text{C}$)	145
5.7	Maximaler Ausgangsstrom bei hohem bzw. geringem seriellen, thermischen Widerstand $R_{\text{th,S}}$ (Wechselrichter, Super-Sinus-Dreieck Modulation, $M = 2/\sqrt{3}$, $\cos \varphi = 0.85$, $T_a = 55^\circ\text{C}$)	148
5.8	Maximaler Ausgangsstrom in Abhängigkeit des seriellen thermischen Widerstands $R_{\text{th,S}}$ (Wechselrichter, Super-Sinus-Dreieck Modulation, $M = 2/\sqrt{3}$, $\cos \varphi = 0.85$, $T_a = 55^\circ\text{C}$)	149
5.9	Reduktion der Schaltverluste durch Flattop Modulation (Wechselrichter, $f_S = 10\text{ kHz}$, $M = 2/\sqrt{3}$, $\cos \varphi = 0.85$, $T_a = 55^\circ\text{C}$)	151
5.10	Maximierung des Ausgangsstroms eines Moduls durch Flattop Modulation, $M = 2/\sqrt{3}$, $\cos \varphi = 1$, $T_a = 40^\circ\text{C}$ (Wechselrichter)	152
5.11	Wirkungsgrad der verschiedenen Module im Vergleich ($T_j = 125^\circ\text{C}$)	153
6.1	Ansteuerung eines Leistungsmoduls mit Si-SiC Hybridschalter mit integrierter, ereignisgesteuerter Treiberschaltung	157
6.2	Schaltplan der ereignisgesteuerten Treiberschaltung	158
6.3	Einschalten des Hybridschalters mit ereignisgesteuertem Treiber unter Nennbedingungen (<i>low-sat</i> Hybrid, $I_L = 100\text{ A}$, $U_{\text{DC}} = 900\text{ V}$, $T_j = 125^\circ\text{C}$)	159
6.4	Einfluss verschiedener Parameter auf das Einschalten des Hybridschalters mit ereignisgesteuertem Treiber	161
6.5	Ausschalten des Hybridschalters mit ereignisgesteuertem Treiber unter Nennbedingungen (<i>low-sat</i> Hybrid, $I_L = 100\text{ A}$, $U_{\text{DC}} = 900\text{ V}$, $T_j = 125^\circ\text{C}$)	163
6.6	Reverse-Recovery des Hybridschalters mit ereignisgesteuertem Treiber unter Nennbedingungen (<i>low-sat</i> Hybrid, $I_L = 100\text{ A}$, $U_{\text{DC}} = 900\text{ V}$, $T_j = 125^\circ\text{C}$)	164

6.7	Kein Einschalten des SiC-MOSFETs im Kurzschlussfall I (<i>low-sat</i> IGBT W9Z1, $2 \times$ SiC-MOSFET, $U_{DC} = 550$ V, $U_{\text{Treiber,extern}} = 11$ V, $T_j = 25$ °C)	165
6.8	Begrenzung des Kurzschlussstroms auf den IGBT im Kurzschlussfall II (<i>fast</i> IGBT W6Z3, $1 \times$ SiC-MOSFET, $U_{DC} = 900$ V, $U_{\text{Treiber,extern}} = 10$ V, $T_j = 25$ °C, skalierte Kurzschlussinduktivität: 2 μ H)	167
6.9	Kurzschluss Typ II mit verschiedenen Kurzschlussinduktivitäten L_{SC} und Einstellung der Empfindlichkeit der Detektion	168
6.10	Detektion des dI/dt und Einschalten von T_2 beim Einschalten des Hybrid-schalters mit ereignisgesteuertem Treiber (<i>low-sat</i> Hybrid, $I_{\text{hyb}} = 100$ A, $U_{DC} = 900$ V, $T_j = 125$ °C)	169
6.11	Verwendung eines SiC-MOSFETs ohne Kurzschlussfestigkeit und mit reduziertem $R_{DS,on}$ im <i>low-sat</i> Hybridschalter	171
6.12	Vorteilhafte Betriebspunkte und Steigerung der Leistungsdichte des Hybrid-schalters	173
A.1	Lineare Näherung der Durchlasskennlinien des Hybridschalters durch lineare Regression der gemessenen Kennlinien von IGBT und MOSFET im Bereich von 0 A bis 200 A mit der Methode der kleinsten Quadrate	178
A.2	Messkonfiguration für das intrinsische Abschalten des IGBTs mit und ohne parallelen SiC-MOSFET. Freilauf durch SiC-MOSFET	179
A.3	Dynamischer Avalanche beim intrinsischen Abschalten des schnellsten IGBT W3Z3 ($I_{\text{hyb}} = 200$ A, $U_{DC} = 1200$ V, $T_j = 125$ °C). Rückgang des dU/dt vor Erreichen der Zwischenkreisspannung	180
A.4	Schaltplan zur FEM-Simulation des Si-IGBTs im Hybridschalter	180
A.5	Schnittachse durch das FEM-Modell des IGBTs zur Extraktion der elektrischen Feldstärke und Ladungsträgerdichte	181
A.6	Abschalten des <i>low-sat</i> IGBTs mit Treiberauslegung für einen objektiven Vergleich bei einem Laststrom von 25 A bis 200 A (IGBT W9Z1, $I_L = 25$ A bis 200 A, $U_{DC} = 900$ V, $T_j = 25$ °C, $C_{GE,ext} = 20$ nF, $t_V = 0$ μ s)	181
A.7	Abschalten des <i>fast</i> IGBTs mit Treiberauslegung für einen objektiven Vergleich bei einem Laststrom von 25 A bis 200 A (IGBT W6Z3, $I_L = 25$ A bis 200 A, $U_{DC} = 900$ V, $T_j = 25$ °C, $C_{GE,ext} = 20$ nF, $t_V = 6$ μ s)	182
A.8	Abschalten des SiC-MOSFETs mit Treiberauslegung für einen objektiven Vergleich bei einem Laststrom von 25 A bis 200 A ($I_L = 25$ A bis 200 A, $U_{DC} = 900$ V, $T_j = 25$ °C, $C_{GE,ext} = 20$ nF)	183
A.9	Passive Spannungsaufnahme des IGBTs im <i>low-sat</i> Hybrid mit Schaltversatz $t_V \in \{0$ μ s, 0.2 μ s, 0.5 μ s, 0.8 μ s, 1.1 μ s, 1.5 μ s, 2 μ s, 3 μ s, 4 μ s, 6 μ s, 8 μ s, 10 μ s, 12 μ s $\}$ ($I_L = 100$ A, $U_{DC} = 900$ V, $T_j = 125$ °C, $C_{GE,ext} = 20$ nF)	184
A.10	Simulation: Abschalten eines <i>low-sat</i> IGBTs im Hybridschalter, Kommutierung auf den parallelen SiC-MOSFET ($I_L = 100$ A, $T_j = 125$ °C)	184

A.11 Simulation: Avalanche beim intrinsischen, IGBT-geführten Abschalten eines <i>low-sat</i> Hybrids mit Pulsmuster 1. Avalanche setzt bei gleichem Emitterstrom und gleicher Sperrspannung wie beim Abschalten mit Pulsmuster 2 ein ($I_L = 150 \text{ A}$, $U_{DC} = 1200 \text{ V}$, $T_j = 125^\circ\text{C}$)	185
A.12 Messung der separaten Gatespannungen paralleler MOSFETs zwischen Gatekontaktierung des Substrates und der Oberflächenmetallisierung der Chips	185
A.13 Abschalten von zwei SiC-MOSFETs auf einem Substrat mit Skalierungsfaktor $N_S = 16$ ($I_L = 80 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 25^\circ\text{C}$)	186
A.14 MOSFET geführtes Abschalten mit Pulsmuster 2 eines Si-SiC Hybrid-schalters mit <i>low-sat</i> IGBT mit Schaltversatz $t_V = 1.5 \mu\text{s}$. Zerstörung des SiC-MOSFETs durch Inter-Chip Oszillationen ($I_L = 165 \text{ A}$, $U_{DC} = 1050 \text{ V}$, $T_j = 25^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$)	186
A.15 Auftreten von Inter-Chip Oszillationen bei Pulsmuster 2: Gemessene Arbeitspunkte ohne und mit Inter-Chip Oszillationen ohne Zerstörung ($T_j = 25^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$)	187
A.16 Kein Auftreten von Inter-Chip Oszillationen bei <i>low-sat</i> Hybrid mit Pulsmuster 3 in allen gemessenen Arbeitspunkten ($C_{GE,ext} = 20 \text{ nF}$)	187
A.17 Transiente Überspannungen beim MOSFET-geführten Abschalten mit Pulsmuster 2 ($C_{GE,ext} = 20 \text{ nF}$)	188
A.18 Aufteilung der Abschaltverluste bei Pulsmuster 2 ($U_{DC} = 900 \text{ V}$, $T_j = 125^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$)	189
A.19 Simulation: Abschalten des Hybridschalters mit Pulsmuster 3 ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = 6 \mu\text{s}$)	189
A.20 Abschalten des <i>low-sat</i> Hybrids mit Pulsmuster 3 mit verschiedenen Zeiten $t_{V,P3,1}$ ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = 6 \mu\text{s}$)	190
A.21 Oszillationen beim Abschalten des <i>low-sat</i> Hybrids mit Pulsmuster 3 mit geringer Zeit für $t_{V,P3,2}$ ($I_L = 200 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = 6 \mu\text{s}$)	190
A.22 Reverse-Recovery beim Einschalten des <i>fast</i> Hybrids mit externer Gatekapazität ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125^\circ\text{C}$, $t_V = 2 \mu\text{s}$)	191
A.23 Beeinflussung der Oszillationen beim Reverse-Recovery des Full-SiC durch Anheben der Gatespannung durch Active-Clamping ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125^\circ\text{C}$)	191
A.24 Einschalten des <i>fast</i> Hybrids mit Treiberauslegung für einen objektiven Vergleich bei einem Laststrom von 25 A bis 200 A ($I_L = 25 \text{ A}$ bis 200 A , $U_{DC} = 900 \text{ V}$, $T_j = 125^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = 2 \mu\text{s}$)	192
A.25 Reverse-Recovery des Hybridschalters und Full-Si Schalters mit <i>fast</i> IGBT ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$)	192

A.26	Thermisches Ersatzschaltbild zu Gleichung A.3	193
A.27	Schaltverluste aller vermessenen Schaltertopologien im Vergleich unter Nennbedingungen	194
A.28	Einfluss der Kühlwassertemperatur auf den maximalen Ausgangsstrom (Super-Sinus-Dreieck Modulation, $M = 2/\sqrt{3}$, $\cos \varphi = 0.85$, $T_a \in [30^\circ\text{C}, 80^\circ\text{C}]$)	196
A.29	Reduzierter Schaltplan des ereignisgesteuerten Treibers zu Gleichung 6.2	197
A.30	Geringe Sensitivität des ereignisgesteuerten Treibers gegenüber dem Laststrom I_L , der Streuinduktivität $L_{\sigma,3}$ im Lastpfad, dem Entladewiderstand R_5 und dem Kleinsignaltransistor T_2 (<i>low-sat</i> IGBT W9Z1, $2 \times$ SiC-MOSFET, $U_{\text{DC}} = 500\text{ V}$, $U_{\text{Treiber}} = 10\text{ V}$, $T_j = 25^\circ\text{C}$)	198
A.31	Ausgangsstrom des <i>low-sat</i> Hybrids mit 70 % $R_{\text{DS,on}}$ und 70 % SiC-Fläche (Wechselrichter, Flattop Modulation, $M = 2/\sqrt{3}$, $\cos \varphi = 1$, $T_a = 55^\circ\text{C}$)	199

Symbol- und Abkürzungsverzeichnis

A_{Si}	aktive Si-IGBT Chipfläche
A_{SiC}	aktive SiC-MOSFET Chipfläche
C_1	Kapazität Nr.1
$C_{\text{ge,ext}}$	externe Gate-Emitter Kapazität
D_1	Diode Nr.1
E_{off}	Abschaltverluste
$E_{\text{off},1}$	Abschaltverluste vor der Spannungsflanke, Entsättigungsverluste
$E_{\text{off},2}$	Abschaltverluste beim harten Schalten, Kommutierungsverluste
E_{on}	Einschaltverluste
E_{RR}	Verluste beim Reverse-Recovery
E_{sw}	Schaltverluste
E_y	eindimensionale elektrische Feldstärke in y-Richtung
EMI	Elektromagnetische Interferenz
ϵ	Dielektrizitätskonstante
f_G	Grundfrequenz der Ausgangsspannung des Umrichters
f_S	Schaltfrequenz
fast IGBT	auf niedrige Schaltverluste ausgelegter IGBT
FEM	Finite-Element-Methode
Full-Si	Ein nur aus Si-Halbleitern bestehender Schalter
Full-SiC	Ein nur aus SiC-Halbleitern bestehender Schalter
I_C	Kollektorstrom im IGBT
I_D	Drainstrom im MOSFET
I_E	Emitterstrom im IGBT
$I_{E,\text{Durchlass}}$	Emitterstrom im Durchlass nach der hybriden Ausgangskennlinie

$I_{\text{Modul,eff}}$	Effektivwert des Ausgangsstroms eines Moduls
I_{S}	Sourcestrom im MOSFET
$I_{\text{S,Durchlass}}$	Sourcestrom im Durchlass nach der hybriden Ausgangskennlinie
I_{tran}	Strom in transienter Messung
IGBT	Insulated Gate Bipolar Transistor
I_{hyb}	Summe aus Kollektorstrom und Drainstrom im hybriden Schalter
I_{L}	Laststrom
I_{N}	Nennstrom
j	Stromdichte
j_{p}	Löcherstromdichte
<i>low-sat</i> IGBT	auf niedrige Durchlassspannung ausgelegter IGBT
K	Konstante
L_{σ}	Streuinduktivität im Kommutierungskreis
L_{g}	Streuinduktivität im Gatekreis
L_{cl}	Streuinduktivität im Clampingkreis
MOSFET	Metal-Oxide-Semiconductor Field-Effect Transistor
M	Modulationsindex
n	Ladungsträgerkonzentration von Elektronen
$n_{\text{drift,hyb}}$	n im IGBT des hybriden Schalters
$n_{\text{drift,Si}}$	n im IGBT eines reinen Si-Schalters
$N_{\text{D}}^{+}/N_{\text{A}}^{-}$	Konzentration von Donatoren bzw. Akzeptoren
NPT	Non Punch Through
N_{S}	Skalierungsfaktor für Einzelchipmessungen
p	Ladungsträgerkonzentration von Löchern
P	Leistung
$\overline{P}_{\text{IGBT,D}}$	mittlere Durchlassverlustleistung des IGBT
$\overline{P}_{\text{IGBT,S}}$	mittlere Schaltverlustleistung des IGBT

P1, P2, P3	Abschalten mit Pulsmuster 1, Pulsmuster 2, Pulsmuster 3
q_0	Elementarladung
Q_{hart}	Ladung des IGBT beim harten Schalten
R_1	Widerstand
$R_{\text{CE,on}}$	Differentieller Widerstand der Durchlasskennlinie des IGBT
$R_{\text{DS,on}}$	Differentieller Widerstand der Durchlasskennlinie des MOSFET
$R_{\text{g,on}}$	Gatewiderstand beim Einschalten
$R_{\text{g,off}}$	Gatewiderstand beim Ausschalten
R_{th}	thermischer Widerstand
$R_{\text{th,IM}}$	R_{th} der thermischen Kopplungsmatrix, Erwärmung des IGBT durch Verluste im MOSFET
$R_{\text{th,S}}$	serieller thermischer Widerstand
SBD	Schottky Barrier Diode
Si	Silizium
SiC	Siliziumkarbid
TCAD	Technology Computer-Aided Design
T_1	Transistor Nr.1
t_{IGBT}	Zeitpunkt der Schaltflanke des IGBT
T_j	Junction-Temperatur, Sperrschichttemperatur
T_a	Kühlwassertemperatur
t_k	diskreter Zeitpunkt während einer Grundschwingung
t_{MOS}	Zeitpunkt der Schaltflanke des MOSFET
t_{Osz}	Dauer bis zum Abklingen der Oszillationen
τ_{rel}	relative Einschaltdauer
t_V	zeitlicher Versatz der Schaltsignale (siehe Abb. 4.6, 4.33)
$t_{V,P3}$	zeitlicher Versatz der Schaltsignale in Pulsmuster 3 (siehe Abb. 4.55)
U_{CE}	Kollektor-Emitter Spannung am IGBT

$U_{\text{CE,Durchlass}}$	Kollektor-Emitter Spannung am IGBT im statischen Durchlass
dU_{CE}/dt	zeitliche Ableitung der Kollektor-Emitter Spannung
$\Delta U_{\text{CE}}/\Delta t$	Flankensteilheit der Kollektor-Emitter Spannung
$U_{\text{CE,Tran}\leftarrow\text{Ausz}}$	Spannungsabfall am IGBT im transienten Verlauf, berechnet über die Ausgangskennlinie des MOSFET und Spannungsabfällen an paritären Induktivitäten
U_{DS}	Drain-Source Spannung am MOSFET
$U_{\text{DS,Durchlass}}$	Drain-Source Spannung am MOSFET im statischen Durchlass
$U_{\text{DS,Tran}\leftarrow\text{Ausz}}$	Spannungsabfall am MOSFET im transienten Verlauf, ermittelt über die Ausgangskennlinie
U_{DC}	Gleichspannung im Zwischenkreis
U_{F0}	Schwellspannung der Durchlasskennlinie des IGBT
\hat{U}_{L0}	Amplitude der Ausgangsspannung einer Phase bezogen auf den Sternpunkt
\hat{U}_{OSZ}	Amplitude von Spannungszillationen
$\hat{U}_{\text{RR,1}}$	Erste Spannungsspitze beim Reverse-Recovery
U_{th}	Schwellspannung
U_{Treiber}	Treibende Spannung des Gatetreibers
v_{Drift}	Driftgeschwindigkeit im Halbleiter
w_{RLZ}	Weite der Raumladungszone
Z_1	Transildiode Nr.1

1 Einleitung

In der Spannungsklasse der 1.7 kV-Leistungshalbleiter stehen Silizium-IGBTs (Si-IGBTs) und Siliziumkarbid-MOSFETs (SiC-MOSFETs) in direkter Konkurrenz. SiC-MOSFETs gewinnen in der Leistungselektronik zunehmend an Marktanteilen. Aufgrund der großen Bandlücke von Siliziumkarbid können sie mit einer deutlich dünneren Driftzone und einer höheren Dotierung als herkömmliche Silizium-Halbleiter gefertigt werden. Als unipolare Bauelemente zeichnen sie sich durch geringe Schaltverluste aus und ermöglichen hohe Schaltfrequenzen. Zudem bieten sie durch die geringe Dicke einen guten Durchlasswiderstand ohne Schwellspannung. Allerdings ist der Herstellungsprozess von SiC-MOSFETs teurer und komplexer. Ihr schnelles Schaltverhalten führt zu hohen Flankensteilheiten und fehlende bipolare Ladung begünstigt Oszillationen. [1], [2], [3]

IGBTs hingegen sind bereits seit einem längeren Zeitraum etabliert. Als bipolare Halbleiter bieten sie einen exzellenten Durchlasswiderstand bei hohen Lastströmen. Jedoch ist die bipolare Ladung beim Schalten der Halbleiter von Nachteil, führt sie doch zu höheren Schaltverlusten. Zusammen mit der üblichen Verwendung von Si-PiN Dioden ist ein siliziumbasiertes Leistungsmodul in seiner Schaltfrequenz limitiert.

Hybride Schalter kombinieren beide Halbleitertypen und vereinen die jeweiligen Vorteile von unipolaren und bipolaren Halbleitern. Bereits durch die Kombination von Si-IGBTs und Si-MOSFETs lassen sich attraktiv geringe Durchlass- und Schaltverluste erzielen [4], [5], jedoch ist eine sinnvolle Nutzung von Si-MOSFETs auf geringere Sperrspannungen beschränkt. Teilaspekte der für höhere Spannungsclassen vielversprechenden Kombination aus SiC-MOSFET und Si-IGBT wurden bereits in zahlreichen Studien untersucht [6], [7], jedoch nicht vollumfänglich und methodisch einheitlich. Zum Thema Hybridschalter oder dessen Ansteuerung wurden bereits in unterschiedlicher Ausführung Patente angemeldet [8], [9], [10], [11], teils unter Mitwirkung des Autors dieser Arbeit [12].

Dass ein Hybridschalter geringere Verluste und einen höheren Wirkungsgrad als siliziumbasierte Schalter erreicht, kann als gegeben angesehen werden. So misst sich der Hybridschalter folglich eher an dem effizienteren Schalter aus nur SiC-MOSFET (Full-SiC). Der Hybridschalter bietet das Potenzial, ähnliche Ausgangsströme und Wirkungsgrade wie ein Full-SiC zu erreichen. Dass dabei deutlich weniger SiC-Chipfläche verwendet werden kann, resultiert in einer kommerziellen Motivation für den Hybridschalter.

In einem Hybridschalter entstehen durch die Parallelschaltung aus IGBT und MOSFET eine Vielzahl an Freiheitsgraden. Ein Freiheitsgrad ist die Auslegung des verwendeten IGBTs, bei der in der Regel ein Kompromiss aus gutem Durchlass und schnellem Schaltverhalten

gefunden werden muss. Die Auslegung der Halbleiter ist dafür maßgeblich, wie sich im Durchlasszustand der Laststrom in der Parallelschaltung aufteilt.

Weitere Freiheitsgrade bestehen in der Ansteuerung des Hybridschalters. Durch unterschiedliche Ansteuerungsverfahren kann bei einem Hybridschalter das Schalten gezielt vom IGBT, vom MOSFET oder auch beiden gemeinsam durchgeführt werden. Eine verbreitete Strategie ist es, zum Schalten den SiC-MOSFET zu verwenden, während ein Si-IGBT im Durchlass unterstützt.

SiC-MOSFETs können deutlich höhere Flankensteilheiten als Si-IGBTs erreichen und im direkten Vergleich geringere Schaltverluste erzielen, allerdings ist in einem Leistungsmodul zumeist durch die Kommutierungskreisinduktivität oder die Applikation die mögliche Flankensteilheit begrenzt, sodass der Vorteil einer sehr hohen Schaltgeschwindigkeit nicht vollständig ausgeschöpft werden kann. Auch Si-IGBTs können bei entsprechender Auslegung die Grenze der sinnvollen Spannungssteilheit erreichen. Die Auslegung des IGBTs wird in dieser Arbeit gemeinsam mit der Fragestellung betrachtet, welcher Schalter idealerweise das Schalten übernimmt und wie sich dies auf Schaltverluste und andere Schalteigenschaften auswirkt. Drei unterschiedliche Varianten für das Abschalten des Hybridschalters werden untersucht.

Neben den absoluten Verlusten der Halbleiter muss bei einem Hybridschalter auch in Betracht gezogen werden, in welchem Halbleiter diese umgesetzt werden. Durch die kommerzielle Motivation wenig SiC-Chipfläche zu verwenden, ergibt sich, dass bei kleiner SiC-Chipfläche über diese auch weniger Schaltverluste abgeführt werden können. In einem Leistungsmodul muss dabei zusätzlich die thermische Kopplung der Halbleiter innerhalb des Moduls mit einbezogen werden.

In dieser Arbeit wird ein Hybridschalter aus parallelem Si-IGBT und SiC-MOSFET der 1.7kV Spannungsklasse experimentell untersucht. Dabei wird ein skaliertes Versuchsaufbau für Einzelchips verwendet, der die elektrischen Eigenschaften eines Leistungsmoduls nachbildet. Durch die Freiheitsgrade des skalierten Aufbaus lassen sich unterschiedliche Kombinationen aus Einzelchips unter gleichen Randbedingungen untersuchen und miteinander vergleichen. Neben dem Hybridschalter werden nach der gleichen Methodik ebenfalls Schalter mit Si-IGBT und Si-PiN-Diode (Full-Si) sowie ein Schalter nur mit SiC-MOSFET untersucht. Für einen Vergleich aller Schaltervarianten werden Randbedingungen für eine Treiberauslegung definiert, die auf alle Schalter gleichermaßen angewendet werden. Eine Besonderheit dieser Randbedingungen ist die Begrenzung der Steilheit der Spannungsflanke.

Der untersuchte Hybridschalter hat ein festes Chipflächenverhältnis, wobei die SiC-Chipfläche ungefähr ein Drittel der gesamten Chipfläche ausmacht. Dieser vergleichsweise hohe SiC-Anteil ist durch den Verzicht auf eine zusätzliche Diode begründet. Dennoch ergibt sich ein kommerzieller Vorteil, da insgesamt nur halb so viel SiC-Chipfläche verwendet

wird wie bei einem zum Vergleich herangezogenen Full-SiC Modul. Für die Untersuchung werden verschiedene IGBT-Varianten mit unterschiedlicher Auslegung betrachtet, die jeweils mit demselben SiC-MOSFET kombiniert werden.

Das Schaltverhalten der Parallelschaltung aus Si-IGBT und SiC-MOSFET wird detailliert analysiert, wobei die Unterschiede zu Full-Si- und Full-SiC-Schaltern hinsichtlich Schaltverluste, Flankensteilheit und Oszillationen herausgearbeitet werden. Für das Abschalten des Hybridschalters werden drei Pulsmuster in Betracht gezogen. Das erste Pulsmuster kann mit geringem Aufwand bereits durch harte Parallelschaltung beider Schalter umgesetzt werden, ist in der Literatur jedoch auf Grund begrenzter Schaltgeschwindigkeit unterrepräsentiert. Das zweite Pulsmuster ist in der Literatur dagegen oft vertreten. Diese Arbeit ergänzt vorhandene Erkenntnisse durch einen Vergleich der Pulsmuster untereinander unter gleichen Randbedingungen und zeigt auf, unter welchen Bedingungen und für welche IGBT dieses Pulsmuster vorteilhaft ist. Auch wird erstmalig das Auftreten von dynamischem Avalanche bei diesem Pulsmuster aufgezeigt. Als Herausforderung dieses Pulsmusters wird das Auftreten von Inter-Chip Oszillationen zwischen parallel geschalteten SiC-MOSFETs innerhalb eines Leistungsmoduls identifiziert. Weiterhin wird ein neu entwickeltes drittes Pulsmuster vorgestellt, welches das Auftreten von Inter-Chip Oszillationen vermeidet, während es ebenfalls sehr niedrige Schaltverluste erzielt. Für das Einschalten des Hybridschalters wird der Si-IGBT verwendet. Vorteilhaft ist, dass hierdurch die Schaltverluste in der größeren Si-Chipfläche umgesetzt werden. Die Einschaltgeschwindigkeit wird dabei mit Berücksichtigung des Schaltverhaltens beim Reverse-Recovery ausgelegt.

Eine Quantifizierung des Potenzials eines hybriden Leistungsmoduls erfolgt durch die Berechnung des maximalen Ausgangsstroms und des Wirkungsgrades eines Wechselrichters mit leistungsstarker Wasserkühlung. Zudem werden optimale Betriebsbedingungen und ein vorteilhaftes Modulationsverfahren für den Hybridschalter identifiziert. Durch die Anwendung der gleichen Methodik auf alle Schalter wird ein objektiver Vergleich der verschiedenen Schalter untereinander ermöglicht, dieser Aspekt fehlt häufig in der Literatur.

Die Freiheitsgrade der Ansteuerung des hybriden Leistungsmoduls bedingen gleichermaßen einen Mehraufwand in der Ansteuerung, um optimales Schaltverhalten zu erzielen. Dieser Herausforderung wird mit der Entwicklung einer Treiberschaltung begegnet, durch die der Hybridschalter durch ein einzelnes Eingangssignal angesteuert werden kann.

Eine weitere Herausforderung bei der Nutzung des Hybridschalters besteht darin, mit der geringeren Kurzschlussfestigkeit des SiC-MOSFETs umzugehen. Die entwickelte Treiberschaltung begrenzt im Kurzschlussfall den Kurzschlussstrom auf den IGBT, sodass die Kurzschlussrobustheit des Hybridschalters vom robusteren IGBT definiert wird. Eine Validierung erfolgt durch Kurzschlussmessungen im skalierten Aufbau.

Kapitel 2 dieser Arbeit fasst die vorhandene Literatur zum Thema Hybridschalter zusammen. Dabei werden zentrale Aspekte herausgegriffen, um die in der Literatur behandelten Schwerpunkte darzustellen und Unterschiede zu dieser Arbeit herauszuarbeiten.

Im 3. Kapitel wird die verwendete Methodik erläutert. Der Hybridschalter wird durch eine Kombination aus Einzelchips auf separaten Substraten zusammengefügt. Dabei werden IGBTs unterschiedlicher Eignung für den Hybridschalter untersucht und charakterisiert. Auslegungskriterien für die Treiberschaltung werden diskutiert und festgelegt. Es erfolgt eine Begrenzung transienter Überspannungen durch eine Active-Clamping Schaltung, während dynamischer Avalanche vermieden und eine maximale Flankensteilheit definiert wird.

In dem umfangreichsten Kapitel 4 werden die im skalierten Aufbau gewonnenen Messergebnisse zum Durchlass- und Schaltverhalten des Hybridschalters präsentiert und analysiert. Es beginnt mit dem Durchlassverhalten, betrachtet danach 3 unterschiedliche Varianten für das Abschalten des Hybridschalters, gefolgt vom gemeinsam betrachteten Einschalten und Reverse-Recovery. Für den Hybridschalter werden eine Vielzahl von IGBTs in Betracht gezogen, detaillierte Darstellungen und Untersuchungen begrenzen sich jedoch auf zwei Extreme der zur Verfügung stehenden IGBTs: Auf einen auf niedrigen Durchlass ausgelegten IGBT (*low-sat* IGBT) und auf einen schnell schaltenden IGBT (*fast* IGBT). Die im Detail untersuchten Hybridschalter werden jeweils mit Full-Si und Full-SiC verglichen, Unterschiede der Schaltverluste werden erklärt. Zusammen mit Full-Si und Full-SiC Schaltern werden in diesem Kapitel insgesamt 5 verschiedene Halbleiterkombinationen untersucht. In Kombination mit den verschiedenen Pulsmustern beim Abschalten stehen als Ergebnis des Kapitels die Durchlass- und Schalteigenschaften von 8 unterschiedlichen Varianten zur Verfügung.

In Kapitel 5 wird das Potenzial eines hybriden Leistungsmoduls quantifiziert. Mit den experimentell ermittelten Ausgangskennlinien und Schaltverlusten für die verschiedenen Schaltvarianten wird der maximale Ausgangsstrom in Abhängigkeit der Schaltfrequenz und der Wirkungsgrad für den Einsatz in einem dreiphasigen Spannungszwischenkreisrichter berechnet.

In Kapitel 6 wird eine ereignisgesteuerte Treiberschaltung für den Hybridschalter vorgestellt. Schaltmessungen im nominalen Betrieb sowie im Kurzschlussfall I und Kurzschlussfall II werden gezeigt. Die vorteilhafte Wirkung eines SiC-MOSFETs mit reduziertem Durchlasswiderstand aufgrund von nicht notwendiger Kurzschlussfestigkeit wird theoretisch betrachtet, Wirkungsgrad und maximaler Ausgangsstrom werden berechnet.

Die Arbeit schließt mit einer Zusammenfassung der Ergebnisse und einem übersichtlichen Vergleich des *low-sat* Hybridschalters und seinen unterschiedlichen Abschaltstrategien zu den Full-Si und Full-SiC Schaltern.

Die in dieser Arbeit dargestellten Ergebnisse wurden in Teilen bereits durch den Autor veröffentlicht. In [13] wird ein Hybridschalter für Leistungsmodule mit schnell schaltendem IGBT vorgestellt, der IGBT wird zum Schalten verwendet. Das Erreichen hoher Spannungssteilheiten wird demonstriert. In [14] werden IGBTs unterschiedlicher Auslegung für den Hybridschalter verwendet. Der Hybridschalter verwendet eines der drei in dieser Arbeit untersuchten Pulsmuster und wird in seiner Leistungsfähigkeit mit herkömmlichen Schaltern verglichen. Eine ereignisgesteuerte Treiberschaltung für die Ansteuerung des Hybridschalters und verbessertes Verhalten im Kurzschlussfall I wird erstmals in [15] präsentiert. Die Untersuchung des Kurzschlussfalls II des Hybridschalters und eine notwendige Erweiterung der Treiberschaltung wird in [16] ergänzt.

2 Forschungsstand und Einordnung der Arbeit

Der Fokus dieser Arbeit ist ein hybrider Leistungsschalter bestehend aus einer Parallelschaltung eines Si-IGBTs mit einem SiC-MOSFET, bezeichnet als Si-SiC Hybridschalter (Si-SiC Hybrid). Dabei ist der Begriff des Si-SiC Hybridschalters in der Literatur nicht eindeutig einer bestimmten Bauteilkonstellation zuzuordnen. Der Begriff Si-SiC Hybridschalter an sich spezifiziert lediglich die Verwendung beider Halbleitermaterialien für einen Leistungsschalter, die Auswahl der Bauelemente unterscheidet sich in der Literatur jedoch. Eine Übersicht verschiedener Hybridschalter wird in Tabelle 2.1 dargestellt. Auch Si-SiC Hybridschalter mit der selben Bauteilkonstellation werden in verschiedenen Quellen nicht immer mit dem exakt gleichen Begriff beschrieben, eine Zuordnung erfolgt in dieser Arbeit über eine römische Nummerierung. Zur Bewertung des untersuchten Hybridschalters werden zum Vergleich ein reiner Silizium Schalter bestehend aus IGBT und bipolarer Diode sowie ein reiner Siliziumkarbid Schalter mit MOSFET herangezogen (siehe Tabelle 2.2).

2.1 In der Literatur untersuchte Topologien

In Bezug auf Leistungsmodule hoher Spannungsklasse wird der Begriff Si-SiC Hybrid auch bereits für eine Kombination von Si-IGBT Schalter mit SiC-Schottkydioden verwendet (Hybrid I). Diese Variante des hybriden Schalters ist bereits gut erforscht und auch kommerziell erhältlich [6], [17], [18]. Der Hybrid I mit SiC-Diode ersetzt die bei einem Full-Si Schalter übliche bipolare Si-Diode durch eine unipolare SiC-Schottkydiode. Durch den SiC-Halbleiter kann trotz unipolarer Leitung durch eine geringe Chipdicke ein vergleichbares Durchlassverhalten erzielt werden. Vorteilhaft ist, dass der Metall-Halbleiter Übergang der Schottkydiode kaum Speicherladung aufweist, die beim Reverse-Recovery ausgeräumt werden muss. Allein die geringe Speicherladung reduziert bereits Schaltverluste in der Diode und ermöglicht zusätzlich ein schnelleres Einschalten des Transistors. Die Schaltgeschwindigkeit ist nicht mehr wie bei einer PiN-Diode durch deren maximale Momentanleistung begrenzt. Durch das schnelle Schalten ohne dämpfende Speicherladung entstehen jedoch auch neue Herausforderungen mit denen umgegangen werden muss: Überspannungsspitzen, Oszillationen und hohe Spannungssteilheiten [18].

Die Hybridschalter II bis VI verwenden alle einen Si-IGBT und SiC-MOSFET. Unterscheidungsmerkmal ist die Verwendung einer Diode bzw. ob es sich bei dieser um einen Si- oder SiC-Halbleiter handelt. Die vorhandene Literatur zu diesen Si-SiC Hybridschaltern wird in Tabelle 2.1 dem jeweiligen behandelten Typ zugeordnet.

Tabelle 2.1: Übersicht der in der Literatur betrachteten Si-SiC Hybridschalter

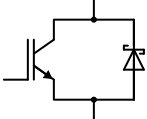
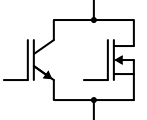
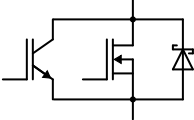
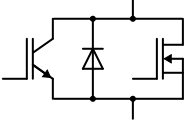
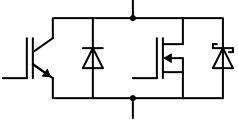
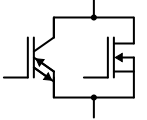
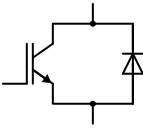
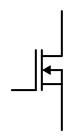
Si-SiC Hybridschalter				
Name	Si-Komponente	Schaltbild	SiC-Komponente	Literatur
Hybrid I	IGBT		Schottkydiode	[17], [18], [19], [20], [21], ...
Hybrid II	IGBT		MOSFET	[13], [14], [15], [16], [20], [21], [22], [23], [24], [25], [26], [27], [28], [29]
Hybrid III	IGBT		MOSFET & Schottkydiode	[30], [31], [32], [33], [34], [35], [36], [37], [38], [39], [40], [41], [42], [43], [44], [45], [46], [47], [48], [49], [50], [51], [52],
Hybrid IV	IGBT & PiN-Diode		MOSFET	[53], [54], [55], [56], [57], [58], [59], [60], [61], [62], [63], [64], [65], [66], [67], [68], [69], [70], [71], [72], [73]
Hybrid V	IGBT & PiN-Diode		MOSFET & Schottkydiode	[74]
Hybrid VI	RC-IGBT		MOSFET	[33], [75], [76], [77]

Tabelle 2.2: Zum Vergleich herangezogene nicht hybride Leistungsschalter

Nicht hybride Schalter zum Vergleich			
Name	Si-Komponente	Schaltbild	SiC-Komponente
Full-Si	IGBT PiN-Diode		-
Full-SiC	-		MOSFET

Die Verwendung einer Diode bzw. ihr Fehlen ist maßgebend nicht nur für die Durchlasskennlinie im Rückwärtsbetrieb, sondern auch für das Einschaltverhalten des hybriden Schalters. Durch ihr Reverse-Recovery-Verhalten werden Schaltgeschwindigkeit und somit Einschaltverluste mitbestimmt. Dabei wird in der Literatur die verwendete Freilaufdiode und ihr Wirken auf den Hybridschalter nicht immer mitbetrachtet, teilweise fehlt diese Betrachtung gänzlich [30], [37], [43], [78], [79], [80].

Die Hybridschalter II verzichten auf eine zusätzliche antiparallele Diode. Sie sind grundsätzlich in der Lage Strom in Rückwärtsrichtung zu leiten. Im ausgeschalteten Zustand geschieht dies durch die Bodydiode des SiC-MOSFETs, im eingeschalteten Zustand ist der Kanal des SiC-MOSFETs auch in Rückwärtsrichtung leitend. Die Rückwärtsleitfähigkeit des Si-SiC Hybridschalters ist ohne zusätzliche Freilaufdiode also allein durch den SiC-MOSFET bestimmt und hängt daher maßgeblich von der Chipfläche des SiC-MOSFETs ab. Andererseits ist die gesamte verwendete Halbleiterfläche am Durchlass im Vorwärtsbetrieb beteiligt. Diese Variante des Hybriden wird in der Literatur eher unterrepräsentiert. Diese Arbeit widmet sich hauptsächlich diesem Typen, eigene Veröffentlichungen dazu sind in 2.1 farbig markiert ([13], [14], [15], [16]). Der SiC-MOSFET hat ein ähnliches Reverse-Recovery-Verhalten wie eine SiC-Schottkydiode [20], [21], mit wenig Speicherladung, aber einer Neigung zu hohen Spannungssteilheiten und Oszillationen.

Weit verbreitet ist die Verwendung einer zusätzlichen SiC-Schottkydiode: Hybridschalter III. Zumeist wird in der Literatur diese zusätzliche Diode lediglich in Schaltversuchen als Freilaufdiode angegeben oder ihre Betrachtung erfolgt nur am Rande von Einschaltvorgängen [32], [34], [40], [42].

Aufgrund von höheren Kosten von SiC-Halbleiterfläche im Vergleich zu Silizium Halbleitern entsteht die Motivation, die SiC-MOSFET Fläche zu minimieren [34]. Bei einem Hybrid-

schalter mit sehr geringer SiC-MOSFET Fläche ist die Verwendung einer zusätzlichen Diode unabdingbar [61]. Die negativen Auswirkungen von einer minimierten SiC-MOSFET Fläche auf die Rückwärtsleitfähigkeit wird dabei in der Literatur nicht detailliert betrachtet.

Die Hybridschalter IV verwenden eine Si-Diode, um größere Ausgangsströme und geringere Durchlassspannungen im Rückwärtsbetrieb bereit zu stellen [53], [56]. Beim Einschalten muss jedoch die bipolare Speicherladung der Diode ausgeräumt werden, wodurch hohe Einschaltverluste entstehen. In [54] wird durch eine induktive Entkopplung der Si-Diode vom SiC-MOSFET die Auswirkung der bipolaren Ladung reduziert. In [55] werden Hybridschalter mit verschiedenen Si-Dioden experimentell untersucht.

Des Weiteren werden in der Literatur Hybridschalter (Hybrid V) sowohl mit SiC-Diode als auch mit Si-PiN-Diode in [74] betrachtet. Auch hier wird eine eher kleine SiC Chipfläche verwendet. Im Diodenmodus teilt sich der Strom auf beide Dioden sowie den SiC-MOSFET auf. Das Schaltverhalten der Dioden wird nicht dargestellt. Bei einer großen Chipfläche von Si-Dioden ist jedoch bei hohem Laststrom zu erwarten, dass eine große Speicherladung beim Reverse-Recovery auszuräumen ist, was das Einschaltverhalten und Reverse-Recovery dominiert.

Die Hybridschalter VI verwenden statt einer zusätzlichen Diode einen rückwärtsleitfähigen IGBT (RC-IGBT). Der Laststrom teilt sich sowohl im Vorwärts-, als auch im Rückwärtsbetrieb zwischen Si- und SiC-Chipfläche auf. Der RC-IGBT baut im Diodenmodus wie eine Si-PiN-Diode bipolare Speicherladung auf, diese fällt im Hybridschalter geringer aus als in einem nur aus RC-IGBT bestehenden Si-Schalter. Beim Reverse-Recovery ist die auszuräumende Ladung jedoch weiterhin deutlich größer als bei einem SiC-MOSFET und die entstehenden Verluste fallen in [33] um den Faktor 6, in [75] sogar um den Faktor 20 größer aus.

2.2 Spannungsklasse und Package

In dieser Arbeit werden Halbleiter der 1.7kV-Spannungsklasse untersucht. Für diese Sperrspannung werden sowohl Halbleiter in einer diskreten Bauform, als auch in Leistungsmodulen angeboten. Im Sperrspannungsbereich 600 V bis ca. 2 kV ist es daher möglich, einen Hybridschalter sowohl aus parallel geschalteten diskreten Halbleitern aufzubauen, als auch beide Halbleiterarten innerhalb eines Moduls parallel zu schalten.

Bei der Parallelschaltung von Si-IGBT und SiC-MOSFET kommt es je nach Ausgangskennlinie zu einer Aufteilung des Laststroms, wenn beide Bauteile eingeschaltet sind. Durch unterschiedliche Schaltgeschwindigkeiten oder bewusster Verzögerung durch die Ansteuerung kommt es beim Schalten zu Kommutierungsvorgängen zwischen den parallel geschalteten Bauteilen. Mit der Auswahl der Bauform wird auch die Beschaffenheit dieses Kommutierungspfades bestimmt. Bei der Platzierung der Bauteile innerhalb eines Moduls

ist eine geringere parasitäre Induktivität zwischen den parallelen Halbleitern zu erwarten als bei der Verwendung von mehreren diskreten Halbleitern. Das Thema der Induktivität im Kommutierungskreis wird in der Literatur nur vereinzelt betrachtet. Im Allgemeinen erhöht eine große Induktivität in diesem inneren Kommutierungskreis beim Abschaltvorgang das Überschwingen des Stroms und verursacht Oszillationen von Strom und Spannung. In [81] wird der Resonanzkreis aus Ausgangskapazität der Halbleiter und der parasitären Induktivität im Kommutierungskreis analytisch beschrieben und experimentell überprüft. Beim Einschaltvorgang verzögert eine hohe parasitäre Induktivität das Erreichen der statischen Stromverteilung [43].

Tabelle 2.3 vermittelt einen Eindruck, welche Spannungsklassen und Bauformen in der Literatur vorrangig untersucht wurden. Der Großteil der vorhandenen Literatur beschäftigt sich zumeist mit Schaltern aus dem Spannungsbereich von 600 V bis 1200 V. Dies kann auch allein schon durch die einfachere Verfügbarkeit von SiC-MOSFETs in dieser Spannungsklasse begründet werden. Weiterhin gibt es einzelne Quellen zu den Spannungsklassen 3.3 kV und 6.5 kV. Die in dieser Arbeit untersuchte Spannungsklasse von 1.7 kV-Halbleitern ist in der Literatur in Bezug auf den Hybridschalter unterrepräsentiert, eigene Veröffentlichungen sind in Tabelle 2.3 farbig markiert.

Tabelle 2.3: Zuordnung der Literatur zu Spannungsklasse und Bauform von experimentell untersuchten Hybridschaltern

Spannungsklasse	Literatur		
	Diskretes / separates Package	Modul / gemeinsames Substrat	rein simulativ
600 V bis 750 V	[25], [30], [31], [43], [44], [68], [70]	[23], [53], [54], [55], [73]	
1.2 kV	[20], [21], [22], [26], [27], [28], [34], [46], [47], [48], [49], [50], [51], [52], [56], [57], [58], [59], [60], [61], [67], [69], [71], [72], [76], [77], [78], [79], [80], [82], [83], [84], [85], [81], [29]	[32], [33], [37], [38], [39], [40], [62], [63], [64], [65], [66],	[24], [74]
1.7 kV		[13], [14], [15], [16], [45]	
3.3 kV	[29]	[33], [42], [75],	
6.5 kV	[35], [36]		

Zum einen erfolgt eine Untersuchung auf Basis von individuell gefertigter Substrate, auf denen sowohl Si als auch SiC Bauteile aufgebracht sind [32], [33], [37], [75]. Teilweise werden hybride Module als Prototypen angefertigt [38], [39], [45], [62], [63], [64], [65], [66], [73]. Vereinzelt werden diskrete Chips mit zusätzlicher Induktivität auf das Verhalten eines

Moduls hochskaliert [53], [54], [55]. Deutlich überwiegend werden einzelne diskrete Chips auf Leiterplatten ohne Skalierung parallel geschaltet (siehe Tabelle 2.3).

Im Allgemeinen wird ein Hybridschalter in den Literaturquellen neben analytischer Betrachtung und Simulationen fast immer auch experimentell untersucht. Während experimentelle Untersuchungen sich bei höheren Spannungsklassen mit Modulen und gemeinsamen Substraten zumeist auf Doppelpulsversuche beschränken (z.B. [32], [35], [43]), werden bei diskreten Bauteilen niedriger Spannungsklassen oft auch Untersuchungen mit Dauerversuchen durchgeführt. Dabei verteilen sich die untersuchten Topologien auf einphasige Umrichter ([20], [21], [26], [27], [28], [54], [56], [68], [80], [86]), dreiphasige Umrichter ([22], [25], [61], [64], [69], [76]) sowie auf Hochsetzsteller ([44], [50], [52], [79]) und Tiefsetzsteller ([30], [34], [38], [51], [59], [71], [81], [85]), selten auch Resonanzwandler ([29]). Vereinzelt werden vollständige hybride Module entwickelt und experimentell im Umrichterbetrieb getestet ([64]).

2.3 Verhältnis der Chipflächen

Bei der Kombination von Si-IGBT und SiC-MOSFET zu einem gemeinsamen Schalter besteht ein Freiheitsgrad in dem Größenverhältnis der miteinander kombinierten Chips. In Abbildung 2.1 ist der Anteil der SiC-MOSFET Fläche aufgetragen, der in der Literatur betrachtet wird, eigene Arbeiten sind rot markiert. Zumeist werden dabei nicht die tatsächlich verwendeten Chipflächen angegeben, hilfsweise ist das genannte Verhältnis der Nennströme aufgetragen. Das Verhältnis des Nennstroms ist in der Regel größer als das Verhältnis der Chipflächen, beispielsweise werden in [33], [34] Daten für beide Parameter angegeben. Auch die in dieser Arbeit verwendeten Halbleiter haben ein größeres Verhältnis der Nennströme als der Chipflächen. Bei den in der Literatur untersuchten Hybridschaltern liegt der Anteil des SiC-MOSFET am Gesamtnennstrom bei 10 % bis 60 %, der Anteil der SiC-Chipfläche an der Gesamtfläche bei 10 % bis 50 %. In der Literatur tritt eine Häufung bei einem Nennstromanteil im Bereich von 20 % bis 30 % auf.

Das Flächenverhältnis des Hybridschalters hat Einfluss auf die Stromverteilung beider Schalter, damit wird sowohl das Durchlassverhalten, als auch das Schaltverhalten maßgeblich beeinflusst. Mehrere Quellen beschäftigen sich mit einer Optimierung des Flächenverhältnisses. In [41] wird die Abhängigkeit der Abschaltverluste und der Verteilung der Verluste auf beide internen Schalter aufgezeigt. In mehreren Quellen wird die SiC-MOSFET Fläche minimiert, dies geschieht meist aus der Motivation heraus, durch eine Reduktion der kostenintensiven SiC-Chipfläche die Kosten des Gesamtschalters zu minimieren. Dabei wird vorwiegend ein fest ausgewählter IGBT mit SiC-MOSFETs verschiedener Größe kombiniert. In [25], [43], [44], [69] wird dabei mit einem Verlustmodell für verschiedene Kombinationen aus diskreten Halbleitern die unter den erwarteten Einsatzbedingungen maximal erreichte Sperrschichttemperatur des SiC-MOSFETs ermittelt und der kleinste SiC-MOSFET aus-

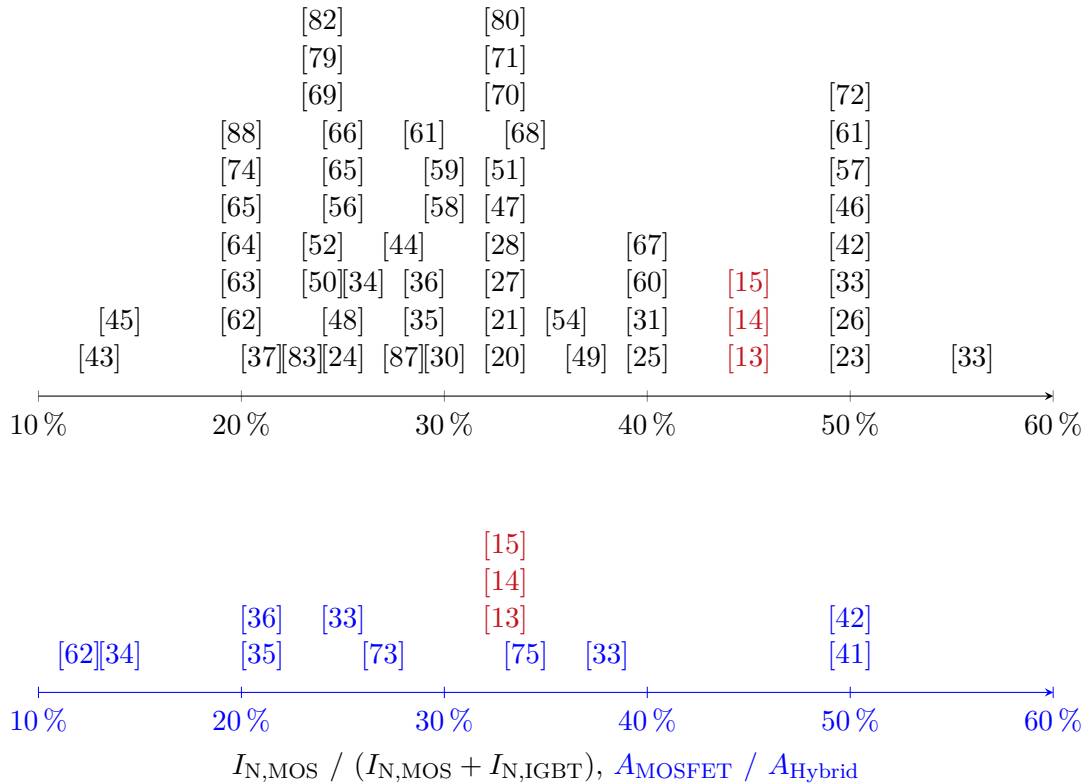


Abbildung 2.1: Verhältnis der Chipflächen oder des Nennstroms von in der Literatur untersuchten Hybridschaltern (Diode nicht berücksichtigt)

gewählt, der mit seiner Sperrschichttemperatur unter dem erlaubten Maximum liegt. In [34] liegt der Fokus gänzlich auf diesem Auswahlverfahren und dabei wird zusätzlich die Abhängigkeit des optimalen Schaltversatzes beim Abschalten vom Flächenverhältnis mit einbezogen. In [22] wird bei einem fest gewählten diskreten SiC-MOSFET die verwendete Si-IGBT Fläche variiert und der IGBT mit kleinster Fläche aufgrund geringster Schaltverluste ausgewählt. Das optimierte Flächenverhältnis ist dabei zumeist nur für diesen konkreten Anwendungsfall gültig und wurde in der Literatur nur mit diskreten Halbleitern ermittelt.

Eine weitere Variante der Variation des Flächenverhältnisses wird in [76] und [77] präsentiert. Hier werden eine Vielzahl diskreter Chips mit individueller Ansteuerung parallel geschaltet. Durch gezielte Ansteuerung von mehr oder weniger der parallel geschalteten Halbleitern kann so das Flächenverhältnis variiert werden. Nachteilig ist ein deutlich größerer Ansteuerungsaufwand.

Für die experimentellen Untersuchungen in dieser Arbeit wird ein neuer Ansatz gewählt. Das Flächenverhältnis im Hybridschalter wird festgelegt. Jedoch wird der Einfluss der Stromverteilung im Hybridschalter anhand von unterschiedlich ausgelegten Si-IGBTs variiert (siehe Kapitel 3.2).

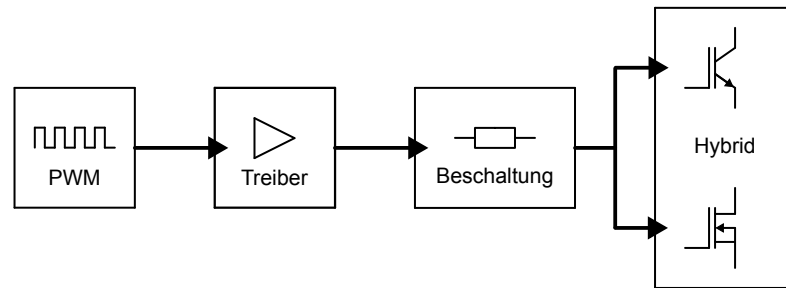
2.4 Ansteuerung des Hybridschalters

Da der Hybridschalter aus zwei Halbleitern mit unterschiedlichen dynamischen und statischen Eigenschaften besteht, bietet dieser die Möglichkeit eine Vielzahl unterschiedlicher Ansteuerungskonzepte zu verwenden. Dies geschieht aus mehreren Motiven. Die größte Priorität hat dabei zumeist die Reduktion der auftretenden Schaltverluste bzw. die Erhöhung der Schaltfrequenz, ebenfalls auch Überlastfähigkeit oder Kostenreduktion. Weiterhin ist die Komplexität und der Umsetzungsaufwand der Ansteuerungen mit einzubeziehen. Diese Arbeit beschränkt sich auf die Betrachtung von Spannungsquellentreibern mit Gatewiderstand.

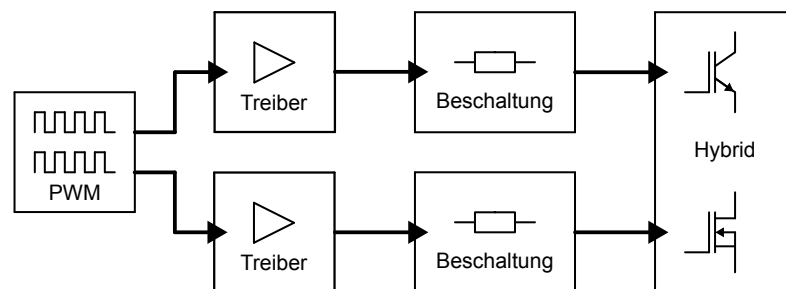
In Abbildung 2.2 sind verschiedene Möglichkeiten zur Ansteuerung dargestellt. Abbildung 2.2a zeigt die direkte Verbindung beider Gateanschlüsse der Halbleiter. Ein Gegensatz dazu stellt Abbildung 2.2b dar, hier werden zwei separate PWM-Signale bereit gestellt, es werden separate Treiber und Beschaltungen verwendet. Eine weitere Form ist die Verwendung von nur einem Ansteuersignal, einem gemeinsamen Treiber und Beschaltung (2.2c). Die Gateanschlüsse der Halbleiter sind nicht direkt miteinander verbunden, über die Beschaltung werden sie individuell angesteuert. Die Beschaltung kann dabei im einfachsten Fall aus Gatewiderständen bestehen. Bei der Ansteuerung von Modulen besteht die Möglichkeit, die Beschaltung extern zu realisieren oder in das Modul zu integrieren.

Die einfachste Realisierung einer Ansteuerung für einen Hybridschalter besteht in einem gemeinsamen herkömmlichen Gatetreiber (Spannungsquelle und Gatewiderstand) für beide Schalter und einer Zusammenschaltung beider Gateanschlüsse nach Abbildung 2.2a. Bei dieser "harten" Zusammenschaltung wird ein gemeinsamer Gatewiderstand verwendet [33], [40], [73], [75]. Dadurch wird bei dieser Variante das dynamische Schaltverhalten allein durch die Eigenschaften der Leistungshalbleiter bestimmt wie z.B. der Eingangskapazität oder der Thresholdspannung. Bereits mit dieser einfachen Ansteuerung lassen sich im Vergleich zu einem Full-Si Schalter höhere Schaltgeschwindigkeiten und geringere Verluste erzielen.

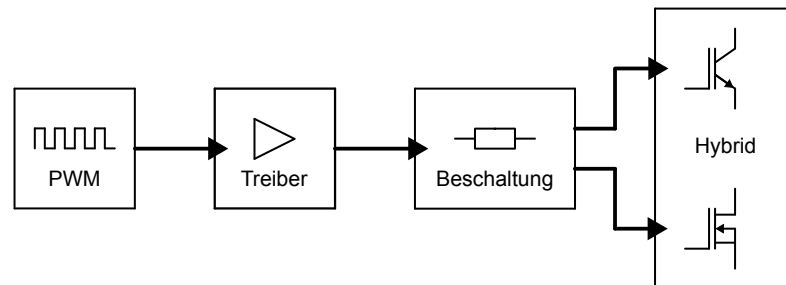
Eine erhöhte Steuerbarkeit mit einem gemeinsamen Gatetreiber kann durch die Verwendung von separaten Gatewiderständen erzielt werden [41], [42], [46]. Durch die gezielte Einstellung der Schaltgeschwindigkeiten lässt sich bereits die Schaltreihenfolge beider Schalter festlegen und so das dynamische Verhalten des Hybridschalters beeinflussen [47].



(a) "Harte" Parallelschaltung



(b) Separate Ansteuersignale



(c) Gemeinsamer Treiber, Separierung über Beschtaltung

Abbildung 2.2: Konzepte zur Ansteuerung eines Hybridschalters

Mit zwei Ansteuersignalen (2.2b), separaten Gatetreibern und individuellen Gatewiderständen lässt sich die Schaltreihenfolge unabhängig von den verwendeten Gatewiderständen festlegen (siehe Abbildung 2.3). Je nach Versatz der Schaltvorgänge teilen sich die Schaltverluste auf die beiden Schalter auf oder es findet eine Nullspannungskommütierung des einen oder des anderen Schalters statt. Diese Variante der Ansteuerung ist in der Literatur vorherrschend ([23], [25], [26], [27], [28], [29], [30], [31], [36], [37], [40], [43], [44], [45], [47], [48], [50], [51], [54], [56], [58], [59], [61], [62], [63], [64], [65], [66], [67], [68], [69], [71], [72], [77], [80], [87], [88]).

Bei frei wählbarem Schaltversatz wird in der Literatur grundsätzlich das Nullspannungsschalten des IGBTs bevorzugt. Meist wird auf die grundsätzliche Argumentation zurückgegriffen,

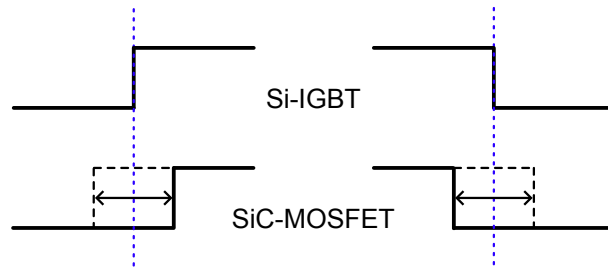


Abbildung 2.3: Versetztes Schalten von Si-IGBT und SiC-MOSFET

dass SiC-MOSFETs schneller schalten als Si-IGBTs. Untersuchungen hierzu werden mit unterschiedlichem Detailgrad ausgeführt.

Das Einschalten wird seltener und weniger detailliert betrachtet als das Ausschalten. Beim Einschalten kann wie beim Ausschalten eine Schaltreihenfolge der Halbleiter gewählt werden. Auch ein gleichzeitiges Einschalten ist möglich, dies wird z.B. in [30] detailliert betrachtet. Die geringsten Schaltverluste lassen sich bei gleichzeitiger Stromflanke in beiden Schaltern erreichen, die Stromsteilheiten addieren sich. Allerdings wird nicht beachtet, wie sich das erhöhte di/dt auf die abkommutierende Diode z.B. in Bezug auf Spannungssteilheit, Überspannungen und Oszillationen auswirkt. Auch die Möglichkeit, ob durch eine andere Treiberauslegung der IGBT oder MOSFET alleine bereits auf dieses di/dt beschleunigt werden kann, wird nicht betrachtet. In [29] wird das Forward-Recovery des IGBT im Hybridschalter beim Einschalten diskutiert.

Das zum Einschalten zugehörige Reverse-Recovery Schaltverhalten von abkommutierender Diode oder MOSFET wird nur sehr selten adressiert. In [33], [75] wird für den Hybridschalter VI mit RC-IGBTs gezeigt, wie auch beim Reverse-Recovery durch eine Stromaufteilung zwischen MOSFET und IGBT Schaltverluste reduziert werden. In [20], [21] wird ein Hybridschalter mit Schottkydiode und mit SiC-MOSFET verglichen. Dabei wird das Reverse-Recovery-Verhalten als vergleichbar angegeben. Auch hier wird nicht auf den Einfluss der Einschaltgeschwindigkeit auf das Schaltverhalten der Diode eingegangen, Schalttransienten der Spannung werden nicht abgebildet.

Beim Ausschalten des Hybridschalters mit separaten Treibern wird in der Literatur fast ausschließlich erst der IGBT abgeschaltet und verzögert der MOSFET ([23], [25], [26], [28], [29], [31], [37], [40], [45], [48], [51], [54], [56], [58], [59], [61], [62], [63], [65], [67], [68], [69], [78], [80], [88]). Abhängig von dem Schaltsignalversatz reduziert sich die verbleibende Ladung im IGBT und die Ausschaltverluste beider Schalter. Während der Verzögerungszeit muss der MOSFET den gesamten Laststrom führen. Dieses Schaltverhalten wird in der Literatur häufig detailliert betrachtet. Oft wird eine Optimierung der Verzögerungszeit angestrebt, um die Schaltverluste zu minimieren. Ein optimaler Schaltversatz liegt zu meist im Bereich von wenigen μs , sodass die Summe aus verbleibenden Schaltverlusten und zusätzlichen Durchlassverlusten im SiC-MOSFET minimal wird. Dieses Optimum

variiert mit der Spannungsklasse, dem Laststrom und der Temperatur. In der Literatur wird zwar oft detailliert der optimale Schaltversatz bestimmt, allerdings werden bei der Einstellung des Schaltversatzes ausschließlich die Schaltverluste mit einbezogen und weitere Schalteigenschaften wie auftretende Überspannung, Spannungsteilheit und Oszillationen nur teilweise ([40]) oder nicht betrachtet ([28], [30], [37], [48], [88]). Weiterhin fehlt in einigen Fällen die Darlegung, mit welchen Kriterien die Schaltgeschwindigkeit der einzelnen Schalter eingestellt wurde oder es wurden für die Gatewiderstände des Hybridschalters die Datenblattwerte der Einzelschalter verwendet ([51], [56], [58], [59], [61], [62]). Den SiC-MOSFET vor dem Si-IGBT abzuschalten bildet die Ausnahme. Dieses Konzept wird beispielsweise für einen Solid-State-Circuit-Breaker in [72] verwendet.

Die Festlegung der Schaltreihenfolge kann nicht nur über separate Treiber erfolgen. Es ist auch möglich einen Schaltversatz mit einem einzelnen Treiber und einer nachfolgenden Beschaltung nach Abbildung 2.2c zu generieren. Dabei wird zumeist eine zeitliche Verzögerung mit einem RC-Glied erzeugt und so durch die Bauteilwahl eine feste Verzögerungszeit realisiert [38], [39], [52], [62], [81], [85]. Diese Verzögerung kann auch in ein Leistungsmodul integriert werden [39].

Im Durchlasszustand werden in der Literatur fast ausschließlich Si-IGBT und SiC-MOSFET dauerhaft eingeschaltet. Ausnahmen sind in [59] und [61] zu finden. Dort wird vorgeschlagen, den SiC-MOSFET zum Schalten zu verwenden und zwischen den Schaltflanken zeitweise wieder abzuschalten. So soll eine zu große Erwärmung von eher kleinen SiC-MOSFET Flächen vermieden werden.

2.5 Weiterführende Ansteuerungskonzepte

Neben den im vorherigen Abschnitt dargelegten grundlegenden Ansteuerungskonzepten gibt es in der Literatur komplexere Konzepte der Ansteuerung. Mehrere Quellen in der Literatur verfolgen die Strategie, die Ansteuerung des Hybridschalters in Abhängigkeit des Ausgangsstroms anzupassen und vom Laststrom abhängige Parameter während des Betriebes nachzuführen.

In [56] und [74] wird dabei abhängig vom Laststrom zwischen drei verschiedenen Pulsmustern gewechselt: Alleinige Ansteuerung des SiC-MOSFETs bei geringer Last, Nullspannungsschalten des IGBTs im mittleren Lastbereich und Nullspannungsschalten des MOSFETs bei hohen Lastströmen. Abwandlungen dieser Anpassung sind in [53], [55], [57], [60] zu finden.

Eine weitere Variante des lastabhängigen Schaltens passt bei separaten Schaltsignalen für beide Halbleiter den Schaltversatz zwischen MOSFET und IGBT an. Dabei wird sich auf das Abschalten beschränkt und das Einschalten mit festgelegter Verzögerung durchgeführt. Der optimale Schaltversatz variiert mit dem Laststrom, durch eine dynamische Anpassung

der Verzögerung lassen sich die Schaltverluste weiter reduzieren [28], [52]. Dieses Verfahren lässt sich ebenfalls dazu einsetzen, über den Schaltversatz die Verteilung der Schaltverluste zwischen IGBT und MOSFET zu beeinflussen und so eine gleichmäßige Sperrschichttemperatur zu erreichen [51], [52]. Eine Steigerung der maximalen Ausgangsleistung ist möglich.

In [32], [77] wird lastabhängig variiert, welcher Anteil an parallel geschalteten, diskreten Halbleitern angesteuert wird. Im Teillastbereich wird so die IGBT-Fläche reduziert, weniger Speicherladung muss beim Schalten ausgeräumt werden.

In [27] und [86] wird eine Anpassung der Schaltfrequenz in Abhängigkeit der Last vorgeschlagen. In [86] wird bei hohen Strömen die Schaltfrequenz abgesenkt, mit dem Ziel das EMI-Spektrum zu verbessern. In [27] wird bei niedrigen Strömen der MOSFET zum Schalten verwendet und bei hohen Strömen der IGBT. Da beim Schalten mit IGBT mehr Schaltverluste auftreten, wird im Verlauf der Grundschiwingung die Schaltfrequenz kontinuierlich angepasst und so mit einer angepassten Schaltfrequenz der Anstieg der Schaltverluste im Verlauf der Grundschiwingung kompensiert.

Eine Anpassung der Gatewiderstände in Abhängigkeit des Laststroms wird in [47] vorgeschlagen.

2.6 Zusammenfassung

Bei der Kombination eines Si-IGBTs und eines SiC-MOSFETs zu einem Si-SiC Hybrid-schalter ergeben sich viele Freiheitsgrade, die in zahlreicher Literatur betrachtet werden. Es bestehen aber jeweils Bereiche, die in der Literatur nur teilweise oder bisher nicht betrachtet werden.

Die größte Anzahl an Literaturquellen basiert auf 1.2kV-Halbleitern. Schalter höherer Spannungsklassen werden seltener untersucht. Die in dieser Arbeit verwendete Spannungs-kategorie von 1.7kV wurde mit einer Ausnahme bisher nicht untersucht. Weiterhin werden zumeist diskrete Halbleiter betrachtet.

In der Literatur wird vorherrschend ein hybrider Schalter betrachtet, der neben einem Si-IGBT oder einem SiC-MOSFET zusätzlich eine Diode verwendet. Da ein SiC-MOSFET grundsätzlich rückwärtsleitfähig ist, ist die Verwendung einer zusätzlichen Diode nicht unbedingt notwendig.

Das Flächenverhältnis der in der Literatur verwendeten Chipflächen oder auch das entsprechende Nennstromverhältnis der verwendeten Halbleiter erstreckt sich über einen weiten Bereich. Allgemein wird angestrebt, wenig teure SiC-Chipfläche zu verwenden.

Untersuchungen in der Literatur beschränken sich auf einen fest gewählten IGBT. Als Ausnahme wird in [29] die Festlegung und Auswahl eines IGBTs nach experimenteller Charakterisierung diskutiert. Ein Vergleich von Hybridschaltern mit IGBTs unterschiedlicher Auslegung unter gleichen Randbedingungen ist bisher nicht bekannt und wird erstmals in dieser Arbeit vorgenommen.

Bei der Ansteuerung von Hybridschaltern wird eine Vielzahl von Lösungen verwendet. Mit einer effektiven Ansteuerung lassen sich die Schaltverluste reduzieren oder auch die Verluste auf den einen oder anderen Halbleiter verteilen. Die Schaltreihenfolge kann dabei sowohl über Gatewiderstände, Beschaltungen innerhalb oder außerhalb des Moduls oder auch über separate Treiber mit separaten Ansteuersignalen erzeugt werden. Der optimale Schaltsignalversatz ändert sich in Abhängigkeit vom Laststrom. Weiterführende Ansteuerungskonzepte greifen hierauf zurück und ermöglichen einen verlustoptimierten Betrieb in verschiedenen Arbeitspunkten.

3 Si-SiC Hybridschalter für ein Leistungsmodul

In diesem Kapitel wird die Methodik dieser Arbeit aufgezeigt. Die elektrischen Eigenschaften eines Hybridschalters im Leistungsmodul werden in experimentellen Untersuchungen mittels skaliertes Vermessung von einzelnen Halbleiterchips nachgestellt. Durch die Verwendung von Halbleitern auf separaten Substraten entsteht die Möglichkeit mit verhältnismäßig geringem Aufwand verschiedene Halbleiter miteinander zu kombinieren. Die Wahl des Flächenverhältnisses wird erläutert, die Randbedingungen für die gewählte Treiberauslegung werden aufgezeigt und diskutiert.

3.1 Flächenverhältnis: Ersetzen von Si-Dioden durch SiC-MOSFET

In der Literatur werden Hybridschalter mit unterschiedlichen Topologien und Flächenverhältnissen untersucht (siehe Kapitel 2.1 und 2.3). Dabei wird meist ein fest ausgewählter Si-IGBT mit verschiedenen SiC-MOSFET Halbleitern kombiniert. Im Folgenden wird eine andere Herangehensweise dargelegt, in einem festen Flächenverhältnis werden IGBT unterschiedlicher Auslegung verwendet.

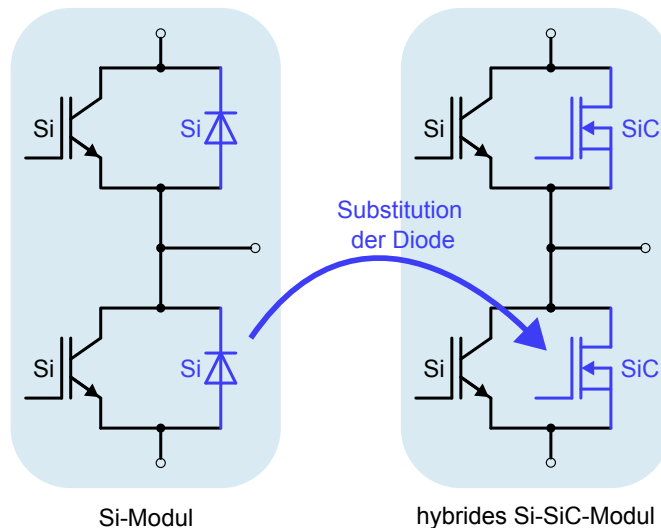


Abbildung 3.1: Hybrides Leistungsmodul: Ersetzen der Si-Dioden durch SiC-MOSFETs

In Leistungsmodulen mit Si-Technologie verteilt sich die verwendete Chipfläche in der Regel zu zwei Dritteln auf einen Si-IGBT und zu einem Drittel auf die Si-Diode. Für die Untersuchungen am Si-SiC Hybridschalter wird nun der Anteil der Si-Dioden an der gesamten Chipfläche mit SiC-MOSFET Halbleitern ersetzt (siehe Abbildung 3.1). Es

entsteht ein hybrider Leistungsschalter vom Typ II (siehe Tabelle 2.1) ohne zusätzliche Diode. Der Anteil der SiC-Fläche an der Gesamtfläche beträgt somit ein Drittel.

3.2 Experimentelle Untersuchung des Hybridschalters mit Si-IGBTs unterschiedlicher Auslegung

Für die experimentelle Untersuchung des Hybridschalters standen Muster von 1.7 kV Si-IGBTs unterschiedlicher Auslegung zur Verfügung. Sie unterscheiden sich durch drei unterschiedliche oberseitige Zellstrukturen (Z1, Z2, Z3), die auf 9 unterschiedlich prozessierten Wafern gefertigt wurden (W1 bis W9), sodass insgesamt 27 IGBTs mit unterschiedlichen Eigenschaften zur Verfügung standen. Tabelle 3.1 listet die Eigenschaften der verschiedenen Wafer auf, normiert auf Wafer W4. Die Wafer weisen den gleichen Substratwiderstand auf, mit Ausnahme von Wafer W9, bei dem dieser um 33 % erhöht ist. Die vertikale Dicke der Wafer variiert um -10% bis 30% . Ebenfalls gibt es 4 verschiedene p-Emitter Dotierungen (sehr niedrig, niedrig, mittel und hoch). Bei Wafer W5 und W6 handelt es sich um NPT-IGBT ohne Feldstoppschicht, die anderen Wafer sind mit einer Feldstoppschicht ausgestattet.

Die zur Verfügung stehenden IGBTs wurden durch Vermessung der Ausgangskennlinie und dem intrinsischen Abschaltverhalten im Doppelpulsversuch charakterisiert. Dabei wurden Randbedingungen eines Nennbetriebes in einem Leistungsmodul mit skaliertem Streuinduktivität gewählt: $U_{DC} = 900\text{ V}$, $T_j = 125\text{ °C}$, $L_\sigma = 240\text{ nH}$.

Tabelle 3.1: Wafereigenschaften untersuchter 1.7 kV Si-IGBTs

Wafer Bezeichnung	normierter Substratwiderstand	normierte Dicke	p-Emitter Dotierung	Feldstoppschicht
W1	1	1	niedrig	Ja
W2	1	1.15	niedrig	Ja
W3	1	1.3	niedrig	Ja
W4	1	1	mittel	Ja
W5	1	1.3	niedrig	Nein
W6	1	1.3	sehr niedrig	Nein
W7	1	1.15	mittel	Ja
W8	1	1.3	mittel	Ja
W9	1.33	0.9	hoch	Ja

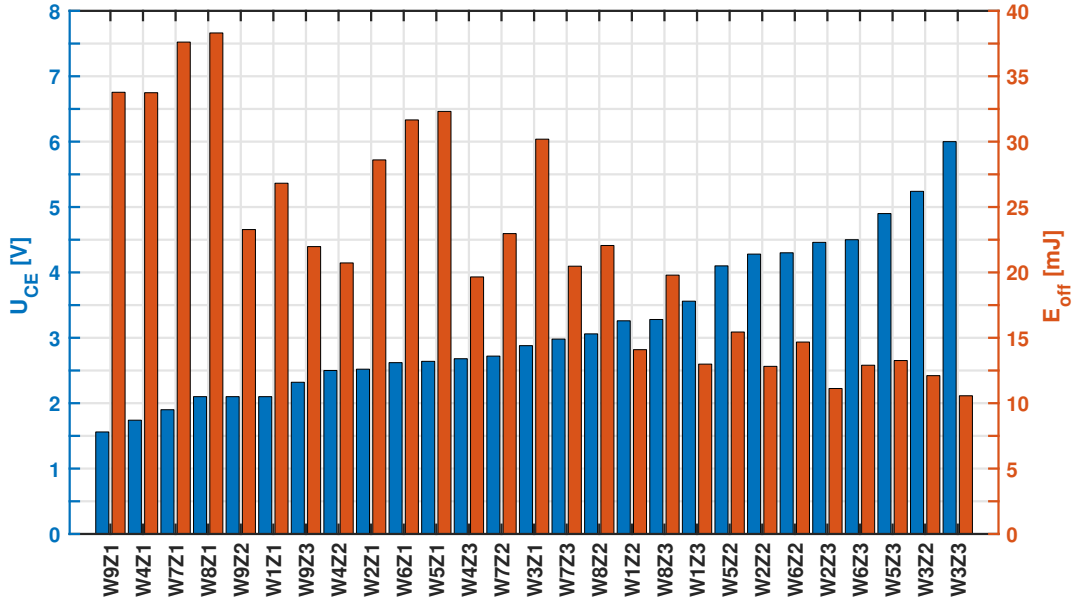


Abbildung 3.2: Durchlassspannungen und Abschaltverluste von 1.7 kV Si-IGBTs unterschiedlicher Auslegung ($I_L = 100$ A, $U_{DC} = 900$ V, $T_j = 125$ °C)

Durch die unterschiedliche Prozessierung der Si-IGBTs entsteht ein breites Spektrum von Durchlass- und Schaltverlusten. In Abbildung 3.2 sind die Durchlassspannungen und Schaltverluste der IGBTs dargestellt, sortiert nach Durchlassspannungen. Die Durchlassspannungen reichen von 1.55 V bis 6.0 V, die Abschaltverluste von 10.6 mJ bis 38.3 mJ.

Der Substratwiderstand wird durch die Dotierung des Siliziums mit Fremdatomen bestimmt. Ein erhöhter Substratwiderstand wird durch eine geringere n-Dotierung (N_D) erreicht, wodurch im Sperrzustand des IGBTs der Gradient der elektrischen Feldstärke abnimmt. Der Gradient der elektrischen Feldstärke von Wafer W9 fällt somit im Vergleich mit den anderen Wafern niedriger aus (siehe eindimensionale Poisson-Gleichung 3.1).

$$\frac{dE_y}{dy} = \frac{q_0}{\varepsilon} \cdot (p - n + N_D^+ - N_A^-) \quad (3.1)$$

Die Waferdicke, Dotierung des p-Emitters sowie die Zellstruktur des IGBTs beeinflussen gleichzeitig die Durchlassspannung und die intrinsischen Abschaltverluste. Durch diese Parameter wird die Menge an frei beweglichen Ladungsträgern (Plasma) in der Basiszone des IGBTs eingestellt. Durch die p-Emitter Dotierung und eine Feldstoppschicht wird die kollektorseitige Konzentration des Plasmas beeinflusst. Die NPT-IGBTs (W5 und W6) haben durch das Fehlen einer Feldstoppschicht eine höhere Plasmakonzentration als IGBT mit Feldstoppschicht und ähnlicher p-Emitter Dotierung (W3). Die emitterseitige Plasmakonzentration wird maßgeblich durch die Zellstruktur bestimmt, durch diese lässt sich der

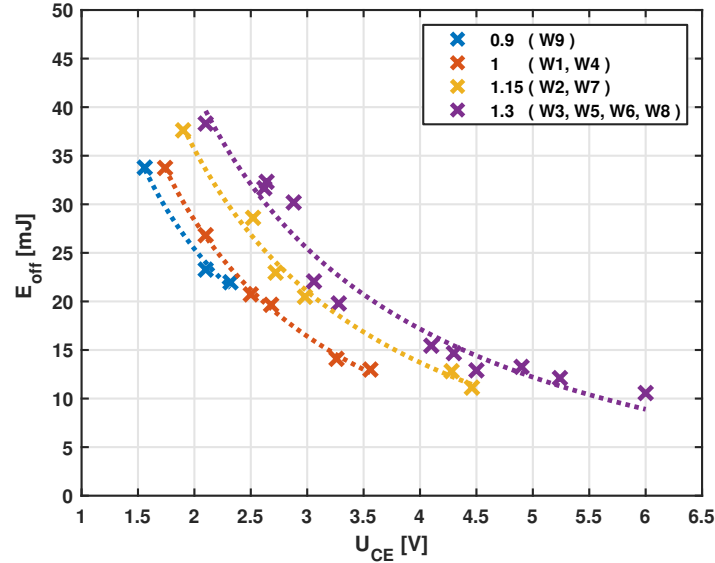


Abbildung 3.3: Trade-off zwischen Abschaltverlusten (E_{off}) und Durchlassspannung (U_{CE}) bei unterschiedlicher Waferdicke ($I_L = 100$ A, $U_{DC} = 900$ V, $T_j = 125$ °C)

n-Emitterwirkungsgrad einstellen. Eine Zellstruktur mit hohem n-Emitterwirkungsgrad erhöht die Plasmakonzentration. [2]

Generell senkt eine hohe Ladungsträgerkonzentration im IGBT die Durchlassspannung ab, erhöht jedoch die Ausschaltverluste. Zusätzlich wird durch die räumliche Ladungsträgerverteilung im IGBT bestimmt, zu welchem Zeitpunkt beim Abschalten welche Ladungsmenge ausgeräumt wird. In Abbildung 3.3 sind die Abschaltverluste in Abhängigkeit der Durchlassspannung für die unterschiedlichen Waferdicken aufgetragen. Es entsteht ein Trade-Off beider Parameter. Eine höhere Dicke des Wafers erhöht die Sperrfähigkeit, aber ebenfalls die Durchlassspannung und bei gleicher Plasmakonzentration die beim Abschalten auszuräumende Ladung, somit auch die Abschaltverluste.

In Abbildung 3.4 ist das Abschaltverhalten von IGBTs des Wafers W4 mit den drei unterschiedlichen Zellstrukturen dargestellt. Der IGBT mit Zellstruktur Z1 hat im Vergleich zu Z2 und Z3 eine deutlich erhöhte emitterseitige Plasmakonzentration. Dies verlangsamt die Abschaltgeschwindigkeit, das dU/dt fällt niedriger aus und die Schaltverluste erhöhen sich. Jedoch fällt auch die Überspannungsspitze geringer aus. Das Schaltverhalten von Z2 und Z3 ähnelt sich, die emitterseitige Plasmakonzentration von Z3 ist etwas geringer als bei Z2 mit leicht erhöhter Schaltgeschwindigkeit. Der Tailstrom ist nahezu identisch.

Im Folgenden wird der IGBT W9Z1 als *low-sat* IGBT der IGBT W6Z3 als *fast* IGBT bezeichnet. Mit diesen IGBTs wurden exemplarisch detailliertere Untersuchungen durchgeführt.

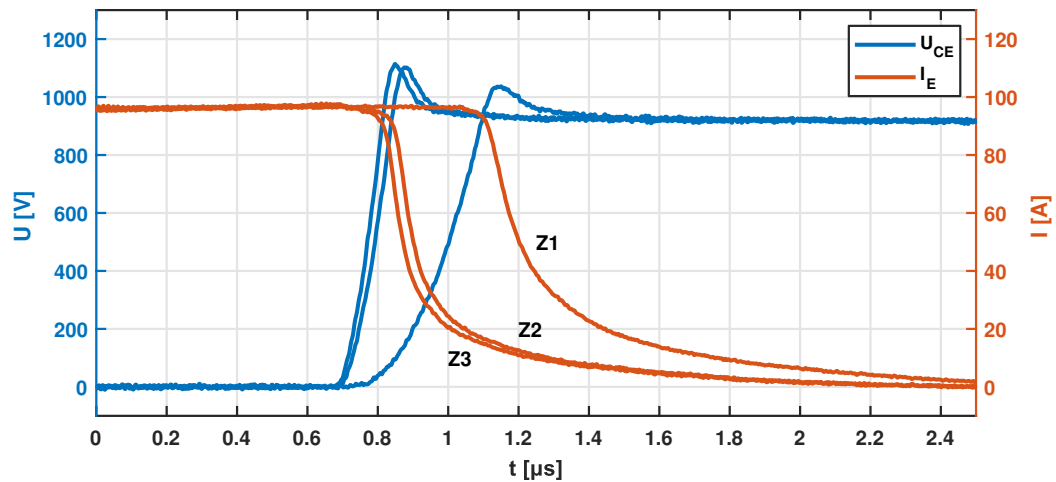


Abbildung 3.4: Einfluss der Zellstruktur auf das intrinsische Abschaltverhalten: Wafer W4 mit Zellstrukturen Z1, Z2 und Z3

Die Eigenschaften der 27 IGBTs lassen sich wie folgt zusammenfassen:

- Zellstruktur Z1 hat eine deutlich höhere vorderseitige Plasmakonzentration, Z2 eine geringfügig höhere als Z3.
- effektiver, rückseitiger Emitterwirkungsgrad innerhalb einer Waferdicke:
 - $W4 > W1$
 - $W8 > W2$
 - $W7 > W5 > W6 > W3$
- Geringe Durchlassverluste lassen sich mit den dünnen Wafern W1 und W9 mit hoher p-Emitter Dotierung erreichen.
- Geringe Schaltverluste lassen sich mit den Wafern W1, W2, W3, W5, W6 erreichen.
- Neben einer Auswahl an IGBTs mit Feldstoppschicht stehen auch zwei NPT-IGBTs (W5 und W6) zur Verfügung

3.3 Methodik der skalierten Messungen

Der experimentell untersuchte Hybridschalter wurde mit einer Kombination aus Einzelchips erstellt. Um das elektrische Verhalten eines Hochstrommoduls zu untersuchen, wurde die Methode der skalierten Messungen gewählt. Das elektrische Verhalten der Halbleiter innerhalb eines Moduls wurde in einem Prüfplatz für Einzelchips durch die Skalierung von Induktivitäten und Widerständen abgebildet. Der Skalierungsfaktor N_s entspricht dabei der Anzahl an parallel geschalteten gleichen Halbleitern.

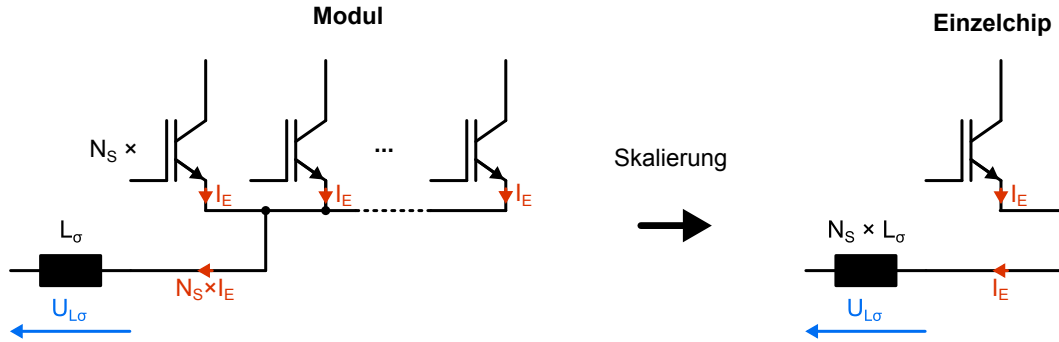


Abbildung 3.5: Skalierung der Streuinduktivität bei Einzelchippmessungen zur Nachbildung des elektrischen Verhaltens eines Moduls

Abbildung 3.5 verdeutlicht das Prinzip anhand der Streuinduktivität im Kommutierungskreis (L_σ). Durch die bewusste Skalierung der Streuinduktivität mit dem Skalierungsfaktor N_S lässt sich die Wirkung der Streuinduktivität eines Moduls auch bei Messungen mit Einzelchips nachbilden. Die Spannung $U_{L\sigma}$ tritt in gleicher Höhe sowohl im Modul als auch bei der Einzelchippmessung auf (siehe Gleichung 3.2). Die Wirkung der Streuinduktivität auf das transiente Schaltverhalten ist somit im Modul und in der Einzelchippmessung identisch.

$$U_{L\sigma} = L_\sigma \frac{d(N_S \times I_E)}{dt} = (N_S \times L_\sigma) \frac{dI_E}{dt} \quad (3.2)$$

Die Messung mit skalierten Einzelchips bietet einige Vorteile. Das Schaltverhalten eines Moduls kann evaluiert werden, ohne dass dieses bereits verfügbar ist. Es ist möglich das Verhalten eines hybriden Moduls experimentell zu erforschen, ohne dass ein hybrides Leistungsmodul dafür speziell angefertigt werden muss. Die vorhandenen Einzelchips können grundsätzlich in einer Vielzahl an Kombinationen vermessen werden. Bei durchgeführten Messungen können ebenfalls die Spannungen und Ströme nahe am Leistungshalbleiter selbst gemessen werden. Bei einer Spannungsmessung der Halbleiter wird so direkt die über dem Chip abfallende Spannung gemessen. Im Gegensatz dazu setzt sich bei einer Messung an Modulermininals die gemessene Spannung aus dem Spannungsabfall über dem Chip sowie über den parasitären Induktivitäten innerhalb des Moduls zusammen. Weiterhin ist die Messung der dynamischen Stromverteilung bei einem Aufbau eines hybriden Schalters aus zwei diskreten Halbleitern einfacher zu realisieren.

Nachteilig kann benannt werden, dass parasitäre Effekte, die vom tatsächlichen Layout des Leistungsmoduls abhängen, nur dann berücksichtigt werden können, wenn die Parasiten bzw. das Layout bereits bekannt sind. Weiterhin werden in einem Leistungsmodul die Halbleiter auf einem gemeinsamen Substrat aufgebracht. Bei einer Parallelschaltung von einzelnen Halbleitern auf jeweils eigenem Substrat vergrößert sich der Abstand zwischen den

Halbleitern und somit auch die parasitäre Induktivität im Kommutierungskreis zwischen diesen beiden parallelen Einzelchips.

Die Verwendung von skalierten Messungen ist ein etabliertes Verfahren, deren Anwendung auch in der Literatur demonstriert wird, sowohl für Si-IGBTs [89], als auch für SiC-MOSFETs unterschiedlicher Spannungsclassen([90], [91], [92], [93], [94], [95]). In [96] werden messtechnische Herausforderungen aufgezeigt und diskutiert. In [97] wird zusätzlich zur Streuinduktivität im Kommutierungskreis und im Gatekreis auch die Common-Source Induktivität skaliert. Es werden sehr gute Übereinstimmungen zwischen skalierten Einzelchipmessungen eines SiC-MOSFET und Messungen am Modul gezeigt. Skalierte Messungen für die Untersuchung eines hybriden Schalters aus Si-IGBT und SiC-MOSFET werden in [53], [54] durchgeführt.

3.4 Skalierung auf eine generische Zielapplikation

Als Skalierungsziel des untersuchten Hybridschalters wurde sich an einem 1.7 kV Modul mit Si-IGBT und Si-Diode im XHPTM2 Package orientiert (FF1800XTR17T2P5 [98]). Verschiedene Hersteller bieten Leistungsmodule mit dem gleichem Footprint an ([99], [100], [101]). Für die Festlegung eines geeigneten Skalierungsfaktors ist entscheidend, wie viele der untersuchten Einzelchips in dem gewählten Package sinnvoll platziert und parallel geschaltet werden können. Hierfür wurde sich an den Chipflächen des Moduls FF1800XTR17T2P5 orientiert. Zur experimentellen Untersuchung standen Testsubstrate der selben Geometrie und Layout zur Verfügung mit $1 \times$ Si-IGBT, $2 \times$ Si-Diode, $1 \times$ SiC-MOSFET und $2 \times$ SiC-MOSFETs. Aufgrund der Chipflächen der diskreten Halbleiter ergibt sich für die skalierten Messungen eines Hybridschalters und eines Full-Si Schalters der Skalierungsfaktor von 8, für einen reinen SiC-Schalter der Skalierungsfaktor von 32.

Tabelle 3.2: Anzahl der Halbleiter und Verhältniss der Chipflächen im Zielmodul

	vermessene Halbleiter	Chips im Modul	Aktive Chipfläche normiert auf Si-IGBT
Full-Si	$1 \times$ Si-IGBT $2 \times$ Si-Diode	$8 \times$ Si-IGBT $16 \times$ Si-Diode	1 ≈ 0.5
Hybrid	$1 \times$ Si-IGBT $2 \times$ SiC-MOSFET	$8 \times$ Si-IGBT $16 \times$ SiC-MOSFET	1 ≈ 0.5
Full-SiC	$1 \times$ SiC-MOSFET	$32 \times$ SiC-MOSFET	≈ 1

In Tabelle 3.2 sind die Anzahl der Halbleiterchips und die relativen Flächenverhältnisse aufgelistet. Der untersuchte Si-IGBT hat eine deutlich größere Chipfläche als die verwendeten Si-Dioden und SiC-MOSFETs. Für einen reinen Si-Schalter wird ein Testsubstrat mit einem IGBT mit einem Testsubstrat mit zwei Dioden kombiniert. Gleichmaßen werden für den

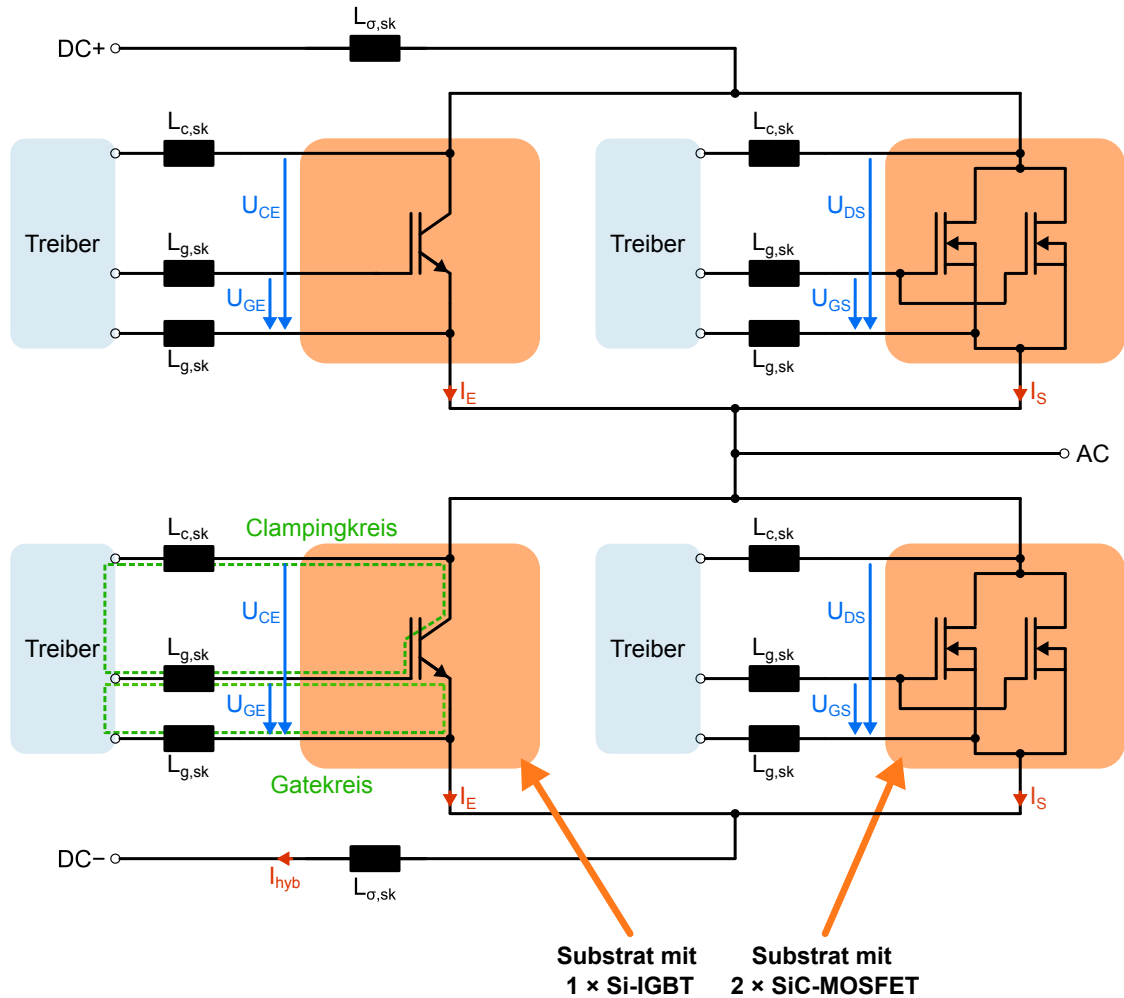


Abbildung 3.6: Halbbrücke mit Hybridschaltern aus zwei parallel geschalteten Substraten und eingebrachten Induktivitäten zur Skalierung

Hybridschalter ein Testsubstrat mit IGBT mit einem Testsubstrat mit zwei SiC-MOSFETs kombiniert. Beim Hybridschalter und beim Full-Si Schalter entfällt ungefähr ein Drittel der Chipfläche auf den SiC-MOSFET bzw. die Si-Diode.

In Abbildung 3.6 ist die verwendete Halbbrücke für skalierte Doppelpulsmessungen mit Hybridschalter dargestellt. Der Hybridschalter setzt sich aus zwei parallel geschalteten Substraten zusammen, sowohl für den oberen als auch den unteren Schalter. Weiterhin sind die eingebrachten Induktivitäten zur Skalierung auf ein Modul eingezeichnet ($L_{\sigma,sk}$, $L_{c,sk}$, $L_{g,sk}$). Spannungsmessungen erfolgten dicht am Halbleiter über Hilfskontakte auf dem Substrat. Gemessen werden die Ströme I_{hyb} und I_S , aus deren Differenz der Strom I_E errechnet wird. Mit gleichem Aufbau erfolgten die skalierten Messungen eines Full-Si Schalters: Die Substrate mit $2 \times$ SiC-MOSFETs wurden durch Substrate mit $2 \times$ Si-Dioden ersetzt. Die Messung eines Full-SiC Schalters erfolgte je Schalter mit nur einem Substrat mit $1 \times$ SiC-MOSFET und auf den Skalierungsfaktor 32 angepassten Skalierungsinduktivitäten.

Tabelle 3.3: Skalierung auf die Zielapplikation: 1.7 kV Leistungsmodul

Parameter		Modul	skalierte Messung	
			Full-Si / Hybrid	Full-SiC
Skalierungsfaktor	N_S :	1	8	32
Nennzwischenkreisspannung	$U_{DC,n}$:	900 V	900 V	900 V
Maximale Zwischenkreisspannung	$U_{DC,max}$:	1200 V	1200 V	1200 V
Nennstrom	$I_{C,n}$:	800 A	100 A	25 A
Maximal abzuschaltender Strom	$I_{C,max}$:	1600 A	200 A	50 A
Induktivität im Kommutierungskreis	L_σ :	25 nH	200 nH	800 nH
Induktivität im Gatekreis	L_g :	100 nH	800 nH	3.2 μ H
Induktivität im Clampingkreis	L_{cl} :	150 nH	1.2 μ H	4.8 μ H
Typische Sperrschichttemperatur	T_j :	125 °C	125 °C	125 °C
Widerstände	z.B. $R_g, R_{ds,on}$:	R	$8 \times R$	$32 \times R$
Kapazitäten	z.B. C_{iss}, C_{oss} :	C	$C/8$	$C/32$
Zeitkonstanten	τ :	τ	τ	τ
Verlustenergie	z.B. E_{off} :	E_{off}	$E_{off}/8$	$E_{off}/32$

Die Randbedingungen der generischen Zielapplikation und die abgeleiteten Werte für die skalierten Messungen sind in Tabelle 3.3 aufgelistet. Aus der Verwendung von Halbleitern der 1.7 kV-Spannungsklasse ergibt sich eine Nennzwischenkreisspannung von 900 V mit einer maximal zu schaltenden Zwischenkreisspannung von 1200 V. Der angenommene Nennstrom von 800 A des Moduls ergibt sich aus dem Skalierungsfaktor und dem Nennstrom von 100 A für einen einzelnen IGBT Chip. Der maximal abzuschaltende Strom wurde auf zweifachen Nennstrom festgelegt. Während die Nenngrößen die relevanten Parameter für einen Vergleich von Verlusten sind, ergeben sich aus der maximalen Zwischenkreisspannung und dem maximal abzuschaltendem Strom die zu beherrschenden Worst-Case-Szenarien.

Weiterhin sind die Zielwerte der Induktivitäten des Moduls für Kommutierungskreis (L_σ), Gatekreis (L_g) und Clampingkreis (L_{cl}) angegeben. In [99] wird für ein Modul des anvisierten Packages eine Kommutierungskreisinduktivität von 10 nH angegeben. Auch Stromschienen und Zwischenkreiskondensatoren tragen maßgeblich zur Kommutierungskreisinduktivität bei. Für den gesamten Kommutierungskreis wird daher eine Kommutierungskreisinduktivität von $L_\sigma = 25$ nH angenommen. In [94] wird für ein 10 nH-Modul ein Bereich von 20 nH bis 50 nH für die gesamte Streuinduktivität angegeben. Für eine entsprechende Skalierung des Versuchsaufbaues wurde zu den im Versuchsaufbau bereits vorhandenen Streuinduktivitäten im Kommutierungskreis zusätzlich die Induktivität $L_{\sigma,sk}$ jeweils in

die Anschlussleitungen an den Zwischenkreis eingefügt. Die Werte für die Induktivität des Gatekreises und Clampingkreises orientieren sich an einer Parameterextraktion mit Ansys Q3d aus einer Modellierung eines XHP3 Moduls. Neben dem Layout des Moduls sind sie ebenfalls vom Layout des verwendeten Treibers abhängig. Zur Skalierung wurden die Induktivität $L_{g,sk}$ und $L_{c,sk}$ zwischen Treiber und Substrat eingefügt (siehe Abbildung 3.6). Der Gatekreis beinhaltet $2 \times L_{g,sk}$, der Clampingkreis jeweils $L_{g,sk}$ und $L_{c,sk}$.

In Tabelle 3.3 ist weiterhin aufgeführt, wie sich Widerstände, Kapazitäten und Zeitkonstanten der untersuchten Halbleiter verhalten. Durch die Skalierung der Widerstände in der Ansteuerung wird auch bei Einzelchippmessungen die Schaltgeschwindigkeit eines Moduls abgebildet, die Zeitkonstanten bleiben gleich.

Ein Vergleich zwischen Einzelmessungen des Hybridschalters mit einem Full-SiC Schalter erfolgt durch eine rechnerische Anpassung der gemessenen Ströme und Verluste des Full-SiC Schalters mit dem Faktor $4 (N_{S,SiC} / N_{S,Hybrid})$.

3.5 Randbedingungen für eine Treiberauslegung für einen objektiven Vergleich

Zur Ansteuerung des Hybridschalters werden Treiber mit gesteuerter Spannungsquelle und separaten Gatewiderständen für das Ein- und Ausschalten verwendet. Als positives Spannungslevel wird 15 V, als negatives Spannungslevel -5 V verwendet. Diese Steuerspannungen sind sowohl für den SiC-MOSFET als auch den Si-IGBT geeignet.

Um die Leistungsfähigkeit des in dieser Arbeit untersuchten Hybridschalters einordnen zu können, wird dieser mit Schaltern verglichen, die nur aus Si-Halbleitern (Full-Si) oder ausschließlich aus SiC-Halbleitern (Full-SiC) bestehen. Für einen objektiven Vergleich dieser Schalter unterschiedlicher Technologien, werden Randbedingungen des Schaltverhaltens für die Treiberauslegung definiert, die von allen Schaltern gleichermaßen eingehalten werden müssen:

- Eine maximale transiente Überspannung von bis zu 1650 V
- Eine Limitierung der maximalen Schaltleistung der Si-Diode auf $P_{peak}/I_n = 1 \text{ kW/A}$
- Kein dynamischer Avalanche beim Abschalten
- Eine Limitierung der Spannungssteilheit auf $15 \text{ kV}/\mu\text{s}$

Die maximale zulässige transiente Überspannung ergibt sich aus der Verwendung von Halbleitern mit einer Sperrspannung von 1.7 kV. Beim Abschalten kann die transiente Überspannung durch eine Active-Clamping Schaltung auf den gesetzten Maximalwert von 1650 V begrenzt werden und so auf eine Reduktion der Schaltgeschwindigkeit verzichtet werden.

Transiente Überspannungen treten ebenfalls beim Reverse-Recovery durch hohe Stromsteilheiten auf. Eine Einstellung erfolgt über die Anpassung des Gatewiderstandes beim Einschalten. Diese Limitierung kommt beim Hybridschalter und Full-SiC Schalter zum Einsatz, da dort beim Einschalten auf die SiC-Bodydiode des MOSFETs kommutiert wird. Eine detaillierte Betrachtung erfolgt in Kapitel 4.6. Beim Full-Si Schalter wird die Einschaltgeschwindigkeit durch die maximale Schaltleistung der Si-Diode begrenzt. Die Schaltleistung ist ein Maß für die in der Diode auftretende elektrische Feldstärke. Bei zu hoher elektrischer Feldstärke kann es zum dynamischen Avalanche kommen. Die hier verwendete maximale Schaltleistung entspricht den Datenblattangaben eines Full-Si XHP-Moduls [98].

Beim Abschalten soll ebenfalls durch die Treiberauslegung ein Auftreten von dynamischem Avalanche im IGBT vermieden werden. Repetitiver dynamischer Avalanche kann nachhaltige Veränderungen im Schaltverhalten des IGBTs verursachen [102], [103] und sich auch negativ auf die Stromverteilung parallel geschalteter IGBTs auswirken [104].

Für einen objektiven Vergleich der Halbleiter untereinander wurde ebenfalls eine maximale Spannungssteilheit gewählt. Generell ist es wünschenswert mit einer möglichst hohen Spannungssteilheit schalten zu können, da hierdurch die Schaltverluste minimiert werden. Allerdings ist in der Regel durch die Applikation selbst eine maximale Steilheit vorgegeben. Zu hohe Flankensteilheiten führen zu mehreren Effekten, die sich nachteilig auf die Last auswirken und folgend erläutert werden.

Werden induktive Lasten wie Motoren mit einem Umrichter mit hohen Flankensteilheiten betrieben, kann es in Abhängigkeit von der Kabellänge zu Spannungsreflexionen an den Eingangsklemmen der Last kommen. Dieser Effekt kann gut mathematisch durch die "Traveling Wave Theory" beschrieben werden [105], [106]. In Abhängigkeit von der Ausbreitungsgeschwindigkeit der Welle im Kabel, der Kabellänge, des Reflexionskoeffizienten der Last, aber auch der Flankensteilheit entsteht eine Überspannung an den Eingangsklemmen der Last, die im Fall von Totalreflexion das doppelte der Umrichterausgangsspannung betragen kann [107], [108], [109]. Die kritische Kabellänge, ab der volle Reflexion auftritt, ist dabei proportional zur Anstiegszeit der Spannungsflanke [106].

Weiterhin steigt mit hohen Spannungssteilheiten der Einfluss der parasitären Kapazitäten zwischen den Windungen der induktiven Last. Transiente Spannungen verteilen sich ungleichmäßig über einzelne Wicklungen, sodass an den ersten Wicklungen ein Großteil der Spannung anliegt [109], [110], [111]. Dabei ist die Verteilung der Spannung von der Anstiegszeit abhängig [106], [111].

Durch die zuvor genannten Effekte wird die Isolation der Last durch kurze Anstiegszeiten stark gestresst, bis hin zum Auftreten von Teilentladungen bei zu hohen Spannungssteilheiten [108], [112]. Kurze Anstiegszeiten führen somit zu einem vorzeitigen Altern der Isolation [108], [113], [114] oder auch deren Zerstörung [112]. In [115], [116] wurde gezeigt, dass

kürzere Anstiegszeiten in stärkeren Teilentladungen resultieren. Folglich muss die Isolation der induktiven Last für die Beanspruchung der anliegenden Spannungssteilheiten ausgelegt sein [112]. Ebenfalls verstärken hohe Flankensteilheiten die in Maschinen auftretenden Lagerströme [117].

Die Anstiegszeit der Ausgangsspannung vom Umrichter wirkt sich ebenfalls auf das EMV-Spektrum aus. Betrachtet man die Einhüllende des Frequenzspektrums der Umrichterausgangsspannung, ist eine erste Eckfrequenz bei der Schaltfrequenz des Umrichters auszumachen. Eine zweite, höhere Eckfrequenz ist durch die Anstiegszeit der Schaltflanken bestimmt [118], [119]. Mit steigender Spannungssteilheit erhöht sich somit auch die Amplitude des Spektrums bei hohen Frequenzen, kurze Anstiegszeiten führen zu mehr EMV-Emissionen [117], [119].

Um die zuvor genannten Effekte zu beherrschen, können mehrere Maßnahmen getroffen werden. Zum einen kann die Schaltgeschwindigkeit der Halbleiter begrenzt werden, was allerdings die Schaltverluste erhöht. Die Isolation der Applikation kann verstärkt werden, was einen geringeren Füllfaktor der Wicklungen nach sich zieht [112]. Ebenfalls kann zwischen Umrichter und Last ein dU/dt -Filter eingesetzt werden, wie z.B. in [117], [119]. Dies bedeutet aber, dass zusätzliche Komponenten verwendet werden, ebenfalls fallen in den Filterkomponenten Verluste an. Zusammenfassend gilt es einen Kompromiss zu finden, zwischen akzeptierter Spannungssteilheit der Halbleiter und dem ggf. dadurch entstehenden Mehraufwand im umfassenden System der Applikation.

Die erlaubte Spannungssteilheit von elektrischen Maschinen ist laut DIN EN 60034-1 [120] auf $5 \text{ kV}/\mu\text{s}$ oder nach NEMA Standard auf $10 \text{ kV}/\mu\text{s}$ begrenzt [115]. Allerdings wurde diese Limitierung historisch nach der Einführung von Umrichtern mit Si-IGBTs eingeführt. In [112] zeigen sich bei einer Steilheit von $14 \text{ kV}/\mu\text{s}$ keine Alterungseffekte an der Isolation von verdrillten Leitern, während die Isolation bei $107 \text{ kV}/\mu\text{s}$ hingegen stark altert. In [117] werden $25 \text{ kV}/\mu\text{s}$ als guter Kompromiss für die anliegende Steilheit an einem Motor angegeben. In [115] wurden auch bei $88 \text{ kV}/\mu\text{s}$ keine Teilentladungen an einer Einzelzahn-Wicklung eines Motors festgestellt. Der Wert für eine sinnvolle Beschränkung der Spannungssteilheit ist also von der Applikation abhängig.

Die gewählte Randbedingung für den Hybridschalter von einer maximalen Spannungssteilheit von $15 \text{ kV}/\mu\text{s}$ ist als Kompromiss zu verstehen. Diese Spannungssteilheit übersteigt die aktuell gültigen Normen, bezieht aber eine technologische Entwicklung seit der Festlegung der Normen mit ein. Gleichzeitig ist diese Spannungssteilheit so gewählt, dass sie bei allen IGBTs die Flankensteilheit vom intrinsischen Schalten übersteigt. Sie ist jedoch die limitierende Randbedingung für die Schaltgeschwindigkeit von Full-SiC Schalter und je nach verwendetem IGBT und Pulsmuster auch beim Hybridschalter.

In dieser Arbeit wird die Spannungssteilheit zwischen 20 % und 80 % der ersten transienten Überspannungsspitze bestimmt. Üblich ist auch eine Bestimmung zwischen 10 % und 90 %, oder auch ein Bezug auf die Zwischenkreisspannung. Mit der abweichenden Wahl wird der Bereich der Spannungsflanke mit größtem dU/dt stärker gewichtet.

3.6 Active-Clamping zur Begrenzung der transienten Überspannung

Die maximal erlaubte transiente Überspannung für die untersuchten 1.7 kV-Halbleiter wurde auf 1650 V festgelegt. Dieser Wert darf beim Abschalten nicht überschritten werden. Um dies sicher zu stellen, wurde eine Active-Clamping Schaltung mit TVS-Dioden verwendet. Eine Alternative wäre eine Begrenzung der Schaltgeschwindigkeit durch die Auswahl eines hohen Gatewiderstandes. Durch die Verwendung eines Treibers mit Active-Clamping entfällt also die Randbedingung der Überspannung bei der Auswahl des Gatewiderstandes, es verbleiben für dessen Auslegung die Randbedingungen maximale Flankensteilheit und Vermeidung von dynamischem Avalanche.

Auf die Active-Clamping Schaltung wurde verzichtet, wenn der Schalter auch ohne diese Schaltung die maximale Überspannung nicht überschreitet. Dies trifft auf den *low-sat* IGBT im Full-Si Schalter zu und teilweise im Hybridschalter in Abhängigkeit des verwendeten Pulsmusters. Der Full-SiC Schalter sowie der *fast* IGBT benötigen generell auf Grund ihrer hohen Schaltgeschwindigkeit eine Active-Clamping Schaltung.

Im Hybridschalter wird der Active-Clamping Pfad jeweils an denjenigen Halbleiter angeschlossen, der aktiv die Schaltgeschwindigkeit bestimmt. Das bedeutet, beim IGBT geführten Schalten wirkt das Active-Clamping auf den IGBT, beim MOSFET geführten Schalten auf den MOSFET.

Die verwendete Active-Clamping Schaltung ist in Abbildung 3.7 dargestellt. Durch die hohen parasitären Induktivitäten im Leistungsmodul ist eine kapazitive Vorsteuerung notwendig. Eine Schaltung mit kapazitiver Vorsteuerung für einen IGBT wurde bereits in [121] beschrieben. Die Schaltung in Abbildung 3.7 weist zusätzlich einen Entladepfad der Kapazität über einen Anschluss an den Hilfsemittler auf. Auch für SiC-MOSFETs ist eine Verwendung von Active-Clamping Schaltungen üblich (siehe z.B. [92], [122]).

Beim Active-Clamping wird die Kollektorspannung des IGBTs mit Hilfe einer Transildiodenkette auf das Gate zurückgekoppelt. Bei zu hoher Kollektorspannung bricht die Transildiodenkette durch und die Gate-Spannung des IGBTs wird stabilisiert, bzw. angehoben, das dI/dt reduziert sich und die transiente Überspannung wird begrenzt. In Abbildung 3.7 wird die Transildiodenkette durch $Z_{cl,1}$ bis $Z_{cl,N}$ dargestellt. Durch eine kapazitive Überbrückung einer oder mehrerer Transildioden setzt die Wirkung des Active-Clamping bereits während der ansteigenden Spannungsflanke ein. Dies ist notwendig, da

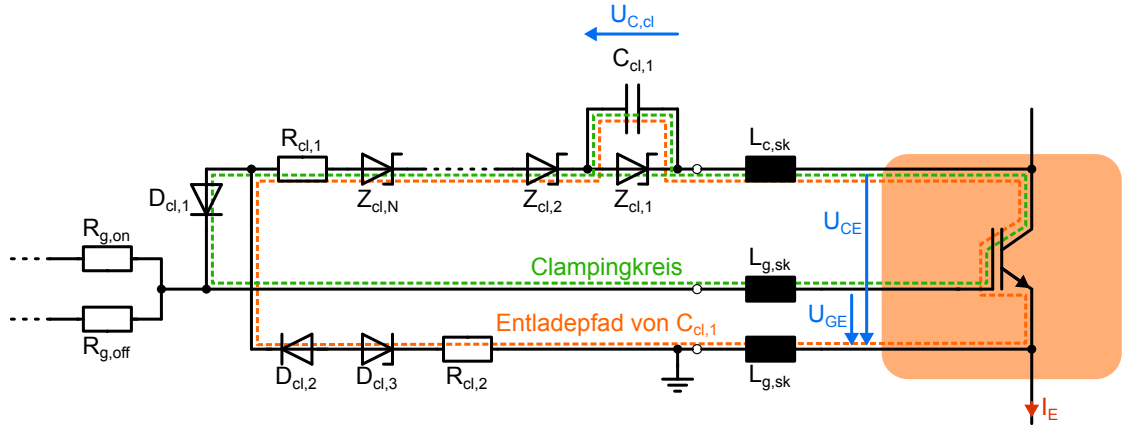


Abbildung 3.7: Active-Clamping Schaltung mit kapazitiver Vorsteuerung zur Begrenzung der transienten Überspannung

insbesondere bei hoher parasitärer Induktivität die Wirkung des Active-Clamping verzögert wird. Eine Dämpfung der Rückkopplung wird durch den Widerstand $R_{cl,1}$ erreicht, die Diode $D_{cl,1}$ sperrt die positive Treiberspannung im eingeschalteten Zustand. Die Summe der Sperrspannung von $Z_{cl,2}$ bis $Z_{cl,N}$ bestimmt, wann die Rückkopplung der Kollektorspannung einsetzt. Der Wert von $C_{cl,1}$ bestimmt die Stärke der Vorsteuerung. Mit der Transildiode $Z_{cl,1}$ kann eine Maximalspannung von $C_{cl,1}$ festgelegt werden.

In Abbildung 3.8 ist das Abschaltverhalten eines Hybridschalters mit Active-Clamping dargestellt. Die Spannung $U_{C,cl}$ zeigt die Spannung der Kapazität $C_{cl,1}$ an. Es ist zu erkennen, wie die Spannung über $C_{cl,1}$ bereits während der Spannungsflanke ansteigt und einen Stromfluss durch den Clamping-Pfad anzeigt. Vor t_1 werden die parasitären Kapazitäten der verwendeten Transildioden umgeladen. Um die Wirkung zu Beginn der Spannungsflanke auszugleichen, wird bei der Verwendung des Active-Clamping der Gatewiderstand leicht verringert. Nach t_1 , noch vor Erreichen der Zwischenkreisspannung, steigt die Spannung $U_{C,cl}$ stärker an. U_{CE} erreicht die Durchbruchspannung von $Z_{cl,2}$ bis $Z_{cl,N}$. Mit einer kurzen Verzögerung wird die Gatespannung des IGBTs stabilisiert und das di/dt und die Überspannungsspitze begrenzt.

Die Ergebnisse dieser Arbeit wurden mit Werten von 50 pF bis 100 pF für $C_{cl,1}$ und einem Dämpfungswiderstand von 120 Ω erzielt. Die Spannung für den Beginn der kapazitiven Vorsteuerung wurde auf 900 V bis 1000 V festgelegt. Die maximale Durchbruchspannung auf 1550 V bis 1650 V. Innerhalb dieser Wertebereiche wurde die Active-Clamping Schaltung an den jeweiligen Schalter angepasst. Eine Ausnahme bildet das in Kapitel 4.5 vorgestellte Pulsmuster 3, bei dem bei bestimmten Schaltzeiten sehr kleine Gatewiderstände verwendet wurden. Bei diesem Pulsmuster wurde ein Dämpfungswiderstand von 33 Ω verwendet, der Bereich von $C_{cl,1}$ erweitert sich auf 50 pF bis 780 pF.

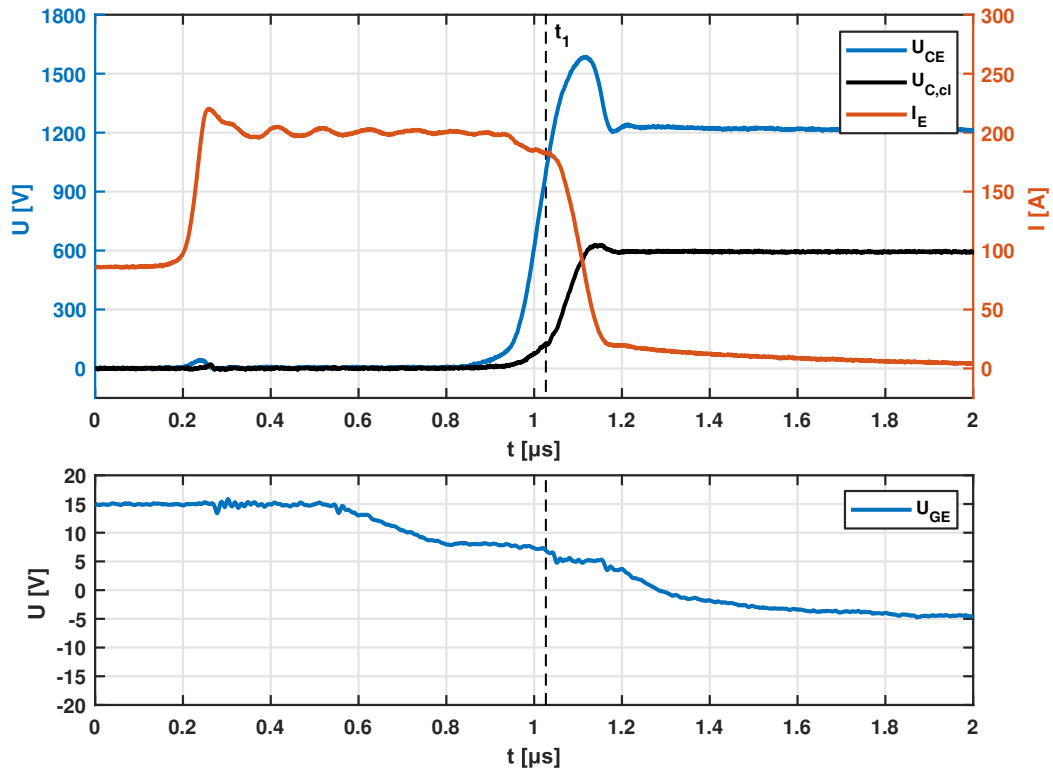


Abbildung 3.8: Abschalten des Hybridschalters mit IGBT W7Z2 mit Active-Clamping ($I_L = 200 \text{ A}$, $U_{DC} = 1200 \text{ V}$, $T_j = 125^\circ\text{C}$)

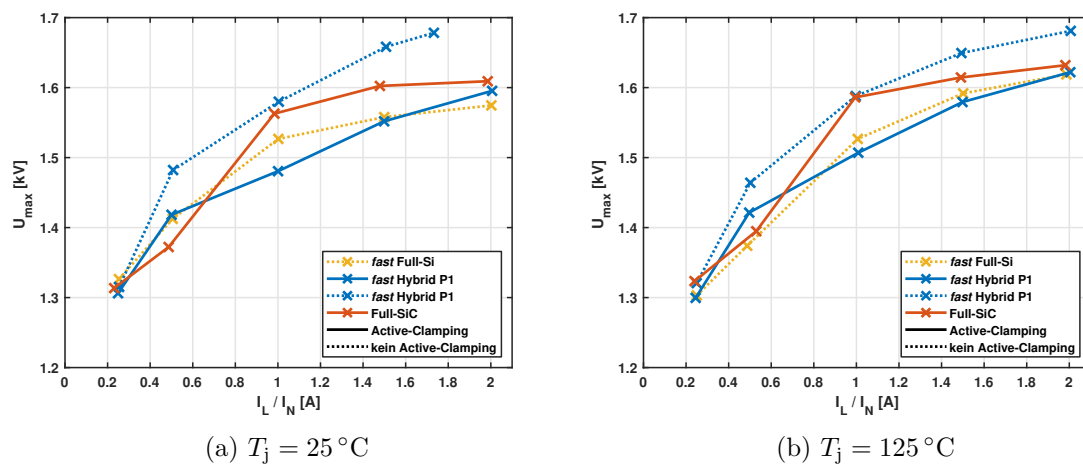


Abbildung 3.9: Reduktion der Überspannungsspitze beim Abschalten durch Active-Clamping ($U_{DC} = 1200 \text{ V}$)

Vor einem Abschaltvorgang muss sichergestellt werden, dass die Kapazität $C_{cl,1}$ entladen ist. Eine Möglichkeit der Entladung wird mit dem in Abbildung 3.7 eingezeichneten Entladepfad geschaffen. Eine Entladung der Kapazität $C_{cl,1}$ erfolgt, sobald der IGBT eingeschaltet wurde. Die Diode $D_{cl,2}$ verhindert bei aktiviertem Clamping einen Stromfluss in den Emitteranschluss des Treibers. Die Zenerdiode $D_{cl,3}$ sperrt die negative Treiberspannung im ausgeschalteten Zustand. Der Entladewiderstand $R_{cl,2}$ bestimmt die Entladegeschwindigkeit. Die in der Kapazität gespeicherte Energie nach einem Ausschaltvorgang beträgt lediglich 0.02 mJ. Da die Sperrspannung der Transildiodenkette $Z_{cl,2}$ bis $Z_{cl,N}$ unter der zulässigen maximalen Zwischenkreisspannung von 1200 V liegt, würde ein direkt zur Kapazität parallel geschalteter Entladewiderstand zusätzlich zu dauerhaften Verlusten bei anliegender Zwischenkreisspannung führen.

Abbildung 3.9 zeigt die maximal auftretende Spannung beim Abschalten des *fast* IGBTs als Full-Si, im Hybridschalter (Pulsmuster 1) und im Vergleich zum Full-SiC Schalter. Als Full-Si Schalter ist keine Clamping-Schaltung notwendig, die maximal zugelassene Spannung von 1650 V wird nicht überschritten. Der *fast* Hybrid muss allerdings in seiner Überspannung durch die Active-Clamping Schaltung begrenzt werden. Ohne diese Schaltung überschreitet dieser bei hohem Laststrom die zulässige Spannung. Mit Hilfe der Clamping-Schaltung wird dessen Überspannung erfolgreich auf die gleichen Werte wie beim Full-Si und Full-SiC Schalter begrenzt. Bei hoher Sperrschichttemperatur fällt die Überspannungsspitze geringfügig höher aus.

3.7 Justierung der IGBT-Einschaltverluste mit externer Gatekapazität

Die Einschaltverluste eines Si-IGBTs können durch das Hinzufügen einer externen Gatekapazität reduziert werden [123]. Das dI/dt und dU/dt beim Einschalten lässt sich hierdurch entkoppeln [121]. Abbildung 3.10 zeigt die Wirkung einer externen Gatekapazität auf das Einschalten des *low-sat* IGBTs mit Si-Diode als Freilaufdiode unter Nennbedingungen. Der Einschaltwiderstand wurde jeweils so angepasst, dass die maximale Schaltleistung der Si-Diode nicht überschritten wird. Die größte Schaltleistung tritt dabei in beiden Fällen bei $U_{DC} = 1200$ V und $T_j = 125$ °C auf.

In beiden Fällen wird ein vergleichbares dI/dt erzielt. Da jedoch bei einer externen Gatekapazität mit reduziertem Einschaltwiderstand der Gatestrom ansteigt, wird die Millerkapazität des IGBTs schneller umgeladen. Das Millerplateau fällt entsprechend kürzer aus und die Spannung U_{CE} sinkt schneller ab, die Einschaltverluste reduzieren sich.

Die externe Gatekapazität wurde direkt auf dem Substrat des IGBTs aufgebracht, um die parasitäre Induktivität zwischen interner und externer Kapazität zu minimieren (siehe

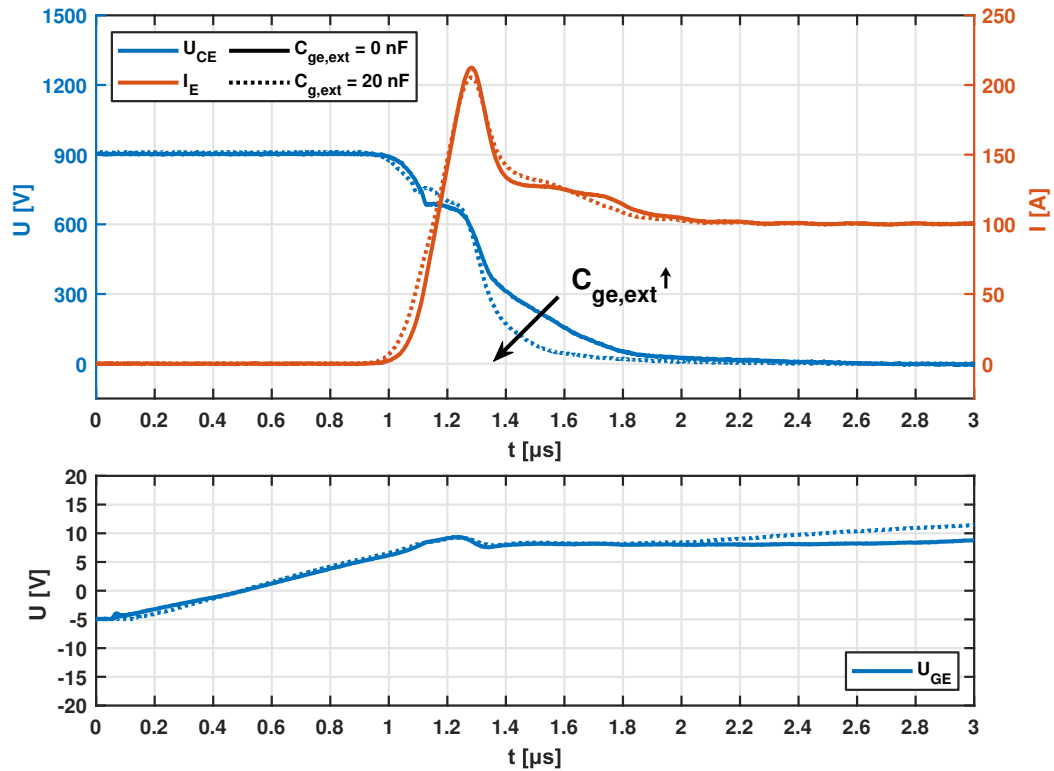


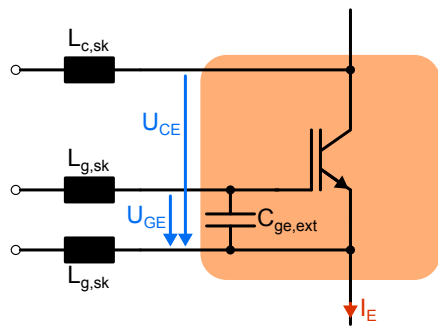
Abbildung 3.10: Einschalten des *low-sat* IGBTs mit externer Gatekapazität $C_{ge,ext}$ ($I_L = 100$ A, $U_{DC} = 900$ V, $T_j = 125$ °C)

Abbildung 3.11a). Dies entspricht bei einem Leistungsmodul einer Platzierung der Kapazität innerhalb des Moduls.

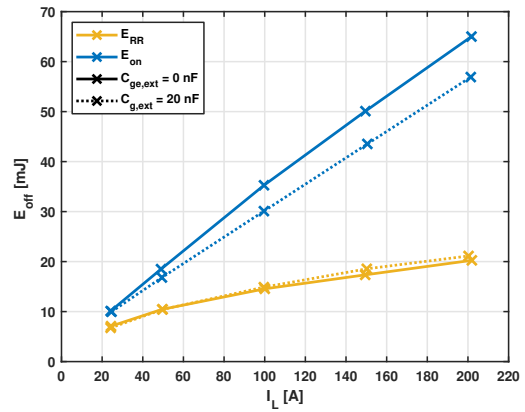
Abbildung 3.11b zeigt die Reduktion der Einschaltverluste durch die Verwendung einer externen Gatekapazität von 20 nF. Die Einschaltverluste reduzieren sich bei $I_L = 100$ A um 17%, gleichzeitig kommt es zu einer Erhöhung der Diodenverluste, sodass in Summe eine Reduktion von 10% erreicht wird.

Durch diese Anpassung reduziert sich der Anteil der Einschaltverluste an den gesamten Schaltverlusten unter Nennbedingungen von 42.0% auf 37.7%. Somit ähnelt die Schaltverlustaufteilung mit 42.7%/37.6%/19.5% ($E_{off}/E_{on}/E_{RR}$) stark der Verlustaufteilung bei einem Modul FF1800R17IP5 von 41.3%/36.5%/22.2% [124]. Ein Modul FF1800XTR17T2P5, das als Skalierungsziel verwendet wird, hat unter Nennbedingungen eine Verteilung von 44.0%/30.5%/25.5% [98].

Auch beim Hybridschalter kann eine positive Wirkung durch eine externe Gatekapazität erzielt werden. Daher wurde auch für eine optimale Treiberauslegung beim Hybridschalter eine externe Gatekapazität von 20 nF verwendet. Die Auswirkung auf einen Hybridschalter wird in Kapitel 4.6.3 genauer betrachtet.



(a) Positionierung der Gatekapazität direkt auf dem Substrat



(b) Schaltverluste

Abbildung 3.11: Reduktion der Einschaltverluste des IGBTs durch Einfügen einer externen Gatekapazität

Auf die Abschaltverluste hat eine externe Gatekapazität vernachlässigbare Auswirkungen [123]. Vorteilhaft ist ebenfalls, dass die statische Gatespannung des IGBT stabilisiert wird, sodass z.B. ein parasitäres Aufsteuern beim Reverse-Recovery unwahrscheinlicher wird. Nachteilig ist jedoch, dass die eingefügte Kapazität bei jedem Schaltvorgang umgeladen werden muss, dies erhöht die Anforderungen an den verwendeten Treiber.

4 Durchlass- und Schaltverhalten des Si-SiC Hybridschalters

In diesem Kapitel wird das Durchlass- und Schaltverhalten des skaliert vermessenen Si-SiC Hybridschalters analysiert. Detaillierte Betrachtungen des Hybridschalters werden insbesondere mit einem *low-sat* IGBT durchgeführt, der auf niedrige Durchlassspannung optimiert wurde (W9-Z1) sowie an einem *fast* IGBT, der auf niedrige Schaltverluste optimiert wurde (W6-Z3). Eine Einordnung der Eigenschaften dieser IGBTs ist bereits in Kapitel 3.2 erfolgt.

Experimentelle Untersuchungen des Schaltverhaltens der Hybridschalter in diesem Kapitel werden mit separaten Treibern durchgeführt. Dabei werden für das Abschalten drei verschiedene Pulsmuster und für das Einschalten ein Pulsmuster vorgestellt und diskutiert. Während Pulsmuster 1 und Pulsmuster 2 mit *low-sat* IGBT und *fast* IGBT untersucht werden, wird das Pulsmuster 3 nur für den *low-sat* IGBT in Betracht gezogen. Bei den gezeigten Schalttransienten handelt es sich um skalierte Einzelchipmessungen, Simulationsergebnisse sind explizit gekennzeichnet.

Gezeigte Ausgangskennlinien und Schalttransienten von Full-Si und Hybridschalter entsprechen direkt der durchgeführten Messung an Einzelchips im skalierten Aufbau (Skalierungsfaktor 8). Ermittelte Ströme des Full-SiC Schalters wurden rechnerisch an den gleichen Skalierungsfaktor angepasst. Gezeigte Schalttransienten und Schaltverluste entsprechen einem Achtel eines Leistungsmoduls.

Zusammen mit Full-Si und Full-SiC Schalter werden insgesamt 5 verschiedene Halbleiterkombinationen untersucht, die mit einer Treiberauslegung nach denselben Kriterien in Bezug auf Schaltverhalten und Schaltverluste miteinander verglichen werden. In Kombination mit den verschiedenen Pulsmustern beim Abschalten stehen als Ergebnis die Schaltverluste von 8 unterschiedlichen Schaltern zur Verfügung. Daraus werden ebenfalls die theoretischen Schaltverluste eines Hybridschalters mit Schottkydiode (Hybrid I) abgeleitet.

4.1 Durchlassverhalten des hybriden Leistungsschalters

Im Gegensatz zum IGBT weist der MOSFET als unipolares Bauelement eine Durchlasskennlinie ohne Schwellspannung auf. Durch die im Vergleich zu Si-Halbleitern dünneren Waferdicken und einer höheren Dotierung hat der SiC-MOSFET auch bei höheren Spannungsklassen im Durchlass einen attraktiv niedrigen Spannungsabfall. In Abbildung 4.1 ist das gemessene Durchlassverhalten der unterschiedlichen Halbleiter dargestellt. Die

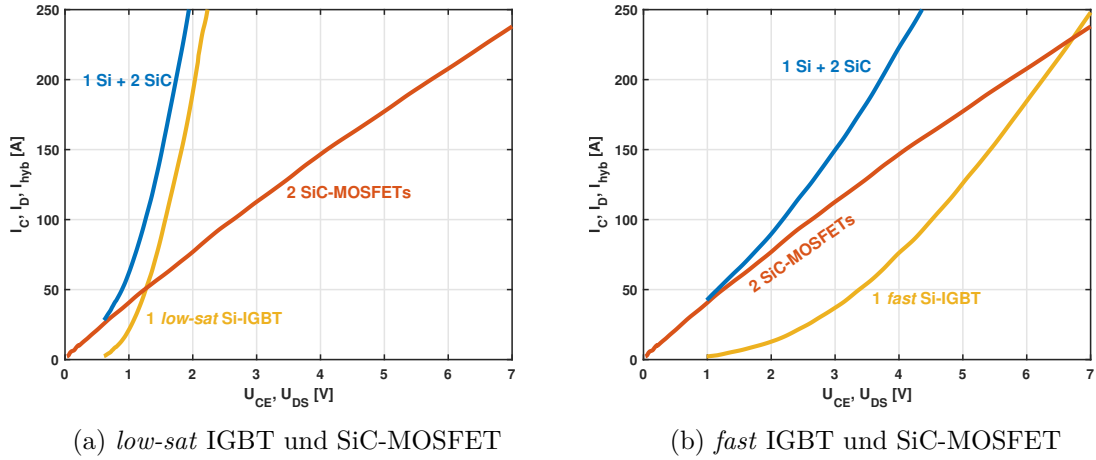


Abbildung 4.1: Durchlasskennlinie der Parallelschaltung eines *low-sat* IGBTs oder *fast* IGBTs und zweier SiC-MOSFET Chips bei $T_j = 125^\circ\text{C}$

Kennlinie des hybriden Schalters ist vom Flächenverhältnis der aktiven Chipfläche der Si-IGBTs (A_{Si}) zu der aktiven Fläche der SiC-MOSFETs (A_{SiC}) abhängig. Die Chipfläche der verwendeten IGBTs ist deutlich größer als die der verwendeten MOSFETs. Der Anteil der SiC-MOSFETs an der Gesamtfläche beträgt ungefähr ein Drittel (siehe Kapitel 3.4).

Teilbild 4.1a zeigt die gemessene Durchlasskennlinie eines auf niedrige Durchlassspannung optimierten IGBTs (*low-sat* IGBT) und zweier paralleler SiC-MOSFETs. Trotz der Auslegung des IGBTs auf niedrige Durchlassspannung ist er bei niedrigem Laststrom durch seine Schwellspannung dem MOSFET gegenüber im Nachteil, während er bei hohen Lastströmen durch seine große bipolare Ladung deutlich besser abschneidet. Die Durchlasskennlinien schneiden sich bei 50 A, was dem halben Nennstrom des Si-IGBTs entspricht. Durch Kombination beider Bauteile entsteht ein hybrider Leistungsschalter, bei dem sich die Ströme bei einem Laststrom von 100 A symmetrisch zwischen IGBT und MOSFET aufteilen. Bei geringerem Strom führt der SiC-MOSFET einen Großteil des Stroms, während bei höherem Laststrom der IGBT mehr und mehr den Strom übernimmt.

In Teilbild 4.1b ist neben dem SiC-MOSFET ein auf niedrige Schaltverluste ausgelegter IGBT (*fast* IGBT) dargestellt, der neben der für bipolare Bauelemente typischen Schwellspannung auch einen hohen differentiellen Widerstand aufweist. Der Punkt gleichmäßiger Stromaufteilung wird erst bei mehr als doppeltem Nennstrom erreicht.

Der Gesamtstrom des Hybridschalters setzt sich aus den Teilströmen durch den IGBT und die MOSFETs zusammen:

$$I_{\text{hyb}} = I_C + I_D \quad (4.1)$$

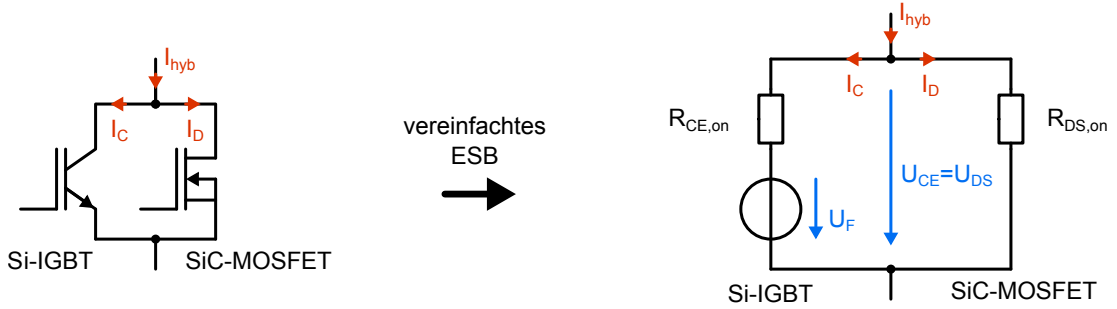


Abbildung 4.2: Einfaches Ersatzschaltbild des Si-SiC Hybridschalters zur Beschreibung der Durchlasskennlinie

Die Parallelschaltung kann in erster Näherung durch ein einfaches Ersatzschaltbild nach [30] beschrieben werden (siehe Abbildung 4.2), was einer Linearisierung der Kennlinien entspricht.

Der Spannungsabfall im Durchlass kann für den SiC-MOSFET über seinen differentiellen Widerstand beschrieben werden (Gleichung 4.2). Beim Si-IGBT wird die Schwellspannung mit einer zusätzlichen Spannungsquelle modelliert (Gleichung 4.3).

$$U_{DS} = I_D \cdot R_{DS,on} \quad (4.2)$$

$$U_{CE} = I_C \cdot R_{CE,on} + U_{F0} \quad (4.3)$$

Damit lässt sich die Stromverteilung in Abhängigkeit des Gesamtstroms folgendermaßen beschreiben:

$$I_D = \begin{cases} I_{hyb} & I_{hyb} \leq \frac{U_{F0}}{R_{DS,on}} \\ \frac{I_{hyb} \cdot R_{CE,on} + U_{F0}}{R_{DS,on} + R_{CE,on}} & I_{hyb} \geq \frac{U_{F0}}{R_{DS,on}} \end{cases} \quad (4.4)$$

$$I_C = \begin{cases} 0 & I_{hyb} \leq \frac{U_{F0}}{R_{DS,on}} \\ \frac{I_{hyb} \cdot R_{DS,on} - U_{F0}}{R_{DS,on} + R_{CE,on}} & I_{hyb} \geq \frac{U_{F0}}{R_{DS,on}} \end{cases} \quad (4.5)$$

Erst wenn über dem Durchlasswiderstand des SiC-MOSFETs ausreichend Spannung größer der Schwellspannung des IGBTs abfällt, beginnt sich der Strom aufzuteilen. Eine analytische Beschreibung der Durchlassverluste nach dem einfachen Ersatzschaltbild in 4.2 erfolgt in [30] für eine Schaltperiode, in [73] für eine sinusförmige Grundschwingung.

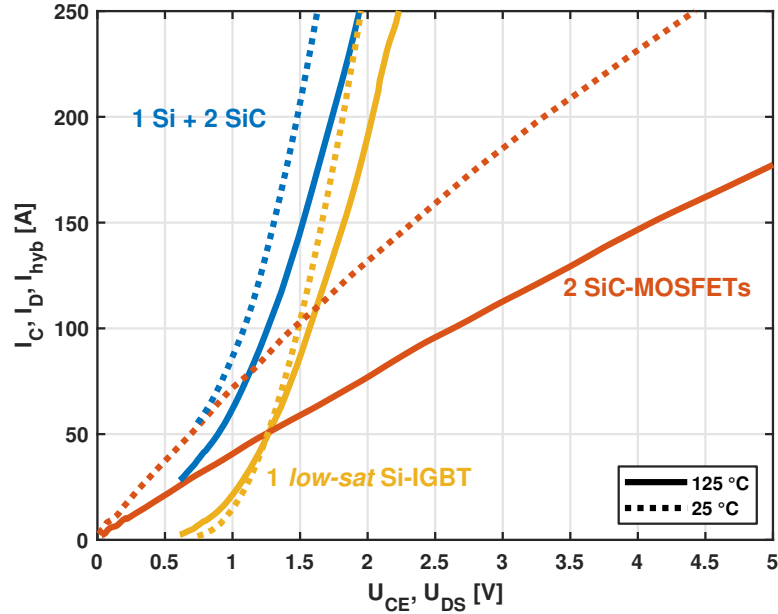


Abbildung 4.3: Durchlasskennlinie bei verschiedener Betriebstemperatur von *low-sat* Si-IGBT, SiC-MOSFET und hybridem Schalter

Diese erste Näherung führt jedoch insbesondere im Übergangsbereich ($U_{DS} = U_{F0}$) zu einer Überschätzung der Durchlassspannung. Bei der Anwendung der Näherung auf die in Abbildung 4.1 gezeigten Kennlinien im Bereich von 0 A bis 200 A wird zwar der qualitative Verlauf gut abgebildet, jedoch ergibt sich für einen *low-sat* Hybridschalter im Übergangsbereich eine Überschätzung von bis zu 22 %, für den *fast* Hybridschalter bis zu 32 % (siehe Abbildung A.1 im Anhang). Daher beziehen sich alle folgenden Betrachtungen der Durchlasskennlinien und Berechnungen von Durchlassverlusten direkt auf die gemessenen Verläufe in Abbildung 4.1.

Die beiden hier betrachteten hybriden Schalter stellen durch die verwendeten IGBTs zwei Extreme im Kompromiss aus Durchlassverlusten und Schaltverlusten dar. Während der *low-sat* Si-IGBT besonders stark im Teillastbereich von der zusätzlichen SiC-MOSFET Fläche profitiert, reduziert sich die Durchlassspannung bei einem Hybriden mit *fast* IGBT über den gesamten Arbeitsbereich sehr stark. Beim Nennstrom von 100 A halbiert sich der Spannungsabfall im Vergleich zwischen dem *fast* Hybridschalter und dem *fast* Si-IGBT. Neben der Reduktion der Durchlassspannung und den damit einhergehenden eingesparten Durchlassverlusten hat die Stromaufteilung zwischen Si-IGBT und SiC-MOSFETs auch eine Auswirkung auf das Schaltverhalten des hybriden Schalters. Ein geringer Anteil des IGBTs am Gesamtstrom des Schalters kann zu schnellerem Abschaltverhalten führen. Dieser Sachverhalt wird in Abschnitt 4.3.2 genauer erläutert.

Die Temperaturabhängigkeit der Durchlasskennlinien für den hybriden Schalter im *low-sat* IGBT ist in Abbildung 4.3 aufgezeigt. Der Durchlasswiderstand des SiC-MOSFETs ist

stark temperaturabhängig, bei einer Erhöhung von 25 °C auf 125 °C erhöht sich der Durchlasswiderstand um 70 % (von 15 mΩ auf von 26 mΩ). Eine Erhöhung der Temperatur verringert die Ladungsträgerbeweglichkeit in der Drift-Zone, steigert jedoch die Leitfähigkeit im Inversionskanal, da die Thresholdspannung sinkt. Der Durchlasswiderstand der Driftzone dominiert bei den hier gezeigten 1.7 kV-Halbleitern. Mit höherer Spannungs-kategorie und Chipdicke verringert sich der Anteil des Kanalwiderstandes am gesamten Durchlasswiderstand [2].

Auch beim Si-IGBT ist die Durchlasskennlinie temperaturabhängig. Der Spannungsabfall über dem rückseitigen pn-Übergang reduziert sich mit steigender Temperatur aufgrund steigender intrinsischer Ladungsträgerdichte. Dieser Effekt ist besonders bei kleinen Strömen dominant. Hinzu kommt eine reduzierte Ladungsträgerbeweglichkeit sowie ein Anstieg der Speicherladung in der Driftzone. Bei größeren Strömen dominiert auch hier die reduzierte Ladungsträgerbeweglichkeit, der Spannungsabfall über der Driftzone steigt. [2]

Die Durchlasskennlinien verschiedener Temperaturen des untersuchten *low-sat* IGBTs in Abbildung 4.3 schneiden sich bei einer Spannung von $U_{CE} = 1.25$ V und einem Kollektorstrom von 50 A. Während die Durchlasskennlinie des Si-IGBTs in diesem Arbeitspunkt also temperaturunabhängig ist, dominiert die Temperaturabhängigkeit des SiC-MOSFETs im Hybridschalter. Die Temperaturabhängigkeit der Durchlasskennlinien führt zu einer Temperaturabhängigkeit der Durchlassspannung und ebenfalls zu einer Temperaturabhängigkeit der Stromaufteilung innerhalb des Hybridschalters.

In Abbildung 4.4 ist der Anteil des Si-IGBTs am Gesamtstrom des hybriden Schalters sowohl für einen *low-sat* IGBT als auch für einen *fast* IGBT dargestellt. Es ist erneut zu erkennen, dass der IGBT mit steigendem Laststrom einen höheren Anteil am Gesamtstrom übernimmt. Der Stromanteil lässt sich nach dem vereinfachten ESB in Abbildung 4.2 mit Gleichung 4.6 ausdrücken.

$$\frac{I_C}{I_{hyb}} = \begin{cases} 0 & I_{hyb} \leq \frac{U_{F0}}{R_{DS,on}} \\ \frac{I_{hyb} \cdot R_{DS,on} - U_{F0}}{I_{hyb} \cdot (R_{DS,on} + R_{CE,on})} & I_{hyb} \geq \frac{U_{F0}}{R_{DS,on}} \end{cases} \quad (4.6)$$

Während der *low-sat* IGBT bei einem Laststrom von 50 A nur einen Anteil von 25 % am Gesamtstrom trägt, steigt dieser Wert bei einem Laststrom von 200 A auf 65 % an. Ebenfalls ist eine starke Temperaturabhängigkeit zu erkennen, so verdoppelt sich bei Nennstrom von 100 A der Stromanteil des *low-sat* IGBTs bei einer Temperaturerhöhung von 25 °C auf 125 °C, während er sich beim *fast* IGBT sogar verdreifacht.

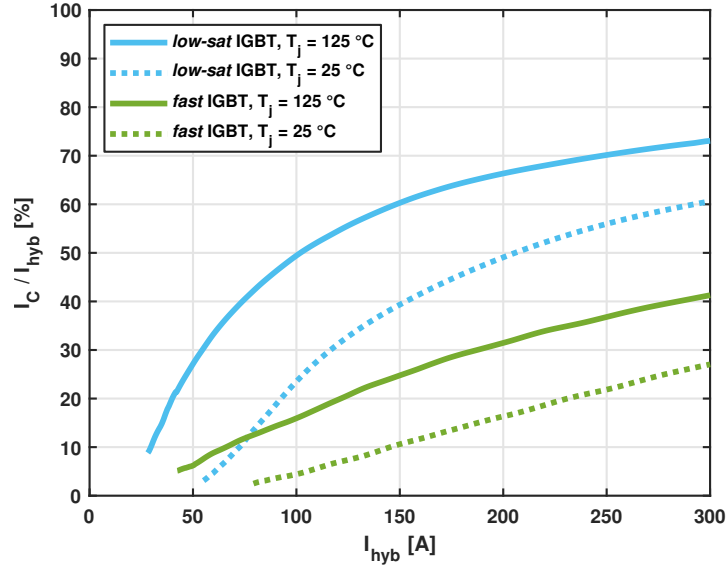


Abbildung 4.4: Anteilige Stromführung des Si-IGBT im hybriden Schalter bei 25°C und 125°C

Die Menge an Speicherladung im IGBT im Durchlass wird durch Kollektorstrom und Temperatur beeinflusst. Beide Parameter erhöhen bei einer Temperaturzunahme die in der Driftzone gespeicherte Ladung. Da sich zusätzlich auch der Stromanteil des IGBTs (I_C) am Gesamtstrom des Hybridschalters (I_{hyb}) erhöht, steigt die Ladungsmenge zwischen zwei Arbeitspunkten des hybriden Schalters deutlich stärker an als bei einem reinen Si-IGBT. Die Abhängigkeit der Ladungsträgerdichte vom Kollektorstrom wird verstärkt. Gleichmaßen wirkt sich die Temperaturabhängigkeit der Stromverteilung aus und steigert so zusätzlich mit einer erhöhten Ladungsträgerlebensdauer die Plasmamenge [2].

Für gleichen Laststrom gilt Gleichung 4.7:

$$\frac{dn_{\text{drift,hyb}}}{dI_{\text{hyb}}} > \frac{dn_{\text{drift,Full-Si}}}{dI_{C,\text{Full-Si}}} \quad (4.7)$$

Für gleiche Temperatur gilt Gleichung 4.8:

$$\frac{dn_{\text{drift,hyb}}}{dT_j} > \frac{dn_{\text{drift,Full-Si}}}{dT_j} \quad (4.8)$$

Auch wenn die Parameterabhängigkeiten des IGBTs von Temperatur und Laststrom durch die Parallelschaltung mit einem SiC-MOSFET verstärkt werden, ist bei einem Vergleich zwischen reinem Si-IGBT und hybridem Schalter bei identischem Laststrom die absolute gespeicherte Ladungsmenge im hybriden Schalter geringer.

Für kleinen Laststrom und/oder niedrige T_j gilt Gleichung 4.9:

$$n_{\text{drift,hyb}} \ll n_{\text{drift,Si}} \quad (4.9)$$

Für großen Laststrom und hohe T_j gilt Gleichung 4.10:

$$n_{\text{drift,hyb}} < n_{\text{drift,Si}} \quad (4.10)$$

Zusammenfassend ist die Stromaufteilung im hybriden Schalter abhängig von der Auslegung des verwendeten Si-IGBTs, dem Laststrom I_{hyb} sowie der Temperatur T_j .

4.2 Durchlassverhalten im Diodenmodus

Bei der Verwendung von unipolaren MOSFETs als Leistungsschalter kann aufgrund ihrer Rückwärtsleitfähigkeit auf eine antiparallele Diode verzichtet werden. In einem hybriden Schalter kann ebenfalls die Rückwärtsleitfähigkeit der SiC-MOSFETs genutzt werden. Die Durchlasskennlinie der verwendeten SiC-MOSFETs ist in Abbildung 4.5 für eine Temperatur von 25°C und 125°C dargestellt und wird verglichen mit den Durchlasskennlinien von Si-Dioden. Es werden die Kennlinien von je zwei parallelen Einzelchips gezeigt, wie sie in den skalierten Messungen von Hybridschalter und Full-Si Schalter zum Einsatz kommen.

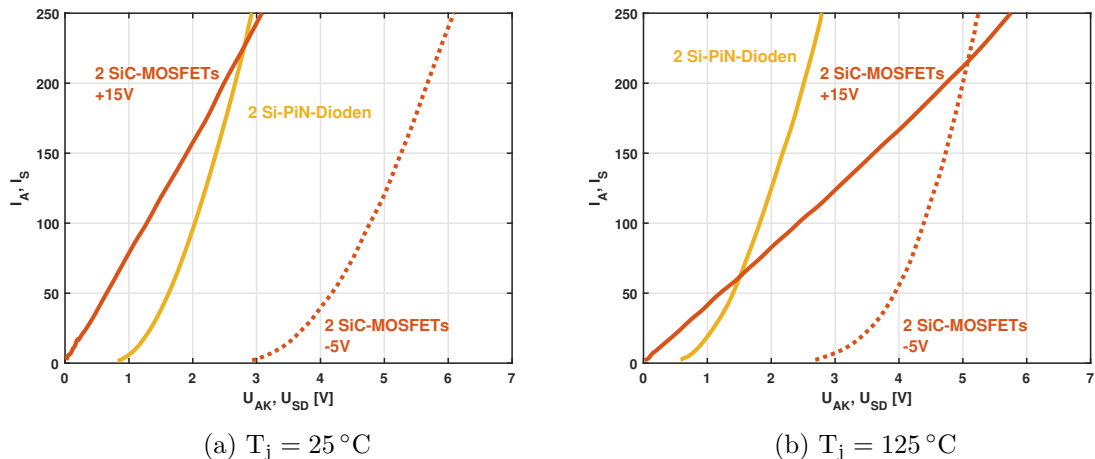


Abbildung 4.5: Durchlasskennlinien zwei paralleler Si-Dioden oder SiC-MOSFETs bei geschlossenem bzw. geöffnetem Elektronenkanal, bei $T_j = 25^\circ\text{C}$ bzw. $T_j = 125^\circ\text{C}$

Der Spannungsabfall des SiC-MOSFETs ist im Diodenmodus von der anliegenden Gate-Spannung abhängig. Bei einer anliegenden Spannung von -5V ist der Inversionskanal

des Steuerkopfes vollständig geschlossen und der gesamte Laststrom fließt durch die Bodydiode des MOSFETs. Diese weist den typischen Verlauf einer bipolaren Diode mit Diffusionsspannung und steilem Anstieg auf. Die Diffusionsspannung an dem pn-Übergang des Halbleitermaterials ist dabei mit 2.7 V bei 125 °C deutlich höher als bei den Si-Dioden mit 0.7 V.

Der Durchlasswiderstand bei einer Gatespannung von 15 V fällt bei einem Strom von $I_S = 100$ A mit 24 m Ω geringer aus als im Vorwärtsbetrieb (26 m Ω). Eine mögliche Erklärung ist die Parallelschaltung aus geöffnetem Elektronenkanal und pn-Übergang im Rückwärtsbetrieb. Auch führt der im Vergleich zum Vorwärtsbetrieb umgekehrte Spannungsabfall im Elektronenkanal zu einer Erhöhung der Potentialdifferenz zwischen Gate und Halbleiter [2].

Der Fall, dass die Bodydiode des SiC-MOSFETs den Laststrom in Rückwärtsrichtung führt, tritt in der Regel nur während der Schaltvorgänge auf, wenn innerhalb der Totzeit beide komplementären Schalter einer Halbbrücke ausgeschaltet werden. Wie in Vorwärtsrichtung lässt sich auch im Diodenmodus mit einer positiven Gatespannung (hier 15 V) der Inversionskanal öffnen. Das Bauteil weist somit wie im Vorwärtsbetrieb eine ohmsche Ausgangscharakteristik ohne Schwellspannung auf. Dies beinhaltet gleichermaßen den Vorteil eines niedrigen Spannungsabfalls bei niedriger Last, aber ebenso den großen positiven Temperaturkoeffizienten. Bei größeren Lastströmen ist eine bipolare Si-Diode trotz ihrer Schwellspannung im Vorteil.

Während bei niedriger Temperatur der SiC-MOSFET einen deutlich geringeren Spannungsabfall aufweist als die Si-Diode, schneiden sich die Kennlinien beider Halbleiter bei einer Temperatur von 125 °C bereits bei etwa 60 % des Nennstroms. Der SiC-MOSFET verursacht bei doppeltem Nennstrom beinahe doppelt so hohe Durchlassverluste wie die Si-Diode.

4.3 Abschalten mit Pulsmuster 1 - Hartes Abschalten mit IGBT

Beim Hybridschalter kann gezielt die Schaltreihenfolge der parallelgeschalteten Si-IGBT und SiC-MOSFETs bestimmt werden. Eine in der Literatur unterrepräsentierte Variante der Schaltreihenfolge für das Abschalten ist das spannungslose Schalten des SiC-MOSFET, bei dem der SiC-MOSFET vor dem Si-IGBT abgeschaltet wird (siehe Abbildung 4.6). Nach dem Abschalten des MOSFETs wird der Abschaltvorgang und die Spannungsaufnahme durch den IGBT und dessen Ansteuerung bestimmt. Diese Schaltreihenfolge wird in diesem Unterkapitel detailliert betrachtet.

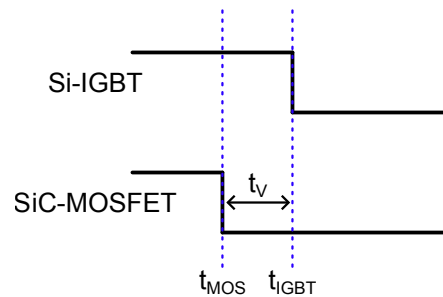


Abbildung 4.6: Schaltsignale bei IGBT-geführtem Abschalten (Pulsmuster 1): MOSFET schaltet vor IGBT ab

Dafür wird ein Schaltsignalversatz t_V nach Gleichung 4.11 über die Ansteuerungssignale definiert. Negative Werte bedeuten, dass der MOSFET das Signal zum Abschalten vor dem IGBT erhält. Dabei ist zu beachten, dass t_V sich auf den Versatz der Ansteuersignale bezieht und unterschiedliche Abschaltverzögerungszeiten darin nicht enthalten sind.

$$t_V = t_{MOS} - t_{IGBT} \quad (4.11)$$

Der verwendete SiC-MOSFET hat eine geringere Eingangskapazität, als alle in dieser Arbeit betrachteten Si-IGBTs. Bei $t_V \leq 0$ und gleichen Gatewiderständen wird immer der MOSFET zuerst abgeschaltet. Je nach verwendetem IGBT und abhängig vom Arbeitspunkt lässt sich ein spannungsloses Schalten des MOSFETs auch bei geringen positiven Werten für t_V (wenige 100 ns) erzielen.

4.3.1 Abschaltverhalten des Hybridschalters mit *low-sat* IGBT

In Abbildung 4.7 ist das Abschaltverhalten eines Hybridschalters mit *low-sat* IGBT dargestellt. Bei einer Ansteuerung mit separaten Treibern (siehe Abbildung 2.2b) wurden die Gate-Widerstände so gewählt, dass der SiC-MOSFET auch bei identischem Schaltsignal zuerst abschaltet.

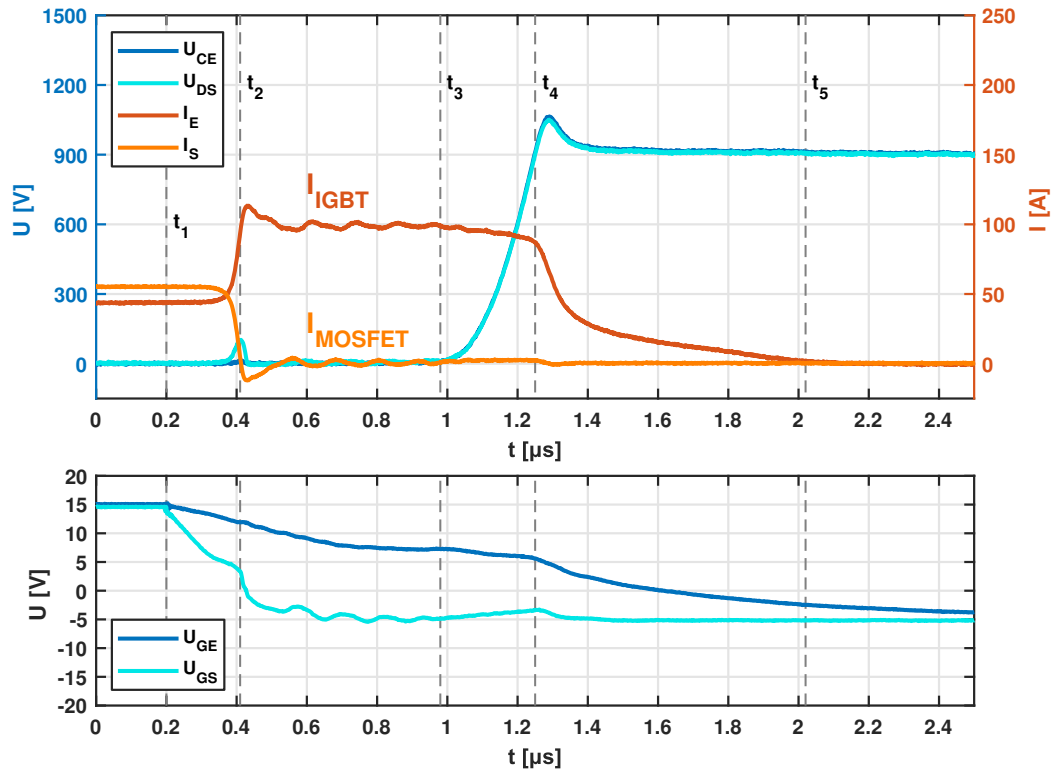


Abbildung 4.7: IGBT-geführtes Abschalten eines Si-SiC Hybridschalters mit *low-sat* IGBT unter Nennbedingungen ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = 0 \mu\text{s}$)

Im statischen Zustand teilt sich der Laststrom entsprechend der Ausgangskennlinien bei einer Sperrschichttemperatur von $T_j = 125^\circ\text{C}$ zwischen den beiden Halbleitern auf (siehe Abbildung 4.3). Bei einem Laststrom von 100 A führt der IGBT etwas weniger, der MOSFET etwas mehr als die Hälfte des Laststroms. Zum Zeitpunkt t_1 werden gleichzeitig beide separaten Treiberspannungen invertiert ($t_V = 0 \mu\text{s}$). Das Gate beider Halbleiter beginnt sich zu entladen. Der Si-IGBT weist eine höhere Gatekapazität auf und wird über einen höheren Gatewiderstand entladen. Die Gatespannung V_{GS} des MOSFETs sinkt folglich deutlich schneller ab als die Gatespannung V_{GE} des IGBTs.

Zwischen t_1 und t_2 kommutiert der Laststrom vom MOSFET in den IGBT. Die Gatespannung des IGBTs hat noch nicht das Millerplateau erreicht, befindet sich weiterhin im Durchlass und übernimmt den gesamten Laststrom. Das dI/dt ist durch den abschaltenden MOSFET bestimmt. Der Kommutierungsvorgang vom MOSFET zum IGBT erzeugt eine Spannungsspitze zum Zeitpunkt t_2 an den parasitären Induktivitäten zwischen den parallel geschalteten Substraten.

In Abbildung 4.8 ist der innere Kommutierungskreis zwischen IGBT und MOSFET eingezeichnet. Er umfasst die Halbleiterchips selbst, die Pfade auf den Substraten sowie Kontaktierung der Substrate und Leiterbahnen des Leistungspfades. Alle diese Komponenten

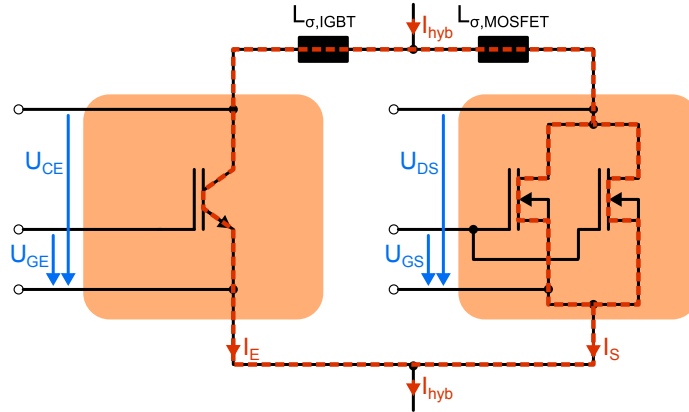


Abbildung 4.8: Innerer Kommutierungskreis des Hybridschalters (rot, gestrichelt) zwischen Si-IGBT und SiC-MOSFET

ten tragen zu einer parasitären Induktivität innerhalb dieses inneren Kommutierungskreises bei und sind hier in den Induktivitäten $L_{\sigma,IGBT}$ und $L_{\sigma,MOSFET}$ zusammengefasst.

Die parasitäre Induktivität des inneren Kommutierungskreises ist auch Teil des gesamten Kommutierungskreises des Laststroms. Je nachdem, in welchem Zweig während des harten Abschaltens der Laststrom fließt, ist $L_{\sigma,IGBT}$ bzw. $L_{\sigma,MOSFET}$ Teil der gesamten parasitären Induktivität des skalierten Messaufbaus, die insgesamt $L_{\sigma} = 200 \text{ nH}$ beträgt. Aus den gemessenen Schalttransienten lässt sich eine gesamte Induktivität des inneren Kommutierungskreises von $L_{\sigma,IGBT} + L_{\sigma,MOSFET} \approx 50 \text{ nH}$ extrahieren. Durch den Aufbau mit separaten Substraten fällt die Induktivität dieses Kommutierungskreises in dem verwendeten Messaufbau höher aus, als es in einem Modul mit einem gemeinsamen Substrat zu erwarten wäre.

Die Verläufe der Spannungen U_{CE} und U_{DS} der parallelen Schalter liegen während des Abschaltens übereinander. Nur bei unterschiedlichen Spannungsabfällen an den Induktivitäten im inneren Kommutierungskreis unterscheiden sich diese Spannungen. Die zum Zeitpunkt t_2 auftretende Spannungsspitze von U_{DS} kann durch Gleichung 4.12 beschrieben werden. Dabei bleibt während des Kommutierungsvorgangs der Gesamtstrom I_{hyb} konstant, sodass $dI_E/dt = -dI_S/dt$ gilt. Da sich im IGBT das Plasma entsprechend der statischen Stromverteilung vor Zeitpunkt t_1 aufgebaut hat, steigt auch U_{CE} durch die Übernahme des gesamten Laststroms geringfügig an.

$$U_{DS} = U_{CE} + \frac{dI_E}{dt} (L_{\sigma,IGBT} + L_{\sigma,MOSFET}) \quad (4.12)$$

Zum Zeitpunkt t_2 wird der Strom I_S negativ, es kommt zu einem Unterschwingen des Stroms. Die Ausgangskapazität hat sich während des Kommutierungsvorgangs aufgeladen.

Der negative Spitzenwert von I_S wird erreicht, sobald sich die Spannung über dem MOSFET abgebaut hat und sich die Ausgangskapazität des MOSFETs wieder entladen hat. Der Inversionskanal des MOSFETs ist vollständig geschlossen, der MOSFET ist durch seine Bodydiode jedoch auch rückwärtsleitfähig. Bei $I_S < 0$ handelt es sich um einen Kreisstrom im inneren Kommutierungskreis. Das geringere positive dI/dt wird durch Gleichung 4.12 bestimmt, mit $U_{DS} < 0$, also der Flussspannung der Bodydiode. Die Kapazitäten der Halbleiter und die Induktivitäten des Kommutierungskreises bilden ein schwingfähiges System. Beim IGBT ist währenddessen die Ausbildung des Millerplateaus der Gatespannung zu erkennen.

Zum Zeitpunkt t_3 fangen die Spannungen U_{CE} und U_{DS} sichtbar an zu steigen. Die Spannungssteilheit ist durch den Gatewiderstand und die Speicherladung des IGBTs bestimmt. Über die Millerkapazität des SiC-MOSFETs wird die Gatespannung V_{GS} leicht angehoben, bleibt aber negativ. Bereits vor Erreichen der Zwischenkreisspannung bei t_4 ist ein Rückgang des Stroms I_E zu erkennen. Durch die Spannungsaufnahme werden die Ausgangskapazitäten des Hybridschalters umgeladen. Durch die Kapazität des gegenüberliegenden Schalters kommt es zu einer Reduktion des Stroms I_{hyb} . Die Kapazität des MOSFETs vom ausschaltenden Hybridschalter führt zu einem geringen Stromanstieg von I_S .

Zum Zeitpunkt t_4 wird die Zwischenkreisspannung erreicht. Der Strom kommutiert in den gegenüberliegenden Hybridschalter, also in die Bodydiode des gegenüberliegenden SiC-MOSFETs. Das negative dI/dt erzeugt durch die Streuinduktivität im Kommutierungspfad des Laststroms eine Überspannungsspitze an beiden parallelen Schaltern. Das Gate des IGBTs wird folgend bis auf die negative Treiberspannung entladen. Der Strom I_E geht in den Tailstrom über, der bis zum Zeitpunkt t_5 andauert. Da in Abbildung 4.7 das Abschalten eines Hybridschalters mit *low-sat* IGBT gezeigt wird, ist dieser Tailstrom stark ausgeprägt.

Durch die hier gezeigte Abschaltreihenfolge wird erreicht, dass der SiC-MOSFET bei geringer Spannung abschaltet, es entstehen nur minimale Schaltverluste im SiC-MOSFET ($E_{off,SiC} = 0.3 \text{ mJ}$), während der Großteil der Schaltverluste im Si-IGBT umgesetzt wird ($E_{off,Si} = 22.9 \text{ mJ}$). Eine Auswertung der Schaltverluste im Vergleich zu anderen Schaltern erfolgt in Abschnitt 4.3.10.

4.3.2 Steigerung der Schaltgeschwindigkeit durch statische Stromaufteilung

In der Parallelschaltung aus Si-IGBT und SiC-MOSFET teilt sich der Strom in Abhängigkeit des Arbeitspunktes zwischen IGBT und MOSFET auf. Der IGBT baut durch den geführten Laststrom eine statische Ladungsträgerkonzentration auf, die von seinem Kollektorstrom abhängig ist. Bei einem IGBT-geführten Abschalten mit Pulsmuster 1 wird das Ladungsträgerplasma mit mehr Strom ausgeräumt, als es aufgebaut wurde. Der

Abschaltvorgang wird beschleunigt. Die statische Stromverteilung hat also einen großen Einfluss auf das Schaltverhalten des Hybridschalters.

In Abbildung 4.9 ist das intrinsische Abschalten eines *low-sat* IGBTs dargestellt. Das Abschalten des gleichen IGBTs wurde sowohl mit als auch ohne parallelen SiC-MOSFET untersucht. Dabei diente in beiden Fällen ein SiC-MOSFET für den Freilauf (siehe Abbildung A.2). Das hier gezeigte Abschalten des Si-IGBTs unterscheidet sich von einem Full-Si Schalter durch das Forward-Recovery Verhalten und die geringere Kapazität einer Si-Diode. Hier gezeigte Effekte sind nur auf unterschiedliche Ansteuerung und dem IGBT parallel geschaltetem MOSFET zurückzuführen, der Einfluss von Si-Dioden wurde vermieden.

Im Vergleich der beiden intrinsischen Abschaltvorgänge führt im Hybridschalter der IGBT bis kurz vor seinem Abschalten nur ungefähr den halben Nennstrom. Er übernimmt jedoch den gesamten Laststrom, nachdem der MOSFET abgeschaltet wurde. Beim intrinsischen Abschalten wird der Elektronenkanal des IGBTs sehr schnell geschlossen, die Spannungssteilheit ist daraufhin durch die Plasmakonzentration innerhalb der Driftzone des IGBTs bestimmt. Die deutlich höhere Spannungssteilheit des IGBTs im Hybridschalter zeigt an, dass eine geringere Ladungsträgerkonzentration vorhanden ist. Ebenfalls fällt der Tailstrom geringer aus, dessen Höhe die Menge verbliebener Ladung nach der Spannungsaufnahme anzeigt.

Obwohl der IGBT des Hybridschalters für einen kurzen Zeitraum vom gesamten Laststrom durchflossen wird, ist dennoch deutlich weniger Ladung innerhalb des IGBTs vorhanden. Der Abschaltvorgang des IGBTs wird alleine dadurch beschleunigt, dass er im Durchlasszustand eine geringere Stromdichte aufweist als beim Abschaltvorgang. Die größere Spannungssteilheit und der reduzierte Tailstrom wirken sich positiv auf die Schaltverluste aus. Der SiC-MOSFET weist eine größere Ausgangskapazität auf als eine Si-Diode. In Abbildung 4.9 wird beim Hybridschalter sowohl der parallele MOSFET als auch der im Freilaufpfad befindliche MOSFET umgeladen, der Laststrom im IGBT des Hybridschalters fällt etwas geringer aus (siehe $t = 1 \mu\text{s}$). Die insgesamt stärker abfallende Stromflanke im Hybridschalter führt zu einer höheren Überspannung.

Das Abschaltverhalten des Hybridschalters und insbesondere die Spannungssteilheit weisen eine Abhängigkeit von der statischen Stromverteilung im Durchlass auf. In Abbildung 4.10 ist die gemessene intrinsische Spannungssteilheit eines Hybridschalters im Vergleich mit einem IGBT ohne parallelen SiC-MOSFET abgebildet, sowohl für einen *low-sat* IGBT (Abbildung 4.10a), als auch für einen sehr schnell schaltenden IGBT (Abbildung 4.10b). Es lässt sich festhalten, dass die Spannungssteilheit des Hybridschalters generell in allen Arbeitspunkten höher liegt als beim IGBT. Da die IGBT Fläche in beiden Fällen gleich ist und der statische Kollektorstrom im Hybridschalter immer niedriger ist als im reinen Full-Si Schalter, ist im IGBT des Hybridschalters immer weniger Ladung vorhanden. Bei

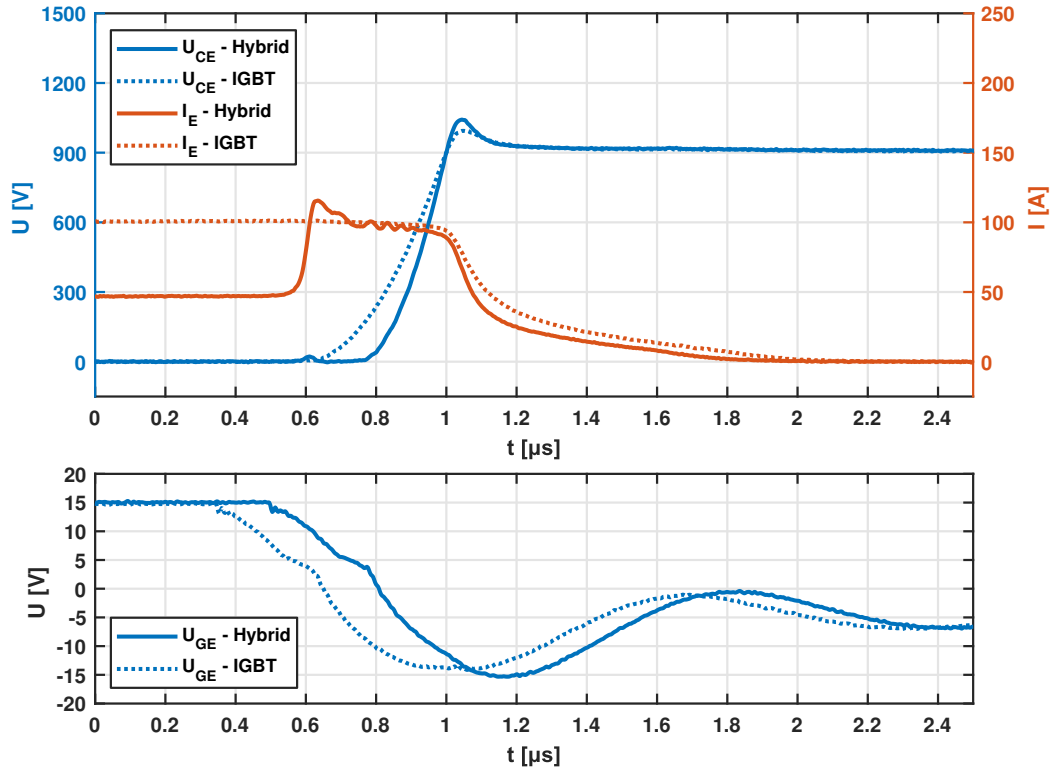


Abbildung 4.9: Intrinsisches Abschalten eines *low-sat* IGBTs innerhalb eines Si-SiC Hybridschalters und ohne parallelen SiC-MOSFET unter Nennbedingungen ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125^\circ \text{C}$, $C_{GE,ext} = 0 \text{ nF}$, $t_V = -0.1 \mu\text{s}$)

Nennstrom und hoher Temperatur kommt es so beim *low-sat* IGBT zu einer Steigerung von $3 \text{ kV}/\mu\text{s}$ auf $5 \text{ kV}/\mu\text{s}$ (Arbeitspunkt der Schalttransienten in Abbildung 4.9).

Auffällig ist, dass der Verlauf des *low-sat* Hybridschalters jeweils bei beiden Temperaturen ein Maximum aufweist. Diese Maxima sind bei denjenigen Lastströmen zu finden, ab denen im Durchlass die Schwellspannung des IGBTs überschritten wird. Unterhalb dieser Grenze führt der IGBT keinen signifikanten Anteil am Laststrom und baut statisch kein Plasma auf. Der IGBT übernimmt erst den Laststrom, nachdem der MOSFET abgeschaltet wurde. Oberhalb dieser Grenze baut der IGBT bereits während des gemeinsamen Durchlasses Plasma auf. Insbesondere in der Übergangsphase, in der bereits ein gewisser Laststrom für das Umladen der Ausgangskapazität zur Verfügung steht, aber nur eine geringe Ladungsträgerdichte im IGBT aufgebaut wurde, lässt sich eine sehr starke Steigerung der Spannungsteilheit feststellen. Sowohl im kalten als auch im heißen Zustand liegt die Steilheit des *low-sat* IGBTs im Hybridschalter im Maximum ungefähr um Faktor 5 höher als beim Si-Schalter. Mit steigender Temperatur verschiebt sich jedoch das Maximum zu niedrigeren Strömen von 40 A bei 25°C zu 20 A bei 125°C . Da dieser Übergangsbereich vom $R_{ds,on}$ des MOSFETs und U_{F0} des IGBTs abhängt (siehe Gleichung 4.6), verschiebt

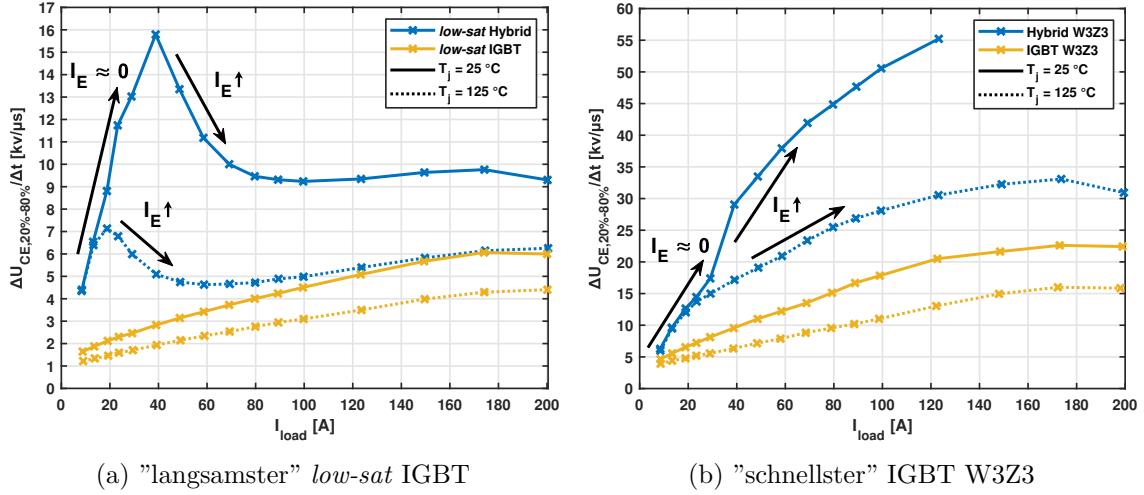


Abbildung 4.10: Vergleich der Spannungssteilheit beim intrinsischen Abschalten des Hybridschalters und des IGBTs ohne parallelen SiC-MOSFET ($U_{DC} = 900$ V, $C_{GE,ext} = 0$ nF, $t_V = -0.1$ μ s)

sich dieser Wert mit der Sperrschichttemperatur. Diese Verschiebung ist dominiert vom positiven Temperaturkoeffizienten des $R_{ds,on}$ (siehe Ausgangskennlinien in Abbildung 4.3).

Da im IGBT bei geringen Lastströmen statisch kein Plasma aufgebaut wird, ist in diesen Arbeitspunkten ebenfalls die große Temperaturabhängigkeit der bipolaren Ladung nicht vorhanden. Vergleichbar mit dem Schaltverhalten eines unipolaren SiC-MOSFET gleichen sich daher jeweils die Spannungssteilheiten für unterschiedliche Temperaturen.

Der schnelle Hybridschalter weist in seinem Verlauf keine Maxima auf. Dies kann mit seinem höheren differentiellen Widerstand erklärt werden. Der Anteil des Kollektorstroms nimmt mit steigendem Laststrom mit einer geringeren Steigung zu als beim *low-sat* Hybrid (vgl. Anstieg der anteiligen Stromführung in Abbildung 4.4). Die Messreihe des schnellen Hybridschalters bei 25 °C endet vor dem zweifachen Nennstrom, da die transiente Überspannungsspitze beim intrinsischen Abschalten bei hohem Laststrom die Sperrspannung des IGBTs überschreitet.

In einem Full-Si Schalter steigt die Spannungssteilheit des IGBTs mit steigendem Laststrom durchgehend an. Kollektorseitig gilt allgemein eine Proportionalität von Stromdichte zu Ladungsträgerdichte nach Gleichung 4.13. Emitterseitig fällt der Exponent von n in der Proportionalitätsgleichung 4.13 geringer aus und ist strom- und temperaturabhängig. [125]

$$J \sim n^2 \quad (4.13)$$

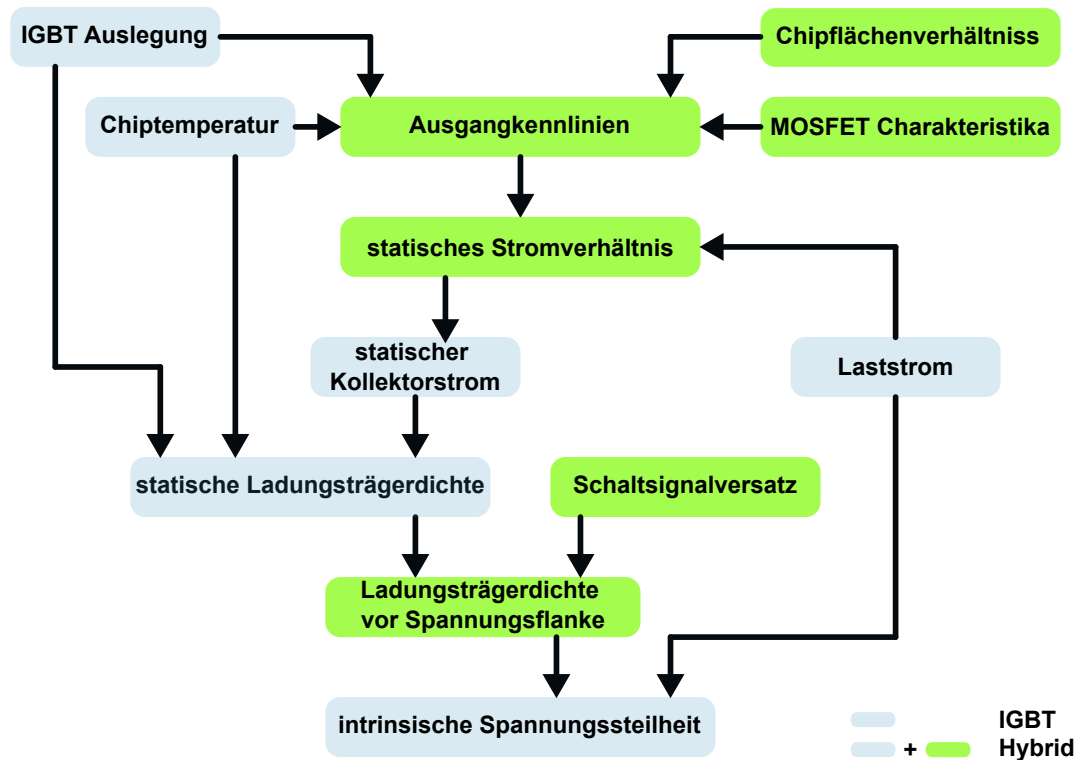


Abbildung 4.11: Wirkungskette und Einflussparameter der statischen Stromverteilung auf die intrinsische Spannungssteilheit beim Abschalten mit Pulsmuster 1

Diese Proportionalität erklärt den Verlauf von steigender, aber mit zunehmendem Laststrom abflachender Steilheit des IGBTs im Full-Si Schalter in Abbildung 4.10. Die Abhängigkeit der Ladungsträgerdichte vom Kollektorstrom ist in einem IGBT im Hybridschalter immer noch gültig, wird jedoch zusätzlich durch die Stromverteilung zwischen IGBT und MOSFET beeinflusst.

Abbildung 4.11 bildet den zusätzlichen Wirkungsmechanismus ab. Im Full-Si Schalter ist der Kollektorstrom gleich dem Laststrom, dieser bestimmt zusammen mit der aktuellen Sperrschichttemperatur sowie der allgemeinen IGBT Auslegung die statische Ladungsträgerdichte im IGBT, die beim Full-Si Schalter gleich der Ladungsträgerdichte vor der Spannungsflanke ist. Das Ausräumen des Plasmas während des Abschaltens resultiert in einer gewissen Steilheit.

Beim Hybridschalter wird der Kollektorstrom durch die Ausgangskennlinien von IGBT und MOSFET bestimmt. Durch die Ungleichheit von Laststrom und Kollektorstrom entsteht ein weiterer Wirkpfad auf die intrinsische Spannungssteilheit. Über das statische Stromverhältnis wirken die Ausgangskennlinien auf die statische Ladungsträgerdichte im IGBT, während der Laststrom die Stromdichte während des Abschaltens bestimmt. Bei Pulsmuster 1 bestimmt der Schaltsignalversatz wie lange vor der Spannungsflanke der IGBT vom gesamten Laststrom durchflossen wird. Abhängig vom Schaltsignalversatz

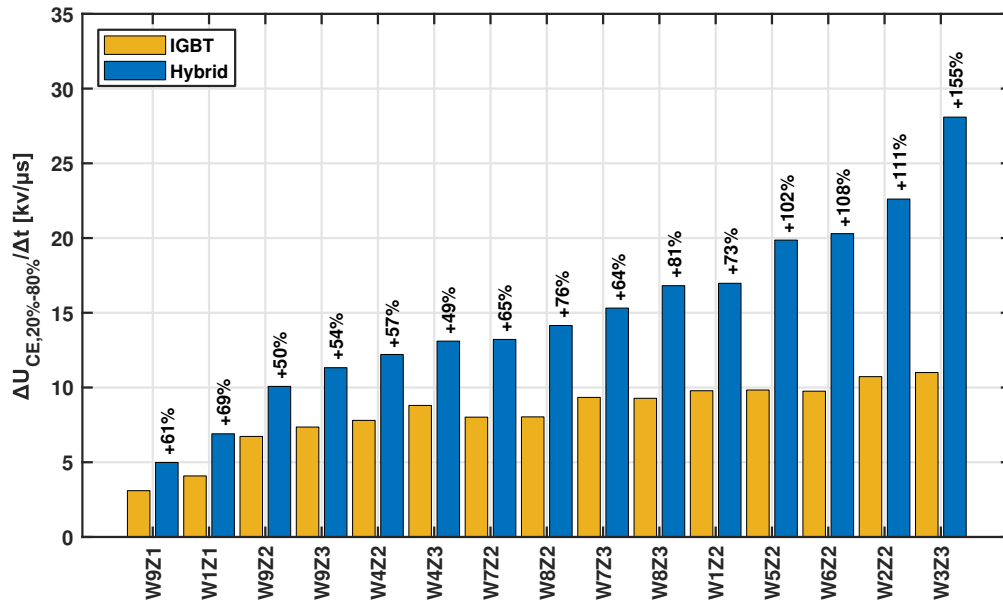


Abbildung 4.12: Steigerung der intrinsischen Flankensteilheit im Hybridschalter bei einer Auswahl unterschiedlich ausgelegter IGBTs ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$)

nimmt kurz vor dem Abschalten die Ladungsträgerdichte durch eine hohe Stromdichte im IGBT zu (Eine genaue Betrachtung dieses Effekts erfolgt in Abschnitt 4.3.4 und 4.3.5). Alle Parameter, die einen Einfluss auf die Ausgangskennlinien und die statische Stromverteilung haben, beeinflussen nun auch die intrinsische Spannungssteilheit.

Auch wenn eine Variation der Eigenschaften des SiC-MOSFET nicht experimentell untersucht wurde, lässt sich aus der Wirkungskette von Pulsmuster 1 folgern, dass der $R_{DS,on}$ und dessen Temperaturkoeffizient einen großen Einfluss auf die Spannungssteilheit des IGBTs hat. Ebenfalls folgt, dass das Flächenverhältnis einen starken Einfluss auf das Schaltverhalten des Hybridschalters hat. Beispielsweise führt eine reduzierte SiC-MOSFET Fläche zu einer größeren Stromdichte im IGBT, die die Spannungssteilheit verringert. Betrachtet man alleine die Schaltgeschwindigkeit, ist ein größerer Anteil von SiC-Fläche immer dann vorteilhaft, wenn die Spannungssteilheit noch nicht die gewählte Limitierung der Applikation ausreizt (in dieser Arbeit $15 \text{ kV}/\mu\text{s}$, siehe Kapitel 3.5).

Im Vergleich zum Full-Si Schalter werden im Hybridschalter die Auswirkungen von Sperrschichttemperatur und der Auslegung des verwendeten IGBTs durch den parallel verlaufenden Wirkpfad verstärkt. Eine steigende Sperrschichttemperatur erhöht im IGBT bereits bei gleichbleibender Stromdichte die Ladungsträgerkonzentration, im Hybridschalter wird dieser Effekt nun auch durch einen Anstieg des Kollektorstroms verstärkt, hervorgerufen durch die Temperaturabhängigkeit der Ausgangskennlinien. Gleichmaßen führt eine Auslegung des IGBTs auf niedrige Durchlassspannung durch eine hohe Ladungsträgerkonzentration dazu, dass im Hybridschalter ebenfalls der Kollektorstrom weiter ansteigt.

In Abbildung 4.12 ist die intrinsische Spannungssteilheit des Hybridschalters mit unterschiedlich ausgelegten IGBTs und deren Steigerung im Vergleich zum alleine schaltenden IGBT abgebildet. Die prozentuale Steigerung der Spannungssteilheit reicht von 50 % im langsamen und mittleren Geschwindigkeitsbereich bis hin zu 150 % beim IGBT mit der höchsten Schaltgeschwindigkeit. Ungefähr die Hälfte der abgebildeten IGBTs überschreiten im Hybridschalter die Grenze von 15 kV/ μ s und müssen daher durch eine geeignete Treiberauslegung in ihrer Schaltgeschwindigkeit ausgebremst werden.

4.3.3 Dynamischer Avalanche

Wie in Kapitel 3.5 erläutert wurde, soll durch eine geeignete Treiberauslegung dynamischer Avalanche im IGBT vermieden werden. Ein Indikator für dynamischen Avalanche ist die Reduktion der Spannungssteilheit im Verlauf der ansteigenden Spannungsflanke, noch bevor U_{CE} die Zwischenkreisspannung erreicht hat.

In Abbildung 4.13 wird der intrinsische Abschaltvorgang von Hybridschalter und IGBT verglichen. Das Auftreten von Stoßionisation durch hohe elektrische Feldstärke nimmt mit steigender Temperatur ab [2]. Der Arbeitspunkt ist mit dem maximal abzuschaltenden Laststrom und niedriger Sperrschichttemperatur so gewählt, dass das Auftreten von dynamischer Avalanche begünstigt wird. Es ist bei beiden Spannungsflanken ein Rückgang der Spannungssteilheit ab ungefähr $U_{CE} = 800$ V zu erkennen, deutlich niedriger als die Zwischenkreisspannung von 1200 V. In beiden Schaltern tritt gleichermaßen dynamischer Avalanche auf.

Trotz Reduktion der Plasmamenge durch geringeren Kollektorstrom und die hieraus resultierende erhöhte Spannungssteilheit wird das Auftreten von dynamischer Avalanche nicht beeinflusst. Dynamischer Avalanche wird hervorgerufen durch eine zu hohe maximale elektrische Feldstärke. Beim intrinsischen Abschaltvorgang ist der Elektronenkanal vollständig geschlossen, in der sich aufbauenden Raumladungszone wird der gesamte Laststrom durch Löcherstrom getragen. Entsprechend der Gleichung 3.1 entsteht bei großem Laststrom eine Feldaufteilung mit hoher Feldstärkespitze. Auch wenn sich der statische Kollektorstrom unterscheidet, ist der Löcherstrom beider Schalter während der Spannungsflanke nahezu identisch. Da es sich um den gleichen IGBT handelt, gleichen sich bei identischer absoluter Spannung die Weite der Raumladungszone und der Verlauf der elektrischen Feldstärke. Bei gleichem Laststrom setzt dynamischer Avalanche bei gleicher absoluter Spannung ein.

In Abbildung 4.14 erfolgt ein Vergleich des Verlaufs der Spannungssteilheit in Bezug zur absoluten Spannung. Hierfür wurde das dU_{CE}/dt auf das jeweilige Maximum normiert. Trotz unterschiedlicher absoluter Werte gleichen sich die normierten Verläufe. Das Maximum der Spannungssteilheit tritt bei 800 V auf und geht danach auf 40 % zurück. Durch dynamischen Avalanche erzeugter Elektronenstrom reduziert die Ausräumgeschwindigkeit des Plasmas und reduziert die Spannungssteilheit. Aus dem sich gleichenden normierten Rückgang der

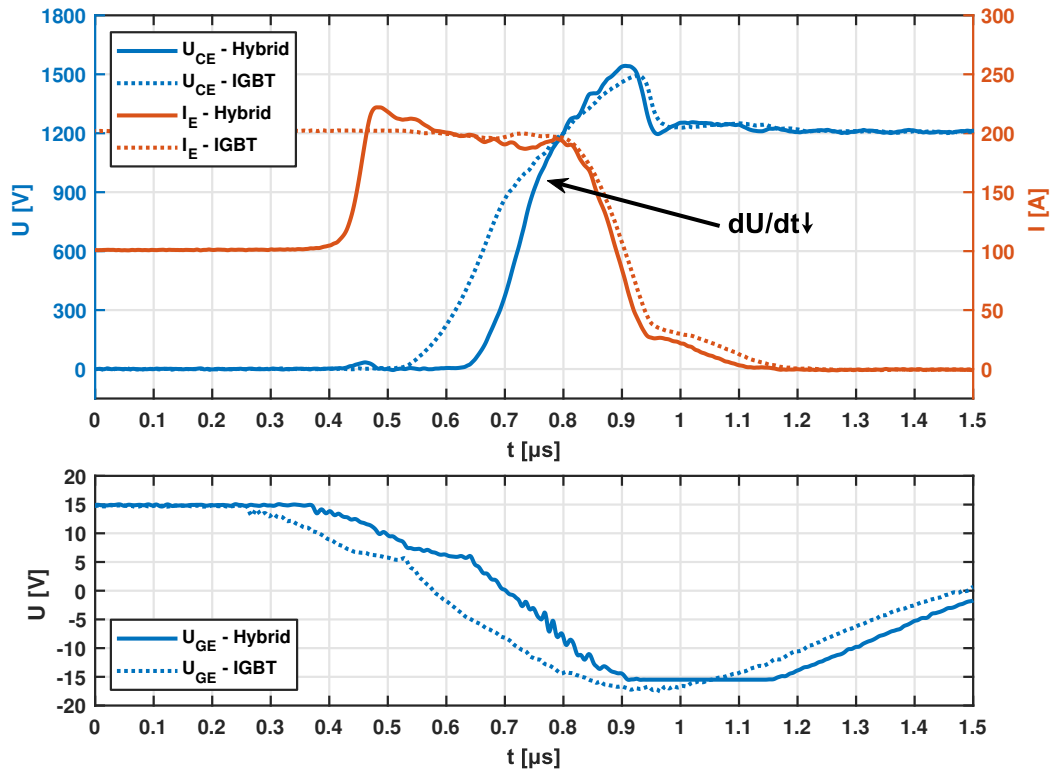


Abbildung 4.13: Dynamischer Avalanche beim intrinsischen Abschalten eines *low-sat* IGBTs innerhalb eines Si-SiC Hybridschalters im Vergleich zu einem IGBT ($I_L = 200 \text{ A}$, $U_{DC} = 1200 \text{ V}$, $T_j = 25^\circ \text{C}$, $C_{GE,ext} = 0 \text{ nF}$, $t_V = -0.1 \mu\text{s}$)

Steilheit lässt sich folgern, dass in beiden IGBTs durch dynamischen Avalanche ein Elektronenstrom in vergleichbarer Dichte erzeugt wird, der das Ausräumen der Speicherladung in gleichem Verhältnis verlangsamt. Der Hybridschalter ist also bei gleicher Stromdichte im IGBT grundsätzlich nicht mehr oder weniger anfällig für dynamischen Avalanche als ein Full-Si Schalter. Es kann von einem geringen Vorteil des Hybridschalters ausgegangen werden, da ein kleiner Teil des Laststromes die Ausgangskapazität des SiC-MOSFETs umlädt.

In [42] wird gezeigt, wie der IGBT im Hybridschalter eine deutlich größere Stoßionisationsrate erfährt, als ein Full-Si Schalter. Dies tritt dann auf, wenn im Hybridschalter der IGBT mit einer deutlich größeren Stromdichte belastet wird. Sollte im Hybridschalter im Vergleich zum Full-Si der maximale Ausgangsstrom gesteigert werden, muss die höhere Stromdichte im IGBT in Bezug auf dynamischen Avalanche berücksichtigt werden.

Dynamischer Avalanche tritt bei allen in dieser Arbeit untersuchten IGBTs auf, hat aber nur dann eine Auswirkung auf die Treiberauslegung, wenn der Schalter nicht bereits wegen zu hoher Spannungssteilheit ausgebremst wurde. In Abbildung 4.10 ist in beiden Teilbildern sowohl beim *low-sat* IGBT als auch beim schnellsten IGBT W3Z3 ein Abfall des dU_{CE}/dt bei sehr hohen Lastströmen ($I_L = 200 \text{ A}$) zu erkennen, dieser kann mit dynamischem

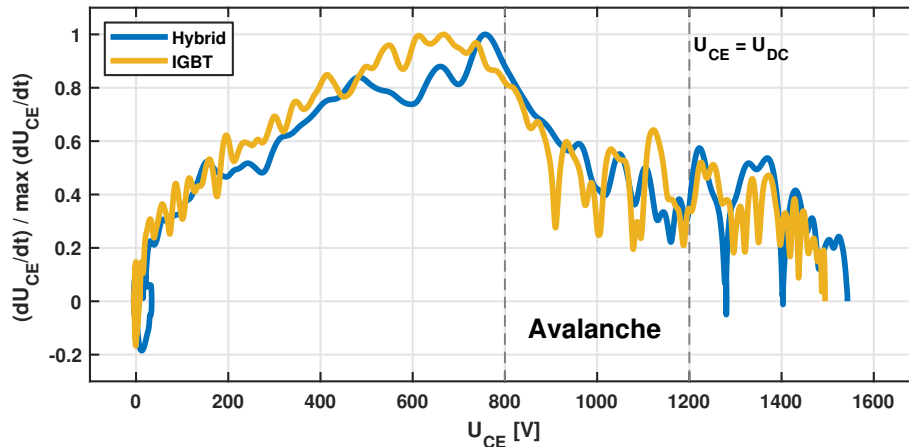


Abbildung 4.14: Vergleichbarer Rückgang der normierten, lokalen Spannungssteilheit dU_{CE}/dt in Abbildung 4.13, bezogen auf die absolute Spannung U_{CE} während des intrinsischen Abschaltens

Avalanche erklärt werden. Ein sichtbarer Rückgang des dU/dt während des Abschaltens vom IGBT W3Z3 ist im Anhang in Abbildung A.3 dargestellt.

Dynamischer Avalanche kann vermieden werden, indem durch eine geeignete Wahl des Abschaltwiderstandes der Elektronenkanal bis zum Erreichen der Zwischenkreisspannung geöffnet bleibt und so die Felddaufteilung in der Raumladungszone reduziert wird. Für eine geeignete Treiberauslegung wurde daher bei den in dieser Arbeit untersuchten IGBT der $R_{g,off}$ entsprechend so gewählt, dass keine deutliche Reduktion der Spannungssteilheit vor Erreichen der Zwischenkreisspannung auftritt.

4.3.4 Zunahme der Ladungsträgerdichte im IGBT während des Abschaltvorgangs

Wie im Abschnitt 4.3.3 erläutert wurde, ist ein Rückgang der Spannungssteilheit während der ansteigenden Spannungsflanke vor Erreichen der Zwischenkreisspannung ein Indikator für das Auftreten von dynamischem Avalanche. Beim *low-sat* Hybridschalter ist ein solcher Rückgang auch bei niedrigen Lastströmen zu beobachten. In Abbildung 4.15 ist das intrinsische Abschaltverhalten bei hoher Temperatur und hoher Zwischenkreisspannung für kleinen und mittleren Laststrom dargestellt. Bei geringem Laststrom ist der IGBT noch nicht am Durchlass beteiligt und wird erst nach Abschalten des SiC-MOSFETs bestromt. Im Verlauf der Spannungsflanke steigt das dU/dt erst an und beginnt sich ab ca. $U_{CE} = 600$ V immer weiter zu reduzieren.

Ein Auftreten von dynamischem Avalanche bei diesem Arbeitspunkt ist jedoch sehr unwahrscheinlich. Betrachtet man den Spannungsverlauf bei einem Laststrom von $I_L = 50$ A, ist ein kontinuierlicher Anstieg des dU/dt zu erkennen. Wäre dynamischer Avalanche die Ursache, wäre der Rückgang des dU/dt bei höherem Laststrom stärker ausgeprägt. Zusätzlich ist

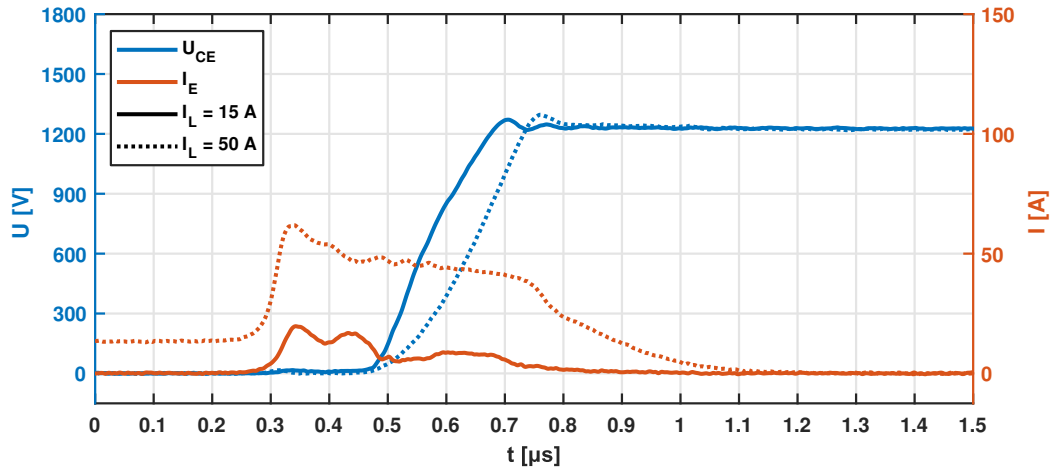


Abbildung 4.15: Rückgang der Spannungssteilheit bei geringen Lastströmen im *low-sat* Hybridschalter ($U_{DC} = 1200 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 0 \text{ nF}$, $t_V = -0.1 \text{ } \mu\text{s}$)

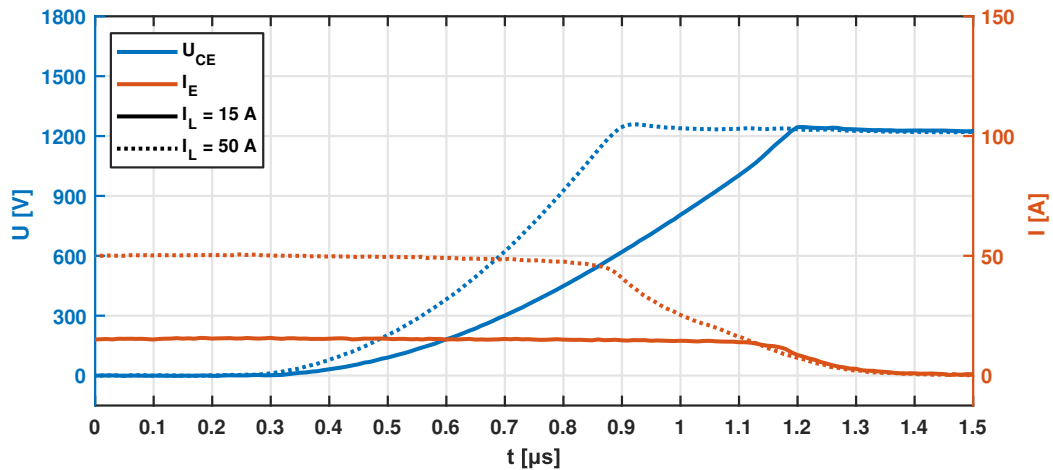


Abbildung 4.16: Intrinsisches Abschalten des *low-sat* Si-IGBTs bei geringen Lastströmen ($U_{DC} = 1200 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$)

in Abbildung 4.13 zu erkennen, dass bei einem Laststrom von 200 A Avalanche erst bei ca. $U_{CE} = 800 \text{ V}$ einsetzt, hier beginnt der Rückgang des dU/dt jedoch bereits bei einer niedrigeren Spannung.

Dieser Rückgang der Spannungssteilheit tritt nur im Hybridschalter auf. In Abbildung 4.16 ist das Abschalten des gleichen *low-sat* IGBTs ohne parallelen SiC-MOSFET dargestellt. Die Flankensteilheit fällt in beiden Arbeitspunkten insgesamt deutlich geringer aus, es ist im Verlauf eine kontinuierliche Zunahme des dU/dt zu erkennen. Da im IGBT sowohl beim alleinigen intrinsischen Abschalten als auch beim Abschalten im Hybridschalter die gleiche Stromdichte vorhanden ist, würde dynamischer Avalanche gleichermaßen in beiden Schaltern auftreten.

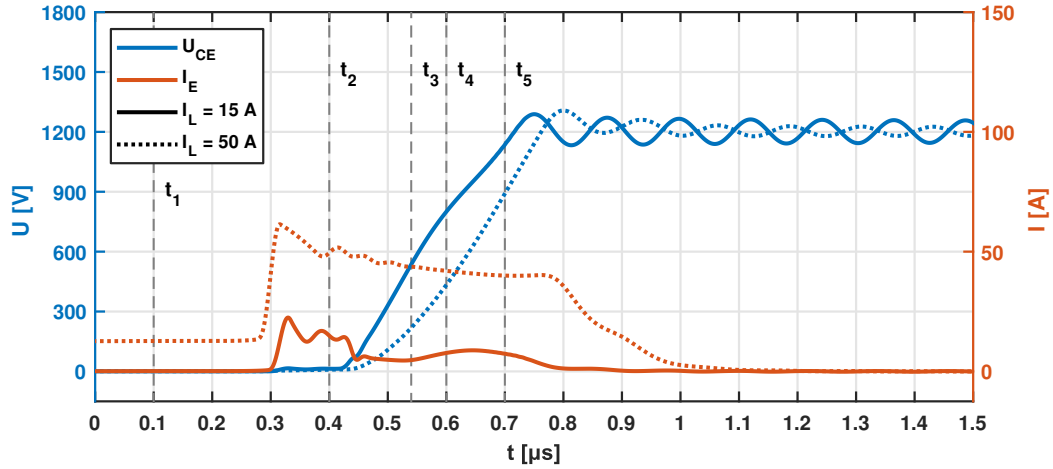


Abbildung 4.17: Simulation: Intrinsisches Abschalten eines IGBTs, ähnlich dem *low-sat* Si-IGBT, bei geringen Lastströmen ($U_{DC} = 1200\text{ V}$, $T_j = 125\text{ °C}$, $C_{GE,ext} = 20\text{ nF}$)

Zur Erklärung des Schaltverhaltens wurden FEM-Simulationen (Finite-Elemente-Methode) durchgeführt. Dabei wurde ein FEM-Modell des *low-sat* IGBTs erzeugt, das ihm in Durchlassspannung und intrinsischer Spannungssteilheit gleicht. Anschließend wurde das Abschaltverhalten des IGBTs im Hybridschalter nachgebildet, indem ein parallel geschalteter generischer MOSFET (SPICE Modell) den Laststrom vor dem Abschalten im Durchlass übernimmt und erst beim Abschalten der IGBT vom gesamten Laststrom durchflossen wird. Der Schaltplan zur Simulation ist im Anhang in Abbildung A.4 dargestellt.

Die simulierten Schalttransienten sind in Abbildung 4.17 abgebildet. Auch in der Simulation ist bei einem geringen Laststrom von 15 A ein deutlicher Rückgang des dU/dt ab ungefähr $U_{CE} = 600\text{ V}$ zu erkennen. Gleichermaßen ist dieser Rückgang bei einem Laststrom von 50 A nicht mehr vorhanden.

In Abbildung 4.18 ist der Verlauf der elektrischen Feldstärke und die Ladungsträgerdichte abgebildet, die aus dem Simulationsmodell zu denen in Abbildung 4.17 gekennzeichneten Zeiten extrahiert wurden. Die hierfür verwendete Schnittachse verläuft vertikal durch das Bauelement und ist im Anhang in Abbildung A.5 skizziert. Die elektrische Feldstärke ist auf das Maximum im statischen Sperrzustand normiert. Die Löcherkonzentration ist auf die Dotierungskonzentration der Basis normiert. Da bei der hier vorliegenden Hochinjektion in der Basiszone $n \approx p$ gilt [2], wird auf die Darstellung der Elektronenkonzentration verzichtet.

Zum Zeitpunkt t_1 ist der Spannungsabfall des Hybridschalters aufgrund des geringen Laststroms so gering, dass der Kollektorstrom $I_C < 1\text{ A}$ ist. Die Basiszone ist zwar mit Ladungsträgern überschwemmt ($p \approx 10 \times N_D$), aber die Dichte fällt entsprechend sehr gering aus. Bei $I_C = 15\text{ A}$ beträgt die Löcherdichte $p \approx 200 \times N_D$, bei $I_C = 50\text{ A}$ beträgt die Löcherdichte $p \approx 400 \times N_D$.

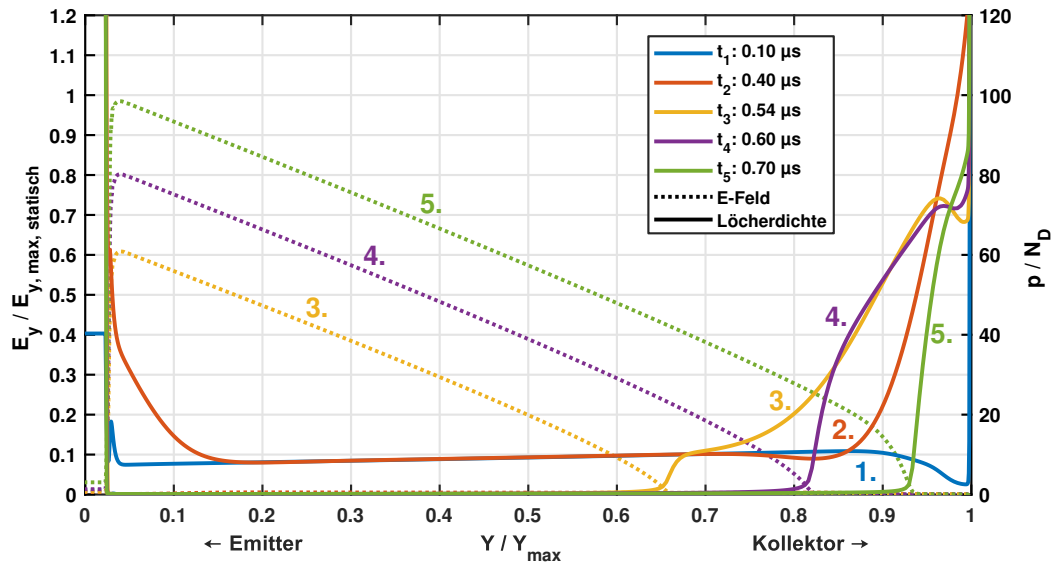


Abbildung 4.18: Simulation: Elektrische Feldstärke und Ladungsträgerdichte innerhalb des IGBTs zu gekennzeichneten Zeitpunkten in Abbildung 4.17 bei einem Laststrom von $I_L = 15 \text{ A}$

Mit dem Abschalten des MOSFETs kommutiert der Laststrom in den IGBT, dieser wird daraufhin von einer höheren Stromdichte durchflossen. Dies hat zur Folge, dass sich innerhalb des IGBTs eine höhere Ladungsträgerkonzentration aufzubauen beginnt. Dabei erfolgt der Aufbau des Ladungsträgerplasmas von den Rändern des IGBTs aus. Zum Zeitpunkt t_2 ist zu erkennen, wie sich sowohl am Emitter als auch am Kollektor die Ladungsträgerkonzentration erhöht. Da sich bei Spannungsaufnahme die Raumladungszone vom pn-Übergang am Emitter her ausbreitet, werden die zusätzlichen Ladungsträger am Emitter bereits zu Beginn der Spannungsflanke ausgeräumt.

Im Verlauf der Spannungsflanke wird der IGBT weiterhin von Strom durchflossen, daher breitet sich vom Kollektor ausgehend eine höhere Ladungsträgerkonzentration aus. Ein deutlicher Rückgang des dU/dt im Verlauf der Spannungsflanke ist zwischen den Zeitpunkten t_3 und t_4 auszumachen. In diesem Zeitraum erreicht die sich vom Emitter ausbreitende Raumladungszone die sich vom Kollektor ausbreitende erhöhte Ladungsträgerdichte. Beim Aufeinandertreffen steigt sprunghaft die Menge an Ladung an, die für eine weitere Spannungsaufnahme ausgeräumt werden muss.

Auch bei höheren Lastströmen wird nach dem Anstieg vom Kollektorstrom im IGBT zusätzliche Ladung aufgebaut. In Abbildung 4.19 ist die elektrische Feldstärke und das Ladungsträgerplasma zu den gleichen Zeitpunkten für das Abschalten des Hybridschalters bei einem Laststrom von $I_L = 50 \text{ A}$ dargestellt. Der Aufbau des Plasmas erfolgt hier nach dem gleichen Ablauf wie bei einem geringeren Laststrom, allerdings wurde vor dem Kommutierungsvorgang zum Zeitpunkt t_1 bereits Plasma für einen Kollektorstrom von $I_C = 13 \text{ A}$ aufgebaut. Auch hier muss die zusätzliche Ladung ausgeräumt werden, sobald

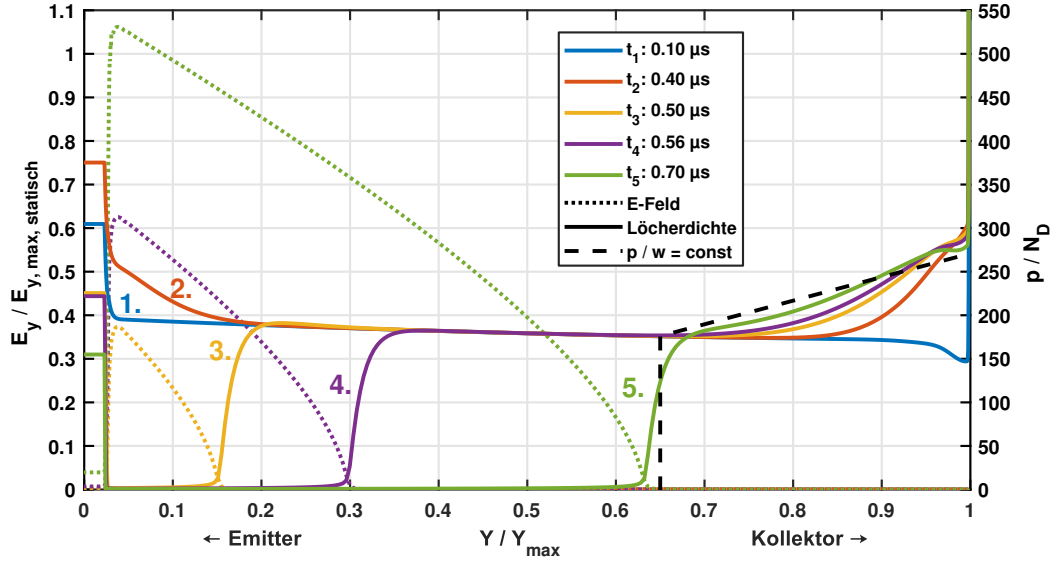


Abbildung 4.19: Simulation: Elektrische Feldstärke und Ladungsträgerdichte innerhalb des IGBTs zu gekennzeichneten Zeitpunkten in Abbildung 4.17 bei einem Laststrom von $I_L = 50 \text{ A}$

sich die vom Emitter ausbreitende Raumladungszone auf die sich vom Kollektor aus ausbreitende Plasmaflanke trifft. Es kommt jedoch nicht zu einer sichtbaren Reduktion des dU/dt .

Bei eindimensionaler Betrachtung der Raumladungszone mit dreieckigem Feldverlauf ergibt sich das dU/dt nach Gleichung 4.14. Dafür wurde die Gleichung A.38 aus [126] vereinfacht, indem der Elektronenstrom in der Raumladungszone zu Null gesetzt wurde, da hier intrinsisches Abschalten mit abgeschnürtem Elektronenkanal vorliegt.

$$\frac{dU_{\text{RLZ}}}{dt} = \frac{1}{\epsilon \cdot A_{\text{Si}} \cdot v_{\text{Drift,p}}} \cdot \left(\frac{w_{\text{RLZ}}}{p \cdot q_0 \cdot A_{\text{Si}}} I_C^2 + \frac{w_{\text{RLZ}}^2}{2} \frac{dI_C}{dt} \right) \quad (4.14)$$

Die Driftgeschwindigkeiten können für hohe Felder in Raumladungszonen als konstant angenommen werden [2]. Für eine Abschätzung wird der Kollektorstrom beim Aufeinandertreffen der Raumladungszone mit dem zusätzlich eingebrachten Plasma ebenfalls als konstant angenommen. Dies ist für ein konstantes dU/dt gültig, das den Strom durch die Ausgangskapazitäten der Halbleiter bestimmt. Mit $dI_C/dt = 0$ und der Zusammenfassung aller Konstanten zu K_1 (Gleichung 4.15) ergibt sich Gleichung 4.16.

$$K_1 = \left(\frac{1}{\epsilon \cdot A_{\text{Si}} \cdot v_{\text{Drift,p}}} \right) \cdot \left(\frac{I_C^2}{q_0 \cdot A_{\text{Si}}} \right) = \frac{I_C^2}{\epsilon \cdot A_{\text{Si}}^2 \cdot v_{\text{Drift,p}} \cdot q_0} \quad (4.15)$$

$$\frac{dU_{\text{RLZ}}}{dt} = K_1 \frac{w_{\text{RLZ}}}{p} \quad (4.16)$$

Für ein konstantes dU/dt , ist die Bedingung 4.17 erforderlich.

$$\frac{d}{dw_{\text{RLZ}}} \frac{dU_{\text{RLZ}}}{dt} = 0 \quad (4.17)$$

Diese Bedingung wird durch Proportionalität zwischen w_{RLZ} und p erfüllt, mit der Proportionalitätskonstante K_2 (4.18).

$$p = f(w_{\text{RLZ}}) = K_2 \cdot w_{\text{RLZ}}. \quad (4.18)$$

Steigt p zum Kollektor hin überproportional an, kommt es zu einem Rückgang des dU/dt . Steigt p zum Kollektor schwächer an, kommt es trotz Anstieg von p zu einem Anstieg des dU/dt .

Ein solcher proportionaler Verlauf von p zu w_{RLZ} wurde in Abbildung 4.19 aufgetragen und liegt noch über dem Verlauf der Löcherkonzentration bei t_5 . Aufgrund des dreieckigen Feldverlaufs kann bei wachsender Raumladungszone zunehmend mehr Spannung je dazugekommener Weite aufgenommen werden. Bei dem dargestellten linearen Verlauf wird dies jedoch durch eine größere Ladungsmenge ausgeglichen, die Ausbreitungsgeschwindigkeit reduziert sich, das dU/dt bleibt konstant.

4.3.5 Einfluss des Schaltsignalversatzes

Die Ausbreitung der Plasmaflanke und die quantitative Zunahme der Ladungsträgerdichte im IGBT während des Abschaltvorgangs hängen davon ab, wie lange dieser mit einer höheren Stromdichte als im Durchlasszustand durchflossen wird. Diese Zeit lässt sich mit einem negativen Schaltsignalversatz einstellen, der in einer früheren Abschaltung des MOSFETs resultiert.

In Abbildung 4.20 ist das intrinsische Abschalten eines *fast* Hybridschalters dargestellt. Dieser IGBT führt im Hybridschalter im Durchlass nur einen geringen Teil des Laststroms, die Stromdichte zwischen Durchlasszustand und bei Übernahme des gesamten Laststroms unterscheiden sich stark. Die hierdurch auftretenden Effekte sind daher stark ausgeprägt. Der SiC-MOSFET wurde zu unterschiedlichen Zeitpunkten vor dem IGBT abgeschaltet. Es ist zu erkennen, wie eine lange Leitdauer des IGBT dazu führt, dass sich das intrinsische

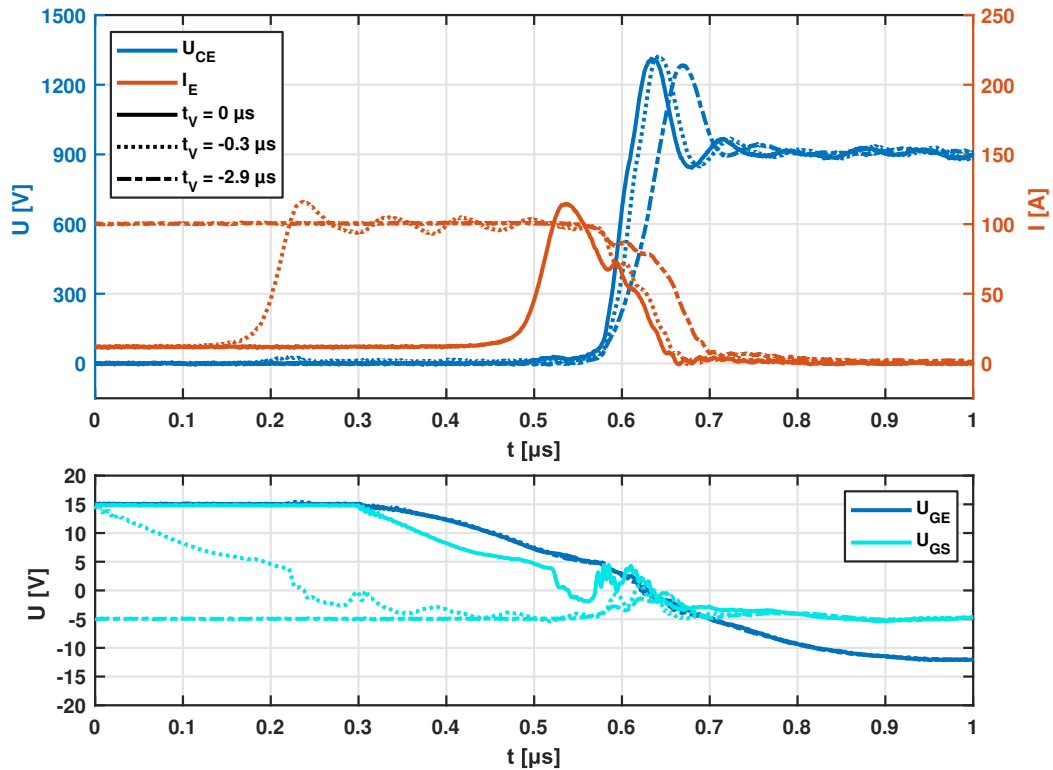


Abbildung 4.20: Einfluss vom Schaltsignalversatz (t_V) auf das intrinsische Abschalten des *fast* Hybrids ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$)

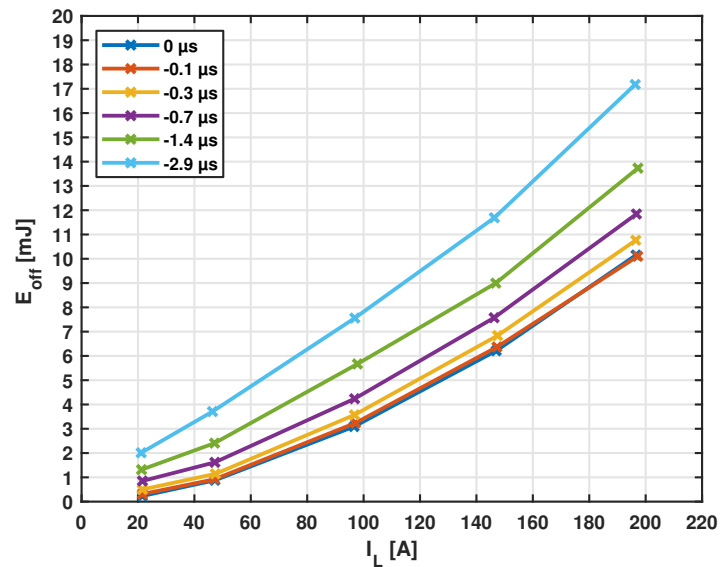


Abbildung 4.21: Schaltverluste im IGBT beim intrinsischen Schalten des *fast* Hybrids in Abhängigkeit vom Schaltsignalversatz ($U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$)

Schalten verlangsamt. Bei gleichzeitigem Abschalten ($t_V = 0 \mu\text{s}$) kommutiert der Laststrom nur für sehr kurze Zeit in den IGBT. Bei einem Versatz von $t_V = -0.3 \mu\text{s}$ verringert sich die Spannungssteilheit geringfügig, der Tailstrom bleibt nahezu gleich. Bei einem sehr großen Versatz von $t_V = -2.9 \mu\text{s}$ kommt es zu einer deutlichen Reduktion des dU/dt , eine Zunahme des Tailstroms ist zu erkennen.

Durch eine Steigerung des Schaltsignalversatzes erhöhen sich die Abschaltverluste. Die reduzierte Schaltgeschwindigkeit erhöht die Verluste während der Spannungsaufnahme, hinzu kommen ein höherer Tailstrom sowie ebenfalls höhere Verluste im Durchlass vor der Spannungsaufnahme, während der IGBT den gesamten Laststrom übernimmt. Die Summe dieser Verluste in Abhängigkeit von t_V sind in Abbildung 4.21 dargestellt.

Grundsätzlich führt ein negativer Schaltversatz zu einer Steigerung der Schaltverluste. Dabei ist zu erkennen, dass ein Schaltversatz im Bereich von $-0.1 \mu\text{s}$ relativ geringe Auswirkungen hat. Erst ab $-0.3 \mu\text{s}$ ist ein Anstieg der Verluste auszumachen, mit einer deutlichen Zunahme bei allen Arbeitspunkten bei einem $t_V < -1 \mu\text{s}$.

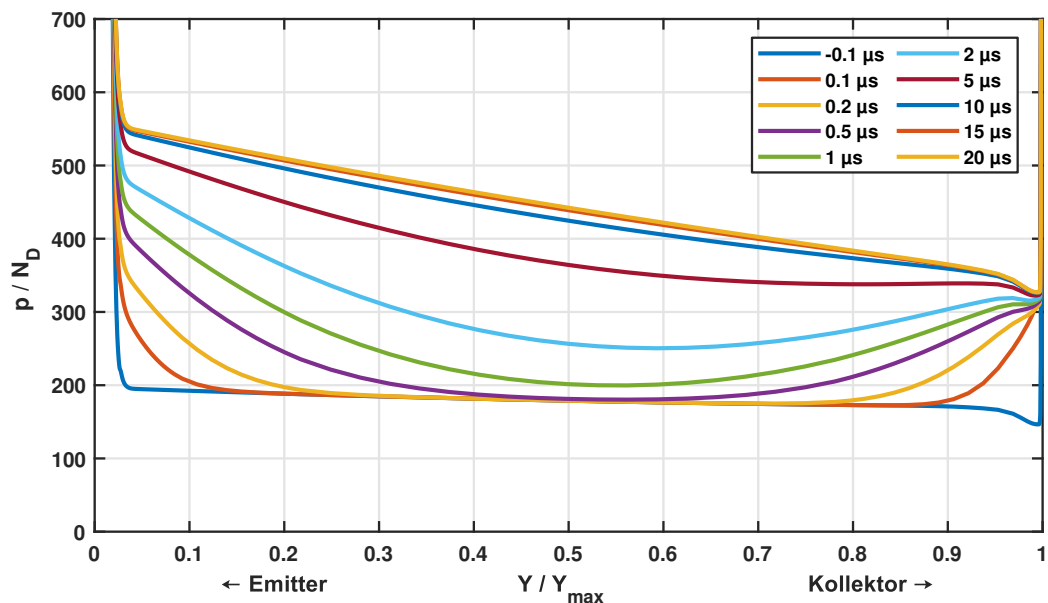


Abbildung 4.22: Simulation: Ladungsträgerdichte im IGBT eines *low-sat* Hybrids nach der Kommutierung des Laststroms vom MOSFET auf den IGBT zu verschiedenen Zeiten nach der Kommutierung ($I_L = 50 \text{ A}$)

Abbildung 4.22 zeigt die Zunahme der Ladungsträgerdichte in einem *low-sat* Hybridschalter, nachdem der MOSFET abgeschaltet wurde und der Laststrom auf den IGBT kommutiert ist. Es wird die Ladungsträgerdichte von 100 ns vor der Kommutierung (statisch) bis $20 \mu\text{s}$ nach der Kommutierung gezeigt. Sowohl vom Kollektor als auch vom Emitter ausgehend breitet sich die erhöhte Ladungsträgerdichte aus. Während sie nach wenigen 100 ns an den Rändern bereits stark ansteigt, erfolgt die Zunahme im mittleren Bereich der Basiszone erst nach ungefähr $1 \mu\text{s}$. Nach $10 \mu\text{s}$ ist eine Annäherung an die statische Ladungsträger-

dichte erfolgt. Das Abschaltverhalten des Hybridschalters nähert sich bei großen negativen Verzögerungszeiten dem Abschaltverhalten eines reinen Si-Schalters an.

Für ein verlustoptimiertes Schaltverhalten empfiehlt es sich, die Verzögerungszeit möglichst gering zu halten. Im Bereich von 100 ns sind nur geringe Auswirkungen auf das Schaltverhalten zu erwarten.

4.3.6 Einfluss des Gatewiderstands vom SiC-MOSFET

Beim Abschalten mit Pulsmuster 1 mit einem Schaltsignalversatz von $t_V \leq 0 \mu\text{s}$ hat die Abschaltgeschwindigkeit des SiC-MOSFETs nur geringe Auswirkungen auf die Spannungsflanke. In Abbildung 4.23 ist das intrinsische Abschalten des Hybridschalters mit IGBT W7Z3 dargestellt, der Abschaltwiderstand des SiC-MOSFETs wurde variiert. Der Schaltsignalversatz wurde mit $t_V = -0.5 \mu\text{s}$ so gewählt, dass der Laststrom in allen Fällen vor der Spannungsflanke vollständig vom IGBT übernommen wird.

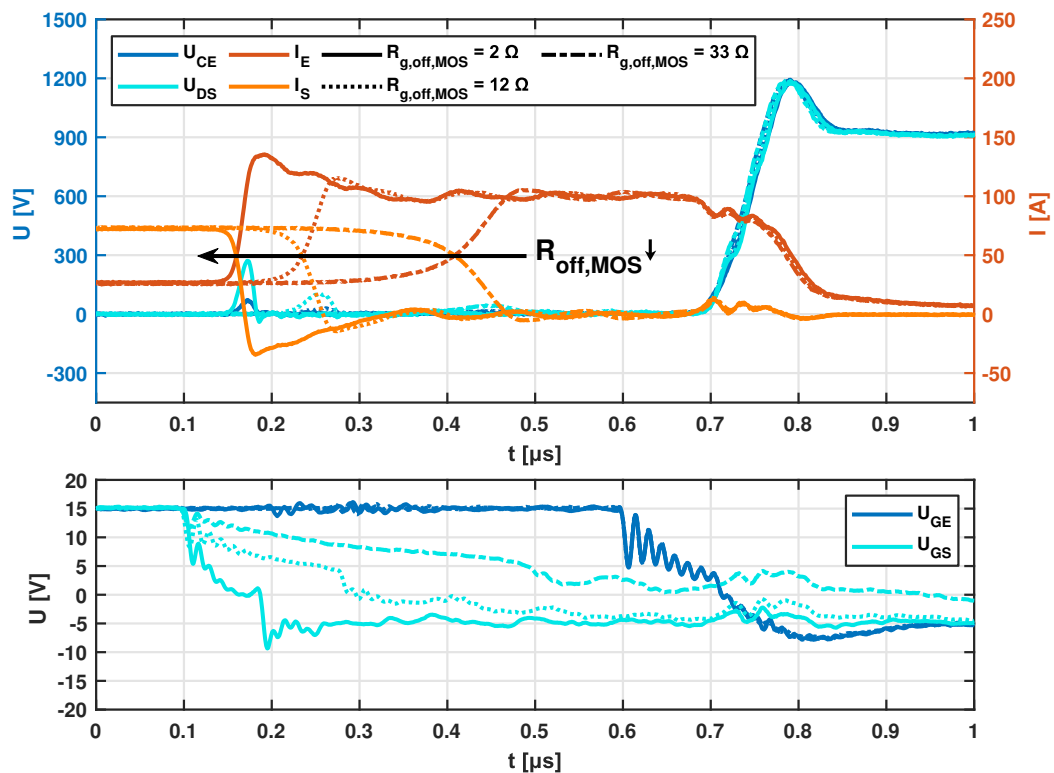


Abbildung 4.23: Einfluss der Abschaltgeschwindigkeit vom MOSFET ($R_{g,off,MOS}$), Abschalten eines Hybridschalters im mittleren Geschwindigkeitsbereich (IGBT W7Z3, $I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 0 \text{ nF}$, $t_V = -0.5 \mu\text{s}$)

Durch die unterschiedlichen Gatewiderstände verändert sich das dI/dt mit dem der Strom nach Abschalten des MOSFETs in den IGBT kommutiert. Mit steigendem Gatewiderstand reduzieren sich dI/dt und die durch die Streuinduktivität im inneren Kommutierungskreis hervorgerufene Spannungsspitze am MOSFET (siehe Gleichung 4.12) sowie die folgende

Überstromspitze. Bei großen Gatewiderständen entsteht ein softer Kommutierungsvorgang vor der Spannungsflanke.

Neben dem dI/dt reduziert ein höherer Gatewiderstand vom MOSFET auch die Dauer, die der IGBT mit hoher Stromdichte durchflossen wird. Die Auswirkungen auf die Spannungsflanke sind jedoch bei dem hier untersuchten IGBT eher gering.

4.3.7 Reduzierte Oszillationen im Hybridschalter

Beim Full-SiC Schalter treten beim Abschalten Oszillationen der Drain-Source Spannung auf. Der Schwingkreis aus Ausgangskapazität des Halbleiters und Streuinduktivität wird angeregt. Auch der Hybridschalter hat aufgrund der SiC-Chipfläche eine relative hohe Ausgangskapazität und kann beim Abschalten zum Schwingen angeregt werden. Allerdings sind diese Oszillationen deutlich stärker durch die bipolare Ladung im IGBT gedämpft. Bei einem IGBT mit hohem Tailstrom und langsamen Abschalten werden sie nicht angeregt (siehe Abschalten des *low-sat* Hybrids Abbildung 4.9).

In Abbildung 4.20 wird das Abschalten eines Hybridschalters mit *fast* IGBT und unterschiedlichem Schaltversatz zwischen IGBT und MOSFET gezeigt. Beim Abschalten mit hohem Schaltversatz steigt der Tailstrom an, mehr bipolare Ladung befindet sich im IGBT. Gleichzeitig ist erkennbar, wie durch die zusätzliche Ladung und den höheren Tailstrom im IGBT die Oszillationen von U_{CE} eine geringere Amplitude aufweisen.

In Abbildung 4.24 ist das Abschaltverhalten des Hybridschalters mit *fast* IGBT dargestellt. Es wird der Arbeitspunkt mit höchster Dauer der Oszillationen gezeigt. Trotz eines hohen Laststroms hat der IGBT im Durchlass nur einen geringen Anteil am Laststrom von ca. 20%. Es baut sich wenig bipolare Ladung im IGBT im Durchlass auf, ein Tailstrom ist nicht auszumachen. Nach der durch das dI/dt verursachten Überspannungsspitze oszilliert die Spannung beider paralleler Halbleiter.

Zur Bewertung der Oszillationen des Hybridschalters wird eine Oszillationsdauer t_{OSZ} definiert. Es wird die Zeit ermittelt, wie lange nach Erreichen der Zwischenkreisspannung die Amplitude der Oszillationen sich noch über 2% der Nennzwischenkreisspannung befindet (siehe Gleichung 4.20). Dabei wurden nur Oszillationen im Bereich von 1 MHz bis 200 MHz berücksichtigt. Die Sperrspannung des Hybridschalters oszilliert unabhängig vom verwendeten IGBT mit einer Frequenz im Bereich um 15 MHz. Diese Frequenz wird durch die Streuinduktivität des Kommutierungskreises und die Ausgangskapazität des SiC-MOSFETs bestimmt.

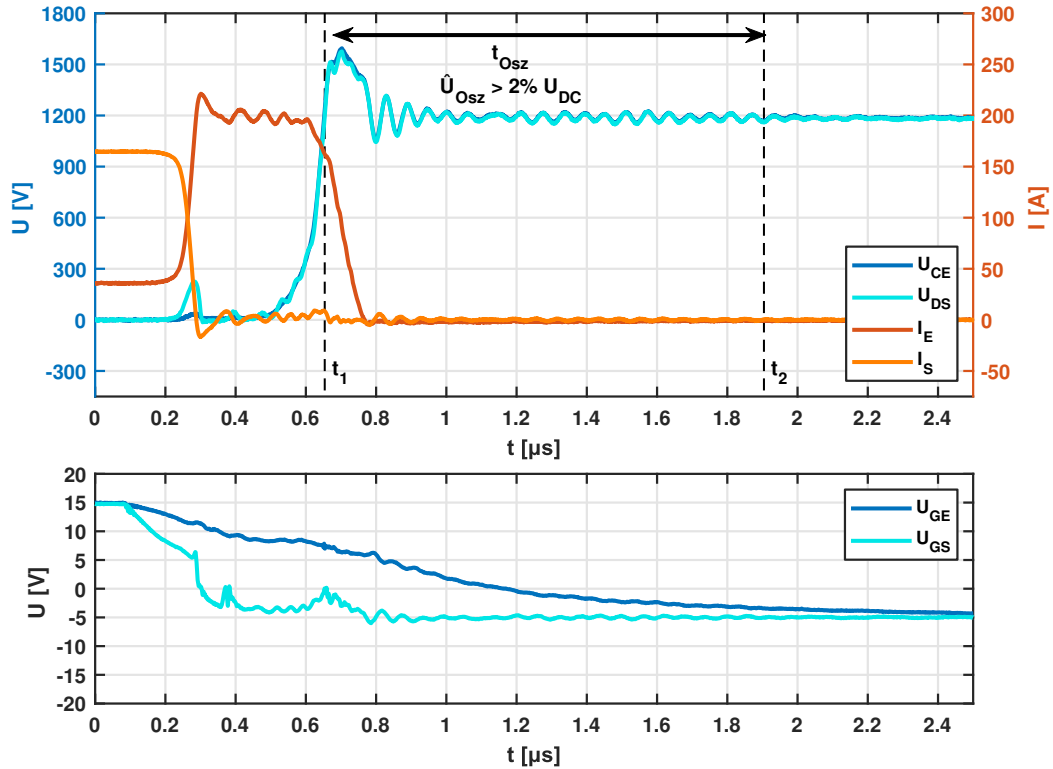


Abbildung 4.24: Spannungsozillationen beim Abschalten des *fast* Hybrids bei hohem Laststrom und geringer Sperrschichttemperatur (IGBT W6Z3, $I_L = 200 \text{ A}$, $U_{DC} = 1200 \text{ V}$, $T_j = 25 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = 0 \text{ } \mu\text{s}$)

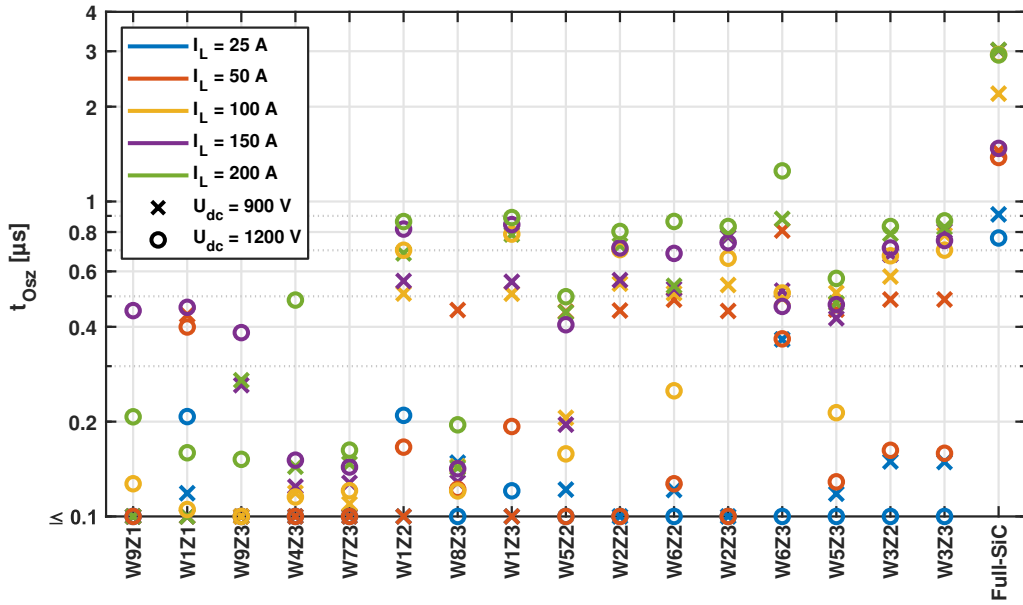
$$t_{OSZ} = t_2 - t_1 \quad (4.19)$$

$$U_{DS}(t = t_1) = U_{DC} \quad (4.20)$$

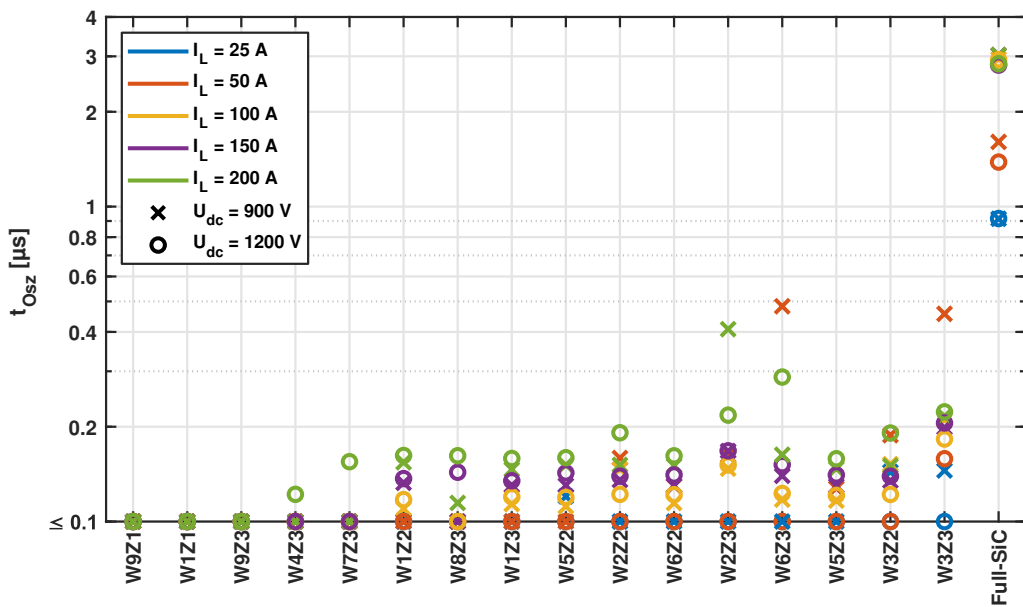
$$\hat{U}_{OSZ}(t = t_2) \leq 2\% U_{DC,n} = 18 \text{ V} \quad (4.21)$$

In Abbildung 4.25 ist die Oszillationsdauer von Hybridschaltern mit unterschiedlichen IGBTs logarithmisch für verschiedene Lastströme sowie der nominalen und der maximalen Zwischenkreisspannung aufgetragen. Der Abschaltvorgang aus Abbildung 4.24 weist mit $1.25 \text{ } \mu\text{s}$ die längste gemessene Oszillationsdauer t_{OSZ} auf und liegt damit noch deutlich unter der Oszillationsdauer von $3 \text{ } \mu\text{s}$ des Full-SiC Schalters im gleichen Arbeitspunkt.

Die IGBTs in Abbildung 4.25 sind nach aufsteigender Durchlassspannung von links nach rechts sortiert. Bei einem Wert von $t_{OSZ} \leq 0.1 \text{ } \mu\text{s}$ treten keine Oszillationen auf. Im Bereich von $0.1 \text{ } \mu\text{s}$ bis $0.2 \text{ } \mu\text{s}$ ist der Spannungsverlauf in der Regel bereits nach einer oder wenigen Schwingungsperioden eingeschwungen. Bis auf wenige Ausnahmen befinden sich bei hoher Sperrschichttemperatur (Abbildung 4.25b) alle Hybridschalter in diesem Bereich. Bei geringer Sperrschichttemperatur (Abbildung 4.25a) steigt die Dauer von t_{OSZ} an. Im kalten



(a) $T_j = 25^\circ C$



(b) $T_j = 125^\circ C$

Abbildung 4.25: Dauer von Spannungsozillationen (t_{Osz}) größer als $2\% U_{DC,n}$ beim Abschalten des Hybridschalters (IGBTs sortiert nach Durchlassspannung, $t_V = 0 \mu s$)

Zustand sinkt im IGBT die Ladungsträgerdichte, im Hybridschalter sinkt ebenfalls der Anteil am Laststrom. Im IGBT verbleibt bei geringer Sperrschichttemperatur nach der Spannungsaufnahme weniger dämpfende bipolare Ladung.

Ein hoher Anteil am Laststrom führt dazu, dass IGBTs mit geringer Durchlassspannung (links) aufgrund von höherer Plasmakonzentration weniger stark oszillieren als IGBTs mit hoher Durchlassspannung (rechts). Der *low-sat* Hybrid mit IGBT W9Z1 weist nur im kalten Zustand, bei hoher Zwischenkreisspannung und hohem Laststrom geringe Oszillationen auf.

Der Full-SiC Schalter zeigt in Bezug auf Spannungsozillationen keine Temperaturabhängigkeit, sodass der Unterschied zwischen Hybrid und Full-SiC Schalter bei hoher Sperrschichttemperatur noch deutlicher zu Gunsten des Hybridschalters ausgeprägt ist. Bis auf wenige Ausnahmen fällt die Oszillationsdauer hier um mehr als Faktor 10 geringer aus. Da der Full-SiC Schalter die doppelte SiC-Chipfläche verwendet, beträgt die Oszillationsfrequenz hier ungefähr 10 MHz. Ein Vergleich der Schalttransienten zwischen schnellem Hybridschalter und Full-SiC Schalter bei Nennstrom und Nennspannung erfolgt im folgenden Unterkapitel (siehe Abbildung 4.27).

4.3.8 Grenzen der Schaltverlustreduktion

Wie in den vorherigen Abschnitten gezeigt wurde, lässt sich im Hybridschalter im IGBT die auszuräumende Ladungsmenge reduzieren und die Abschaltgeschwindigkeit stark steigern. Damit lässt sich mit einer Vielzahl von IGBTs eine sehr hohe Schaltgeschwindigkeit erreichen, die ebenso wie ein Full-SiC Schalter die maximal erlaubte Spannungssteilheit erreichen können.

In Abbildung 4.26 sind die Abschaltverluste und Durchlassspannungen mehrerer Hybridschalter aufgetragen, deren Abschaltgeschwindigkeit auf die gleiche Spannungssteilheit ($13 \text{ kV}/\mu\text{s}$) eingestellt wurde. Ebenfalls wurde ein Full-SiC Schalter mit ähnlicher Abschaltgeschwindigkeit ($15 \text{ kV}/\mu\text{s}$) aufgetragen.

Mit mehreren Hybridschaltern lassen sich sehr geringe Abschaltverluste erzielen, jedoch erreicht kein Hybridschalter die geringen Abschaltverluste des Full-SiC Schalters. Die Schaltverluste von Hybridschaltern mit schnellen IGBTs unterscheiden sich bei Nennstrom nur geringfügig, die geringsten Verluste sind ungefähr doppelt so hoch wie beim Full-SiC Schalter. Bei doppeltem Nennstrom lässt sich ein unteres Limit um 18 mJ der Schaltverluste ausmachen, das von einer größeren Anzahl an Hybridschaltern erreicht wird.

Die Durchlassspannung der Hybridschalter mit schnell schaltendem IGBT liegt bei Nennstrom bei allen Hybridschaltern höher als beim Full-SiC Schalter, bei doppeltem Nennstrom kommt der stärkere Anstieg der Ausgangskennlinie des IGBT zum Tragen, bei einigen

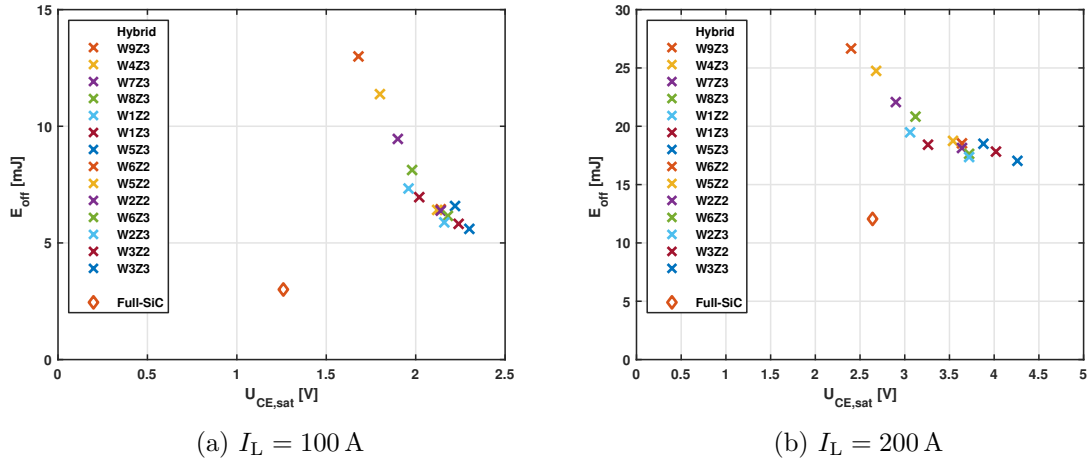


Abbildung 4.26: Ausschaltverluste und Durchlassspannung von Hybridschaltern mit ähnlicher Spannungssteilheit im Vergleich zum Full-SiC Schalter (mit Active-Clamping, Spannungssteilheit Hybrid: $13 \text{ kV}/\mu\text{s}$, Spannungssteilheit Full-SiC: $15 \text{ kV}/\mu\text{s}$, $U_{\text{DC}} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{\text{GE,ext}} = 0 \text{ nF}$, $t_V = 0 \mu\text{s}$)

IGBTs wird der Abstand zum Full-SiC Schalter verringert, beim Hybridschalter mit IGBT W9Z3 sogar unterschritten.

Ein Vergleich der Schalttransienten von *fast* Hybrid und Full-SiC ist in Abbildung 4.27 dargestellt. Die Abschaltgeschwindigkeit der beiden Schalter wurde auf die gleiche Spannungssteilheit eingestellt, dennoch fallen die Abschaltverluste des *fast* Hybrids deutlich höher aus. Betrachtet man die verbleibenden Unterschiede des Strom- und Spannungsverlaufs vor und nach der Spannungsflanke lassen sich mehrere Ursachen feststellen.

Es ist auszumachen, dass die Spannung U_{CE} des Hybridschalters schon deutlich früher ansteigt als beim Full-SiC Schalter (siehe Zeitpunkt t_1). Die Verlustenergie im IGBT steigt bereits vor der Phase mit großer Spannungssteilheit an.

Beide Schalter werden mit gleicher Spannungssteilheit abgeschaltet. Da der SiC-MOSFET wegen seiner doppelt so großen SiC-Chipfläche eine ungefähr doppelt so hohe Ausgangskapazität besitzt, reduziert sich der Laststrom während der Spannungsflanke stärker als beim IGBT. Trotz gleicher aufgenommenener Spannung fällt das Maximum der Verlustleistung zum Zeitpunkt t_2 daher im MOSFET geringer aus.

Weiterhin schaltet der MOSFET mit einem höheren dI/dt ab, zu erkennen an der höheren Überspannungsspitze. Statt eines Tailstroms sind Oszillationen auf Strom und Spannung zu erkennen.

Früher Anstieg von U_{CE} , geringere Ausgangskapazität, geringeres dI/dt und Tailstrom führen dazu, dass trotz gleicher Spannungssteilheit der Hybridschalter in diesem Arbeitspunkt doppelt so hohe Ausschaltverluste aufweist wie der Full-SiC MOSFET.

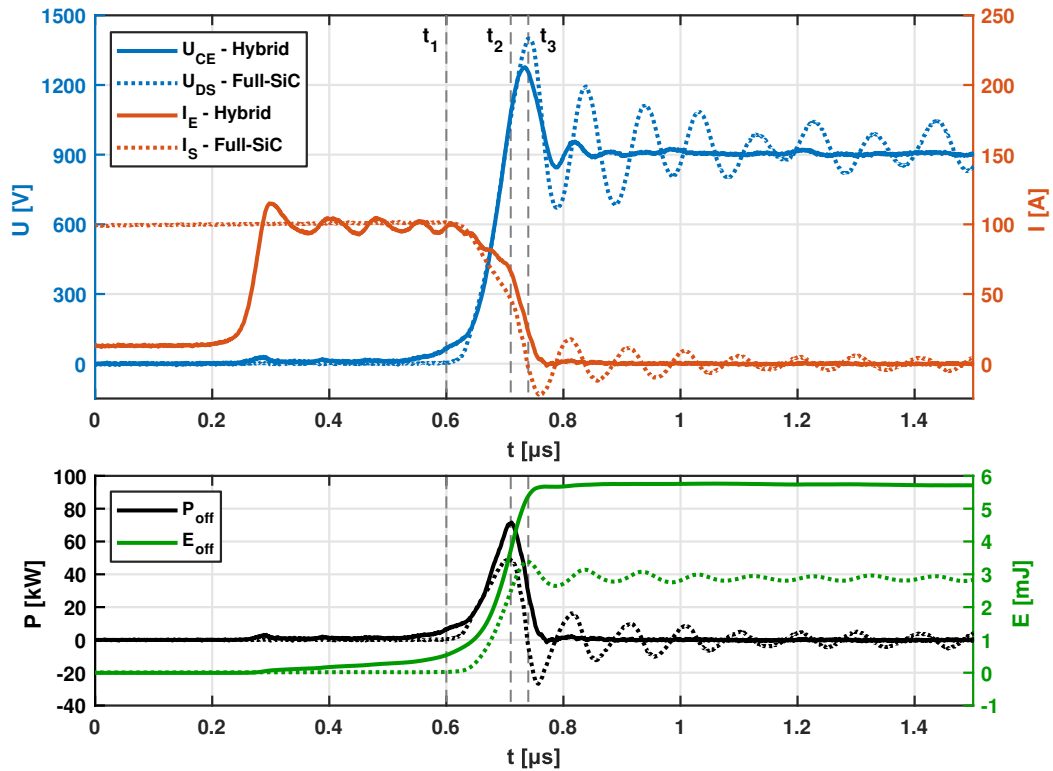


Abbildung 4.27: Abschaltverhalten des *fast* Hybrid im Vergleich zum Full-SiC ($I_L = 100$ A, $U_{DC} = 900$ V, $T_j = 125$ °C, $C_{GE,ext} = 20$ nF, $t_V = 0$ µs)

4.3.9 Abschalten des *low-sat* und *fast* Hybridschalters mit Pulsmuster 1 mit gewählter Treiberauslegung

Um die Leistungsfähigkeit des Hybridschalters zu bewerten, wird dieser mit Full-Si und Full-SiC Schaltern verglichen. Dafür wird eine vergleichbare, objektive Treiberauslegung nach gleichen Kriterien für alle Schalter verwendet. Bei dieser Auslegung wird die transiente Überspannung begrenzt, die Flankensteilheit auf 15 kV/µs eingestellt sowie dynamischer Avalanche vermieden (siehe Kapitel 3.5). Ein Schaltsignalversatz von $t_V = 0$ µs wird verwendet. Der detaillierte Vergleich wird sowohl mit *low-sat* Hybrid, als auch mit *fast* Hybrid durchgeführt.

Beim *low-sat* Hybridschalter ist dabei für die Einstellung der Schaltgeschwindigkeit das Vermeiden von dynamischem Avalanche ausschlaggebend. Eine Active-Clamping Schaltung zur Begrenzung der transienten Überspannung ist nicht notwendig. Die Schalttransienten sind in Abbildung 4.28 dargestellt. Es wird eine Flankensteilheit von 5 kV/µs im Nennarbeitspunkt erreicht. In allen Arbeitspunkten ist ein deutlicher Tailstrom ohne Oszillationen zu erkennen, es handelt sich um ein sehr weiches Abschalten.

In Abbildung 4.29 ist das Abschalten des *fast* Hybridschalters abgebildet. Ausschlaggebend für die Auswahl des Abschaltwiderstandes ist hier die Begrenzung der Flankensteilheit auf

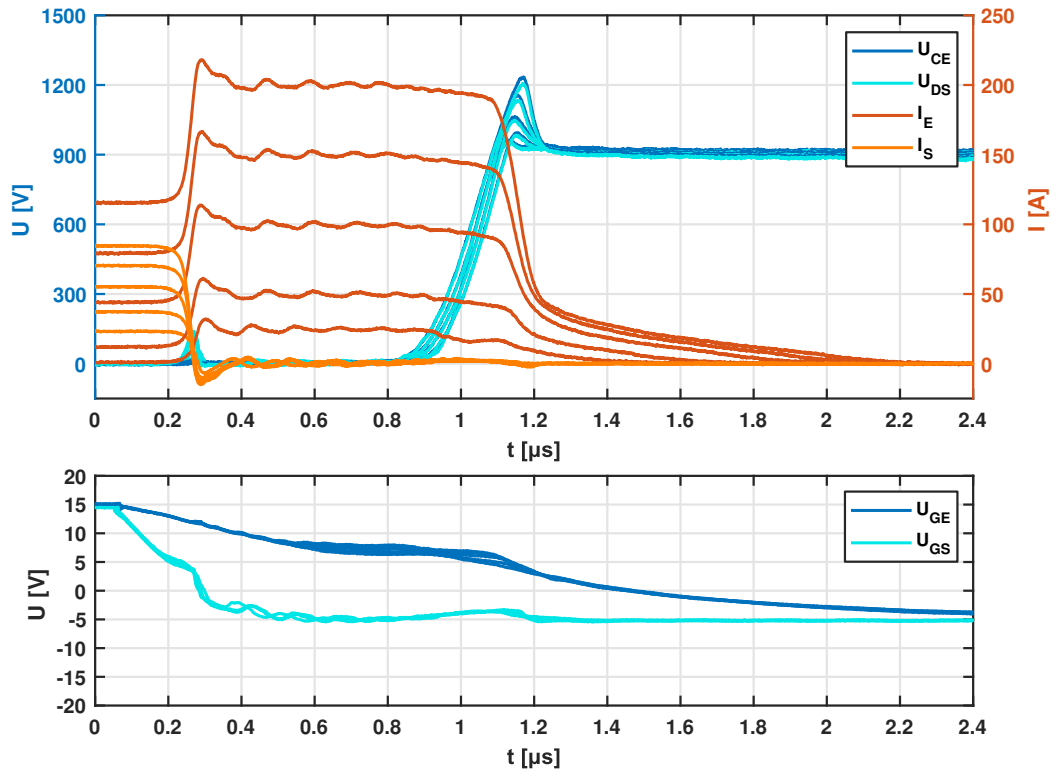


Abbildung 4.28: Abschalten des *low-sat* Hybrids mit Treiberauslegung für einen objektiven Vergleich bei einem Laststrom von 25 A bis 200 A (IGBT W9Z1, $I_L = 25 \text{ A}$ bis 200 A , $U_{DC} = 900 \text{ V}$, $T_j = 125^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = 0 \mu\text{s}$)

15 kV/ μs . Dynamischer Avalanche tritt durch diese Begrenzung nicht auf, die transiente Überspannung muss jedoch durch eine Active-Clamping Schaltung begrenzt werden (siehe Kapitel 3.6). Im Vergleich zum *low-sat* Hybridschalter schaltet der *fast* Hybrid deutlich schneller ab, weist höhere Überspannungen und nahezu keinen Tailstrom auf. Es kommt zu stark gedämpften Oszillationen nach der Spannungsflanke.

Das Abschalten des *low-sat* Full-Si, *fast* Full-Si und Full-SiC ist im Anhang in den Abbildungen A.6, A.7 und A.8 dargestellt.

Die Spannungssteilheiten aller Schalter sind in Abbildung 4.30 aufgetragen. Die Schaltgeschwindigkeit des Full-SiC Schalters und des *fast* Hybridschalters wurden mit der Auswahl des Abschaltwiderstandes auf eine Flankensteilheit von 15 kV/ μs bei $T_j = 125^\circ\text{C}$ und $I_L = 100 \text{ A}$ eingestellt. Die Steilheit des *fast* Hybridschalters weist ähnlich dem SiC-Schalter nur eine sehr geringe Temperaturabhängigkeit auf. Bei niedrigen Lastströmen fällt die Flankensteilheit sogar höher aus als beim Full-SiC. Der *fast* Hybrid baut im IGBT bei geringen Strömen nahezu keine Ladung auf und hat weiterhin eine niedrigere Ausgangskapazität als der Full-SiC Schalter.

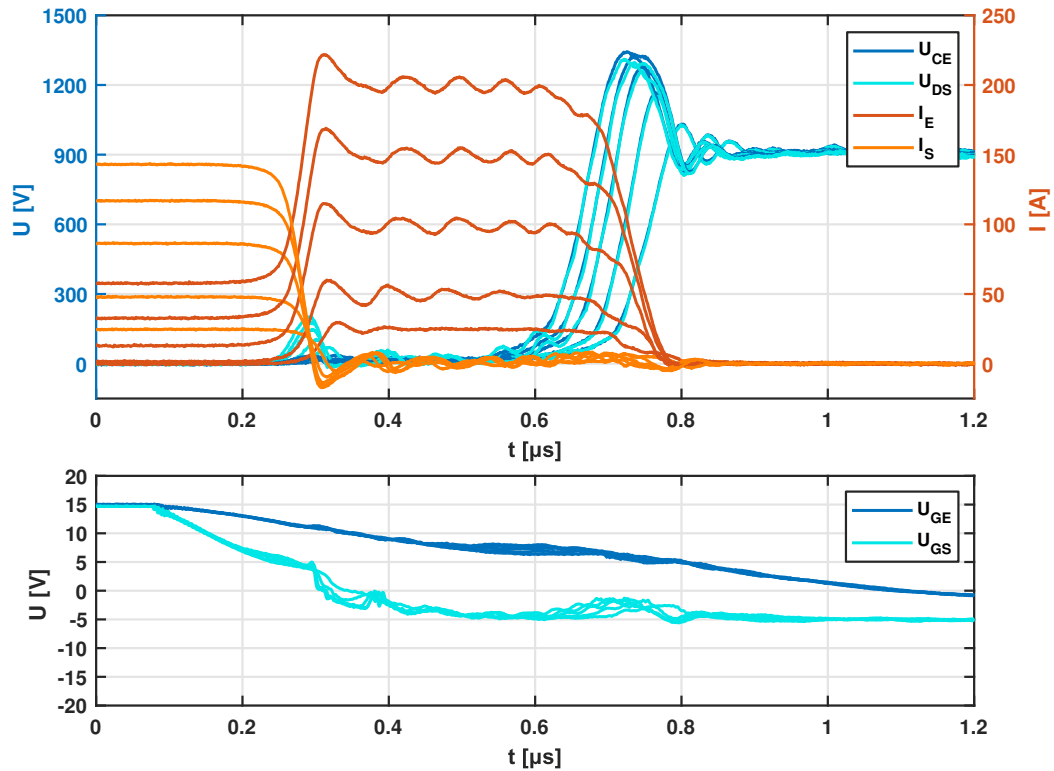


Abbildung 4.29: Abschalten des *fast* Hybrids mit Treiberauslegung für einen objektiven Vergleich (IGBT W6Z3, $I_L = 25 \text{ A}$ bis 200 A , $U_{DC} = 900 \text{ V}$, $T_j = 125^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = 0 \text{ µs}$)

Die Flankensteilheit aller weiteren Schalter ist durch das Vermeiden von dynamischem Avalanche bestimmt. Der *fast* Full-Si erreicht bei $T_j = 125^\circ\text{C}$ dadurch nicht die erlaubte maximale Steilheit. Eine Steilheit von $20 \text{ kV}/\mu\text{s}$ des *fast* Full-Si bei geringer Sperrschichttemperatur wurde jedoch akzeptiert. Grund für diese Akzeptanz ist die Annahme, dass ein Betrieb bei sehr geringer Sperrschichttemperatur nur einen sehr geringen Anteil an der gesamten Betriebsdauer hat und somit bei Alterungseffekten, die durch hohe Flankensteilheit hervorgerufen werden, vernachlässigt werden kann. Eine weitere Diskussion über die Akzeptanz höherer Flankensteilheiten erfolgt auch in Kapitel 4.6.4 zur Flankensteilheit beim Einschalten.

In Abbildung 4.31 ist die Höhe der transienten Überspannungsspitzen abgebildet. Alle auftretenden Überspannungen befinden sich im erlaubten Bereich von bis zu 1650 V . Der Full-SiC Schalter sowie der *fast* Hybridschalter benötigen zur Begrenzung der maximalen Überspannung eine Active-Clamping Schaltung. Alle weiteren gezeigten Schalter sind bereits ausreichend durch ihre Treiberschaltung ausgebremst oder würden selbst beim intrinsischen Schalten die maximale Überspannung nicht überschreiten.

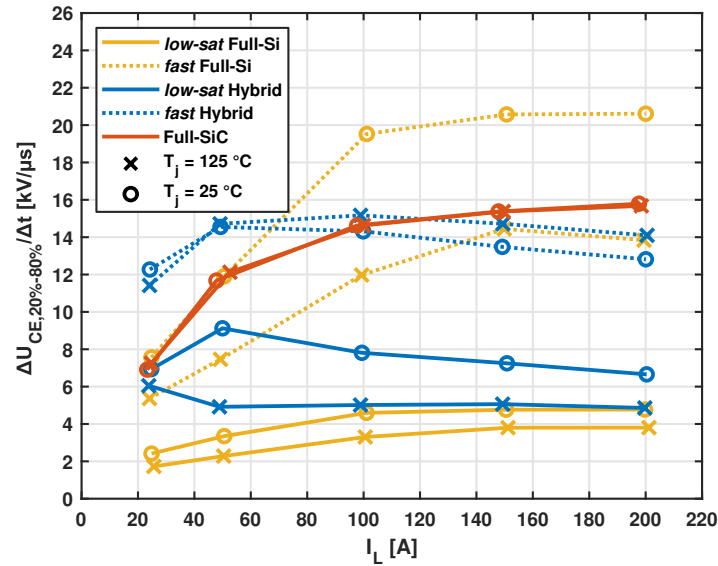
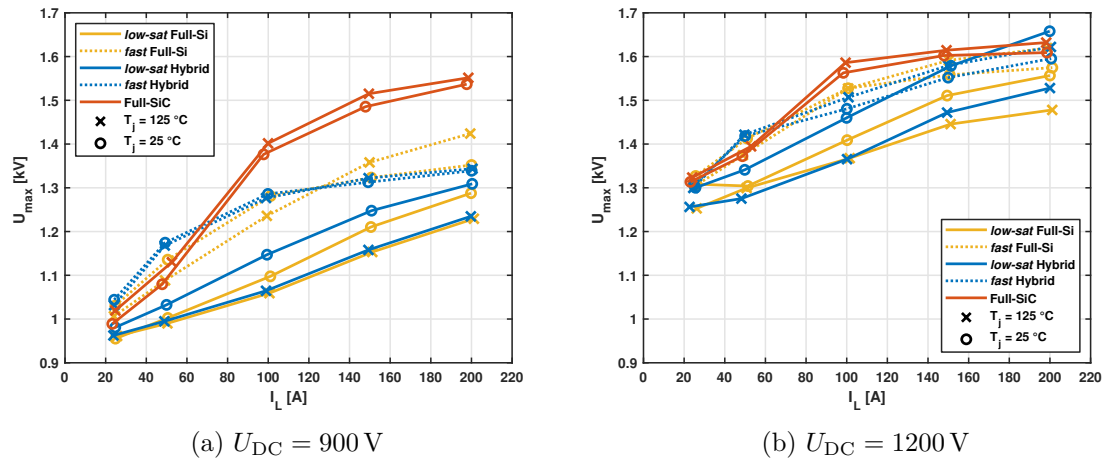


Abbildung 4.30: Vergleich der Flankensteilheit ($U_{DC} = 900\text{ V}$)



(a) $U_{DC} = 900\text{ V}$

(b) $U_{DC} = 1200\text{ V}$

Abbildung 4.31: Transiente Überspannungen beim Abschalten

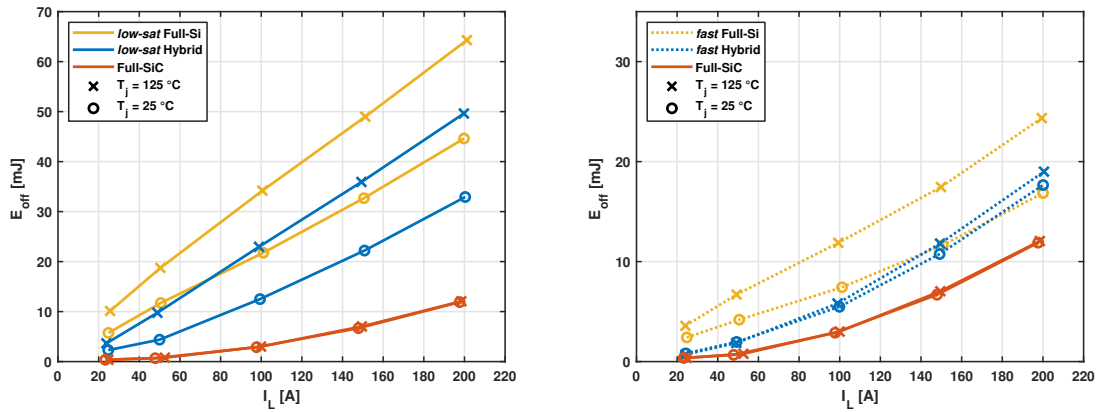
In Abbildung 4.31a ist zu sehen, dass beim Full-SiC Schalter die höchsten Spannungsspitzen auftreten und er bei nominaler Zwischenkreisspannung den erlaubten Spannungsbereich ausnutzt, also mit hohem di/dt und niedrigen Verlusten abschaltet.

4.3.10 Vergleich der Schaltverluste

Sowohl der *low-sat* Hybrid als auch der *fast* Hybrid haben im Vergleich zu den Full-Si Schaltern mit gleichen IGBTs deutlich reduzierte Abschaltverluste. Die absoluten Schaltverluste in Abhängigkeit des Laststroms sind in Abbildung 4.32a und 4.32b dargestellt.

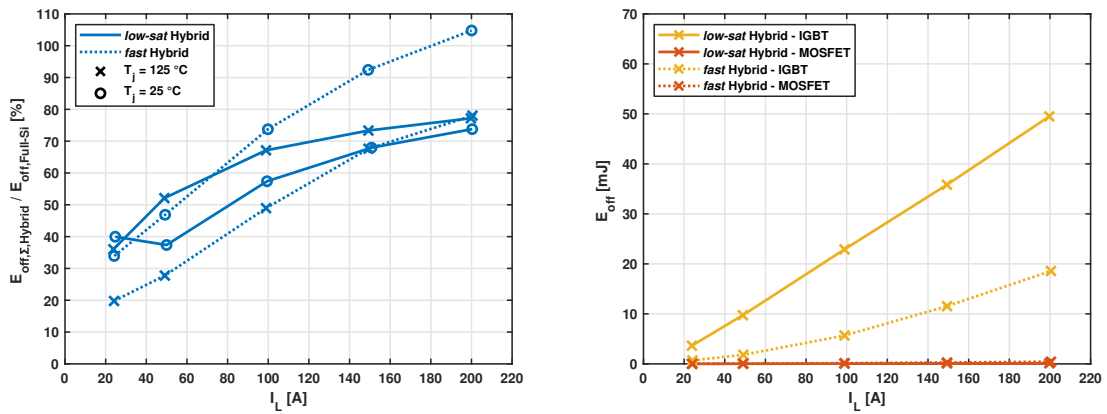
Beim *low-sat* Hybridschalter befinden sich die Schaltverluste deutlich unter denen des Full-Si Schalters, dennoch weist er ebenfalls deutlich mehr Schaltverluste als ein Full-SiC Schalter auf. Schon bei geringen Lastströmen führt der *low-sat* IGBT einen Anteil des

4 Durchlass- und Schaltverhalten des Si-SiC Hybridschalters



(a) *low-sat* Hybrid, *low-sat* Full-Si und Full-SiC

(b) *fast* Hybrid, *fast* Full-Si und Full-SiC



(c) Verhältnis Hybrid zu Full-Si

(d) Hybrid: Minimale Verluste im MOSFET

Abbildung 4.32: Abschaltverluste des Hybridschalters mit Pulsmuster 1 bei gewählter Treiberauslegung ($I_L = 25\text{ A}$ bis 200 A , $U_{DC} = 900\text{ V}$, $T_j = 125^\circ\text{C}$, $C_{GE,ext} = 20\text{ nF}$, $t_V = 0\text{ }\mu\text{s}$)

Laststroms und baut dementsprechend Plasma auf. Während die Verlustkurve bei geringen Lastströmen noch dicht an der Kurve des Full-SiC liegt, ist bei hohen Strömen der gleiche Anstieg wie beim Full-Si Schalter zu erkennen.

Bei der Temperaturabhängigkeit ist beim *low-sat* Hybrid das Verhalten eines Schalters mit viel bipolarer Ladung zu erkennen, mit steigender Temperatur nehmen auch die Verluste zu. Der absolute Unterschied bei hohen Strömen ist bei Hybridschalter und Full-Si Schalter nahezu identisch.

Die Abschaltverluste beim *fast* Hybridschalter bewegen sich ebenfalls zwischen denen des Full-SiC und des Full-Si Schalters, jedoch liegen sie bei niedrigen Lastströmen dichter am Verlauf des Full-SiC Schalters, entfernen sich aber mit steigendem Laststrom ebenfalls. Grund ist der im Vergleich zum *low-sat* Hybrid viel geringere Anteil am Laststrom im Durchlass. Auffällig ist ebenfalls, dass bei niedriger Temperatur der *fast* Hybridschalter und der Full-Si Schalter die gleichen Abschaltverluste aufweisen. Dies liegt in einer höheren

Schaltgeschwindigkeit des Full-Si Schalters bei geringer Temperatur begründet (siehe Abbildung 4.30). Der Full-SiC Schalter weist bei allen Lastströmen die niedrigsten Verluste auf.

In seinem Temperaturverhalten ähnelt der *fast* Hybridschalter stark einem unipolaren Schalter. Während auch der *fast* Full-Si Schalter bei hohen Temperaturen eine deutliche Steigerung der Schaltverluste erfährt, kommt es beim *fast* Hybridschalter nur bei Strömen größer als dem Nennstrom ($I_L = 100\text{ A}$) zu einer geringen Steigerung.

Abbildung 4.32c zeigt die Abschaltverluste des Hybridschalters im Verhältnis zum entsprechenden Full-Si Schalter. Beide Schalter zeigen eine stark vom Laststrom abhängige Reduktion der Schaltverluste, bei einer Sperrschichttemperatur von $T_j = 125\text{ °C}$ bewegen sich die Verluste in einem Bereich von 35 % bzw. 20 % bis 80 %. Hier spiegelt sich wieder, dass gerade bei geringen Lastströmen der IGBT im Hybridschalter einen geringen Anteil an der Stromführung hat und der Full-Si Schalter unter geringer Flankensteilheit leidet. Bei Nennstrom lässt sich eine Reduktion der Verluste im *low-sat* Hybrid auf 67 %, im *fast* Hybrid auf 49 % erreichen.

Auch bei der prozentualen Reduktion der Schaltverluste zeigt sich das unterschiedliche Temperaturverhalten des *low-sat* und des *fast* Hybridschalters. Der *low-sat* Hybridschalter reduziert bei geringer Temperatur die Schaltverluste stärker, er übernimmt einen geringeren Anteil des Laststroms als bei hoher Sperrschichttemperatur, ist aber in beiden Fällen durch seine bipolare Ladung geprägt. Der *fast* Hybridschalter hingegen hat nahezu temperaturunabhängige Schaltverluste, während sich die Schaltverluste des *fast* Full-Si Schalters mit steigender Temperatur erhöhen. Das Verhältnis fällt daher bei hoher Temperatur stärker zugunsten des Hybridschalters aus.

Der *fast* Hybridschalter weist bei den Abschaltverlusten ein Verhalten auf, dass mehr dem eines unipolaren Full-SiC Schalters ähnelt als einem bipolaren Si-Schalter.

Die Schaltverluste innerhalb des Hybridschalters konzentrieren sich bei Pulsmuster 1 mit einem Schaltsignalversatz von $t_V = 0$ aufgrund der Nullspannungskommütierung des SiC-MOSFETs nahezu vollständig auf den IGBT (siehe Abbildung 4.32d). Beim *low-sat* Hybridschalter machen die Verluste im SiC-MOSFET bei Nennstrom 1 % aus, beim *fast* Hybridschalter 5 %.

4.3.11 Zusammenfassung des Abschaltens mit Pulsmuster 1

In diesem Unterkapitel 4.3 wird das Abschalten des Hybridschalters mit Pulsmuster 1 vorgestellt. Der SiC-MOSFET schaltet vor dem IGBT ab. Mit dieser Variante der Schaltungsreihenfolge konzentrieren sich die Schaltverluste auf den Si-IGBT. Hybridschalter mit einer Vielzahl unterschiedlicher IGBTs werden untersucht. Eine Auswertung der Schaltverluste und ein objektiver Vergleich mit Full-Si und Full-SiC erfolgt mit einem auf Durchlass

optimierten IGBT (*low-sat* Hybrid) und einem auf schnelles Schalten optimierten IGBT (*fast* Hybrid).

Im Vergleich zum Full-Si Schalter mit gleichem IGBT wird eine deutlich höhere Schaltgeschwindigkeit erzielt, die Schaltverluste lassen sich stark absenken. Die sehr niedrigen Schaltverluste eines Full-SiC Schalters lassen sich jedoch nicht erzielen.

Im Vergleich zum Full-SiC Schalter ist das Abschalten wesentlich softer, Oszillationen nach dem Abschalten treten kaum bis gar nicht auf. Oszillationen während der Kommutierung vor dem Abschalten lassen sich gut einstellen.

Wie beim Full-Si Schalter muss ein *low-sat* Hybridschalter ebenfalls ausgebremst werden, damit dynamischer Avalanche nicht auftritt. Der *fast* Hybrid wird in seiner Schaltgeschwindigkeit bereits auf die maximal zulässige Spannungssteilheit begrenzt, dynamischer Avalanche tritt im Gegensatz zum *fast* Full-Si nicht auf.

Der *fast* Hybrid und Full-SiC benötigen eine Treiberschaltung mit Active-Clamping zur Begrenzung der transienten Überspannung.

Ein Schaltsignalversatz kleiner $t_V = 0$, also eine weitere Verzögerung vom Abschalten des IGBTs, bietet keinerlei Vorteil. Lange Leitauern des vollen Laststroms im IGBT führen zu einer höheren Plasmakonzentration und zu höheren Verlusten. Die kurze Leitdauer von wenigen 100 ns bei gleichzeitigen Schaltsignalen steigert die Schaltverluste nur minimal.

4.4 Abschalten mit Pulsmuster 2 - Verzögertes Abschalten des MOSFETs

Im Hybridschalter besteht grundsätzlich die Möglichkeit, die Schaltreihenfolge bewusst zu wählen. In diesem Abschnitt wird eine Schaltreihenfolge betrachtet, bei der beim Abschalten zuerst der IGBT und verzögert der MOSFET abgeschaltet wird.

Dieses Pulsmuster ist die in der Literatur vorherrschende und bevorzugte Variante des Abschaltens (siehe Kapitel 2.4). Aus der Literatur ist bereits bekannt, dass sich durch dieses Verfahren die harten Schaltverluste im IGBT exponentiell reduzieren lassen ([21], [30], [43], [50]) und sich ein Minimum der Summe aus reduzierten Schaltverlusten und erhöhten Durchlassverlusten während der Verzögerungszeit finden lässt ([30], [50]). Diese Ergebnisse können auch bei dem hier untersuchten Hybridschalter bestätigt werden, wenn ein *low-sat* IGBT verwendet wird und die Flankensteilheit erhöht werden kann. Bei gleichbleibender Flankensteilheit jedoch lassen sich die gesamten Verluste eines Abschaltvorgangs nicht weiter reduzieren.

In diesem Unterkapitel 4.4 erfolgt ein Vergleich mit dem im vorherigen Unterkapitel 4.3 aufgezeigten Pulsmuster 1 unter gleichen Randbedingungen für die Treiberauslegung. Dabei wird eine maximal zulässige Flankensteilheit mit einbezogen sowie das Auftreten von dynamischer Avalanche oder Oszillationen. Das Ausschaltverhalten des Hybridschalters wird sowohl mit *low-sat* IGBT (W9Z1) als auch mit *fast* IGBT (W6Z3) mit verzögertem Abschalten des MOSFETs untersucht.

In Abbildung 4.33 ist das verwendete Schaltsmuster dargestellt. Da der MOSFET eine geringere Abschaltverzögerungszeit hat als der IGBT, ist für diese Schaltvariante ein Schaltsignalversatz $t_V > 0$ erforderlich.

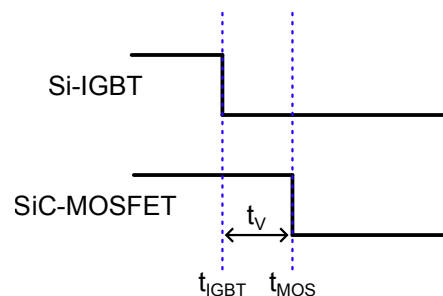


Abbildung 4.33: Schaltsignale für Pulsmuster 2

4.4.1 Abschaltverhalten des Hybridschalters mit *low-sat* IGBT

Das Abschaltverhalten des Hybridschalters, wenn zuerst der IGBT abgeschaltet wird, wird beispielhaft am *low-sat* Hybrid mit einem Schaltversatz von $t_V = 1.1 \mu\text{s}$ erklärt. Die Schalttransienten sind in Abbildung 4.34 dargestellt.

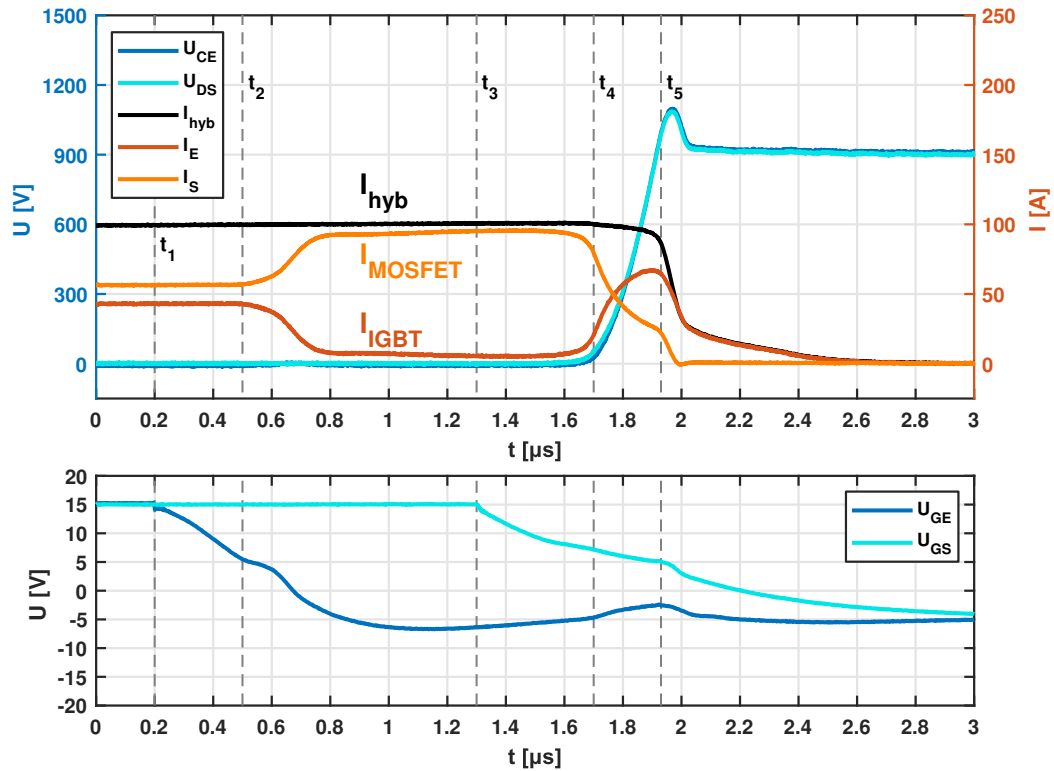


Abbildung 4.34: MOSFET-geführtes Abschalten eines Si-SiC Hybridschalters mit *low-sat* IGBT unter Nennbedingungen mit Schaltversatz $t_V = 1.1 \mu\text{s}$ ($I_L = 100 \text{ A}$, $U_{\text{DC}} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{\text{GE,ext}} = 20 \text{ nF}$)

Zum Zeitpunkt t_1 wird das Abschalten des IGBT getriggert, der MOSFET bleibt weiterhin eingeschaltet. Zum Zeitpunkt t_2 beginnt die Kommutierung des Laststroms vom IGBT auf den MOSFET. Aufgrund des geringen di/dt kommt es zu keiner großen Spannungsspitze wie beim Pulsmuster 1.

Der SiC-MOSFET übernimmt einen Großteil des Laststroms. Obwohl der Kanal des IGBTs nach kurzer Zeit vollständig geschlossen ist, fließt weiterhin ein Teil des Laststroms durch den IGBT. Das zuvor im IGBT im Durchlass aufgebaute Plasma wurde nicht durch eine Spannungsaufnahme ausgeräumt, sondern wird langsam abgebaut. Der SiC-MOSFET bestimmt den Spannungsabfall während dieser Phase des Abschaltens, der entsprechend der Kennlinie des SiC-MOSFET höher ausfällt als im gemeinsamen Durchlasszustand. Es entstehen zwischen t_2 und t_3 zusätzliche Durchlassverluste im MOSFET, im IGBT jedoch fallen weniger Verluste an. Aufgrund der parasitären Induktivität im Gatekreis kommt es zu einem Unterschwingen von U_{GE} .

Zum Zeitpunkt t_3 wird der MOSFET abgeschaltet. Ab diesem Zeitpunkt beginnt der "harte" Abschaltvorgang des Hybridschalters.

Zum Zeitpunkt t_4 beginnt der Hybridschalter Spannung aufzunehmen. Der SiC-MOSFET ist der aktive Schalter, mit dessen Gatewiderstand die Abschaltgeschwindigkeit gesteuert werden kann. Der IGBT nimmt mit vollständig geschlossenem Kanal in der Parallelschaltung passiv die gleiche Sperrspannung auf. Weil im IGBT weiterhin sehr viel Plasma vorhanden ist, wird dieses durch die Spannungsaufnahme ausgeräumt, ein Teil des Laststroms kommutiert wieder in den IGBT.

Ab t_5 kommutiert der Laststrom in die Freilaufdiode. Auch wenn die Gatespannung durch die Millerkapazität leicht angehoben wird, bleibt der Kanal des IGBTs weiterhin geschlossen. I_S fällt mit hohem dI/dt auf Null. Durch noch verbliebenes Plasma im IGBT bildet sich ein Tailstrom aus.

In beiden Schaltern treten Schaltverluste auf. Im MOSFET fallen vor der Spannungsflanke zwar erhöhte Durchlassverluste an, er wird jedoch beim harten Schalten durch den IGBT entlastet.

4.4.2 Reduktion der Ladungsträgerdichte im IGBT

Bei einem positiven Schaltsignalversatz kommutiert der Laststrom vor der Spannungsflanke vom IGBT auf den MOSFET. Da der IGBT abgeschaltet wird, ohne hohe Spannung aufzunehmen, verbleibt trotz geschlossenem Kanal eine große Menge Plasma im IGBT.

Im Hybridschalter reduziert sich die Menge an verbleibendem Plasma im IGBT in Abhängigkeit vom gewählten Schaltsignalversatz. Das Plasma wird beim harten Schalten durch die vom MOSFET eingeprägte Spannungsflanke ausgeräumt. In Abbildung 4.35 ist die Spannungsaufnahme vom IGBT im *fast* Hybrid mit einem Schaltversatz von $2\ \mu\text{s}$ bis hin zu $12\ \mu\text{s}$ bei einem Laststrom von $100\ \text{A}$ dargestellt. Die Flankensteilheit wurde durch den Gatewiderstand konstant auf $15\ \text{kV}/\mu\text{s}$ eingestellt.

Mit steigendem Schaltsignalversatz ist zu erkennen, dass die auftretende Stromspitze im IGBT weiter absinkt, aber selbst bei $t_V = 12\ \mu\text{s}$ noch immer Plasma im IGBT verblieben ist, welches erst bei Spannungsaufnahme ausgeräumt wird.

Die Höhe der Stromspitze ist zum einen durch die im IGBT verbliebene Ladungsträgerdichte bestimmt, zum anderen durch die vom MOSFET eingeprägte Flankensteilheit. Je höher die Flankensteilheit, desto schneller wird das Plasma ausgeräumt, desto höher der Kollektorstrom während der Spannungsflanke.

In Abbildung 4.36 ist die Spannungsaufnahme des IGBTs im *low-sat* Hybrid bei unterschiedlichem Schaltsignalversatz und angepasster Flankensteilheit abgebildet. Durch angepasste Abschaltwiderstände des SiC-MOSFETs wurde die Flankensteilheit so angepasst, dass die Stromspitze bei unterschiedlichem Schaltsignalversatz das gleiche Maximum aufweist.

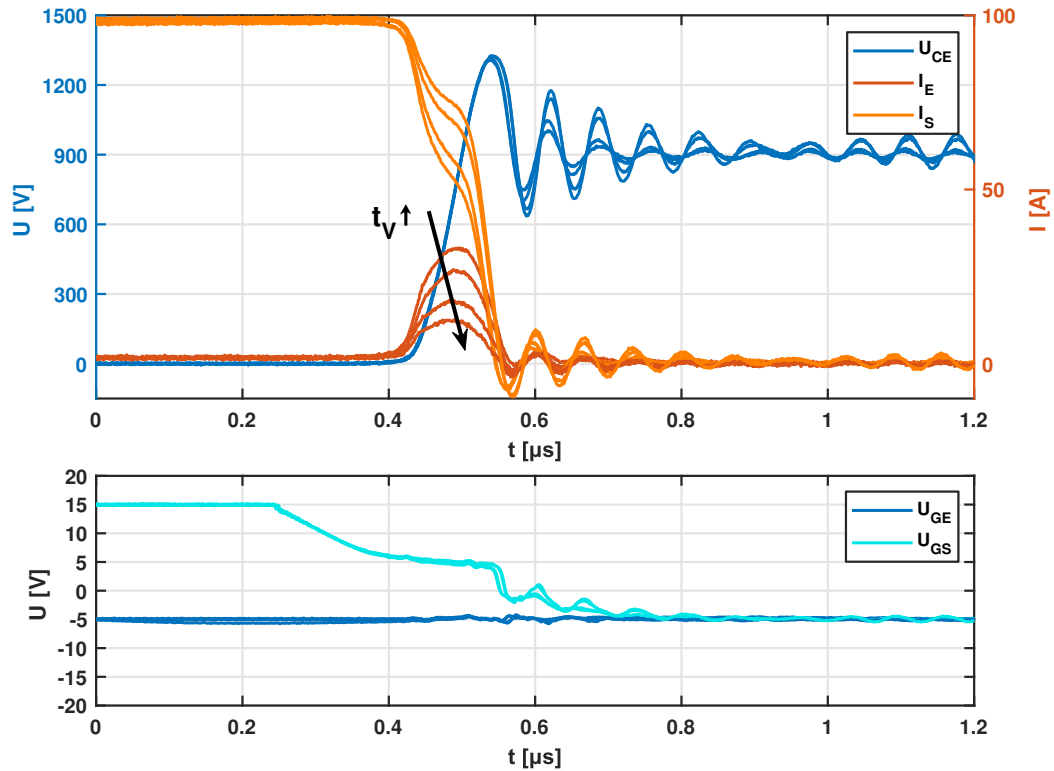


Abbildung 4.35: Reduktion der Stromspitze bei passiver Spannungsaufnahme des IGBT im *fast* Hybrid mit Schaltversatz $t_V \in \{2 \mu\text{s}, 4 \mu\text{s}, 8 \mu\text{s}, 12 \mu\text{s}\}$ ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$)

Die Spannungsaufnahme des *low-sat* Hybrids mit Variation von t_V und konstanter Flankensteilheit bei $t_V \in [0 \mu\text{s}, 12 \mu\text{s}]$ ist im Anhang in Abbildung A.9 dargestellt.

Die Wirkungskette für die intrinsische Spannungssteilheit bei Pulsmuster 1 kann für das Schalten mit Pulsmuster 2 für die auftretende Stromspitze abgewandelt werden (siehe Abbildung 4.37). Unabhängig vom gewählten Pulsmuster für das Abschalten wird die statische Ladungsträgerdichte durch die Stromverteilung zwischen IGBT und MOSFET bestimmt. Der beim Pulsmuster 2 verwendete Schaltsignalversatz bestimmt die Plasmamenge unmittelbar vor der Spannungsflanke. Die durch den MOSFET eingeprägte Flankensteilheit resultiert in einer Kollektorstromspitze. Wie bei Pulsmuster 1 wirken sich alle Parameter, die die Ausgangskennlinien beeinflussen, ebenfalls auf die gesamte Wirkungskette aus.

In Abbildung 4.38 ist die beim harten Schalten im IGBT ausgeräumte Ladung (Integration von I_E) als Funktion von t_V aufgetragen. Die absolute Ladung im *low-sat* IGBT übersteigt deutlich die des *fast* IGBTs. Es ist beim *low-sat* IGBT sowohl beim absoluten als auch beim normierten Verlauf eine exponentielle Abnahme der Ladung auszumachen.

Hoher Laststrom resultiert in mehr Plasma, das ausgeräumt werden muss. Dies gilt auch für hohe Verzögerungszeiten. Aus Abbildung 4.38b kann gefolgert werden, dass eine höhere

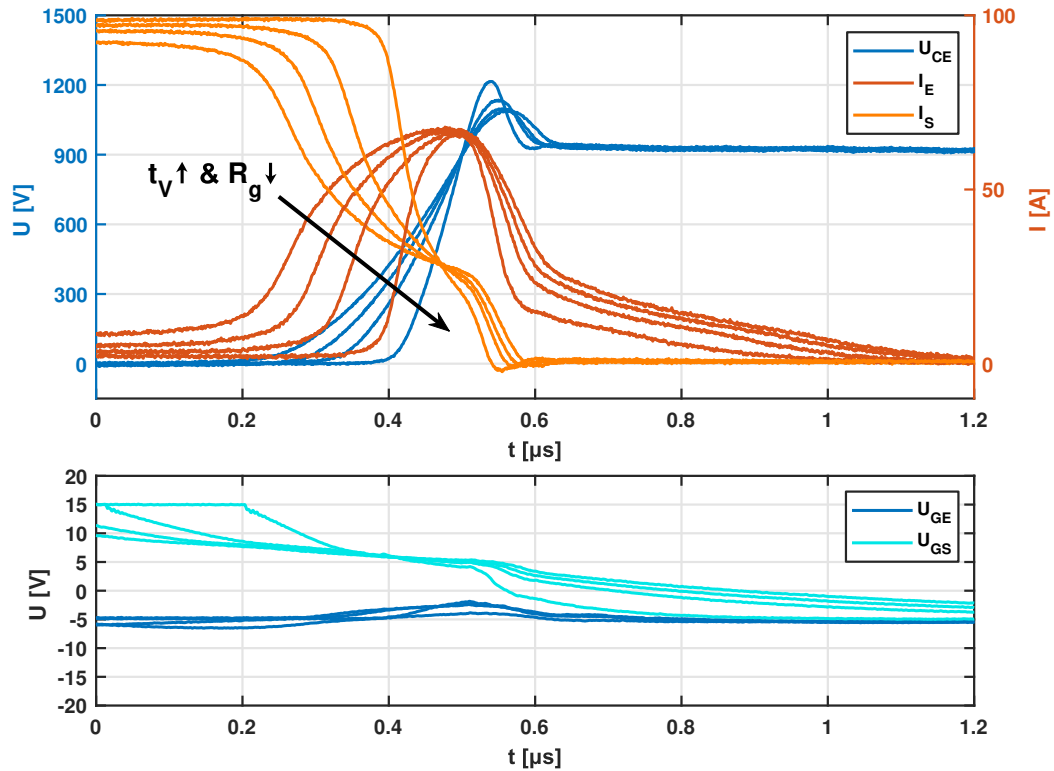


Abbildung 4.36: Zusammenhang zwischen Stromspitze und Flankensteilheit bei passiver Spannungsaufnahme des IGBTs im *low-sat* Hybrid mit Schaltversatz $t_v \in \{0.5 \mu\text{s}, 1.1 \mu\text{s}, 2 \mu\text{s}, 4 \mu\text{s}\}$ ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$)

Ladungsträgerdichte bei gleicher Verzögerungszeit eine stärkere prozentuale Reduktion erfährt als eine geringe Ladungsträgerdichte. Die Kurven des *low-sat* Hybrids liegen deutlich unter denen des *fast* Hybrids. Der *low-sat* Hybridschalter profitiert deutlich stärker von einem Schaltversatz. Die größte Ladungsmenge wird am Anfang der Verzögerungszeit ausgeräumt.

Die Abnahme der Ladungsträgerdichte wurde mit dem FEM-Modell eines *low-sat* IGBTs aus Abschnitt 4.3.4 simuliert. Die Verläufe zu unterschiedlichen Zeitpunkten nach dem Abschalten des IGBTs werden in Abbildung 4.39 gezeigt. Die Verläufe der Strom- und Spannungstransienten dieser Simulation sind im Anhang in Abbildung A.10 zu sehen.

Unmittelbar nachdem der IGBT abgeschaltet wurde reduziert sich das Plasma. Emitterseitig sinkt die Ladungsträgerdichte stark ab, es bildet sich bereits nach $0.1 \mu\text{s}$ eine kleine Raumladungszone aus. Der IGBT nimmt jedoch nur die Spannungsabfälle an den parasitären Induktivitäten im Kommutierungskreis zwischen IGBT und MOSFET auf sowie die Durchlassspannung des MOSFETs. Daher bleibt die Weite der Raumladungszone sehr gering, solange der MOSFET noch nicht abgeschaltet wurde.

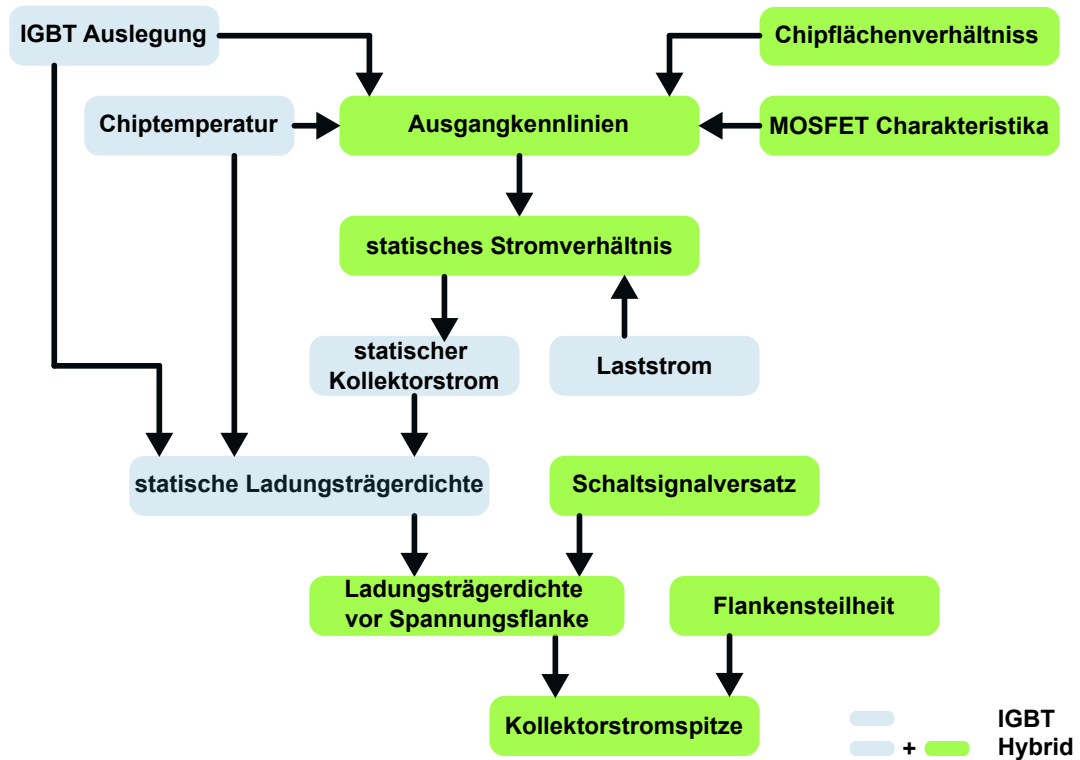


Abbildung 4.37: Erweiterte Wirkungskette und Einflussparameter für die Kollektorstromspitze beim MOSFET-geführten Abschalten.

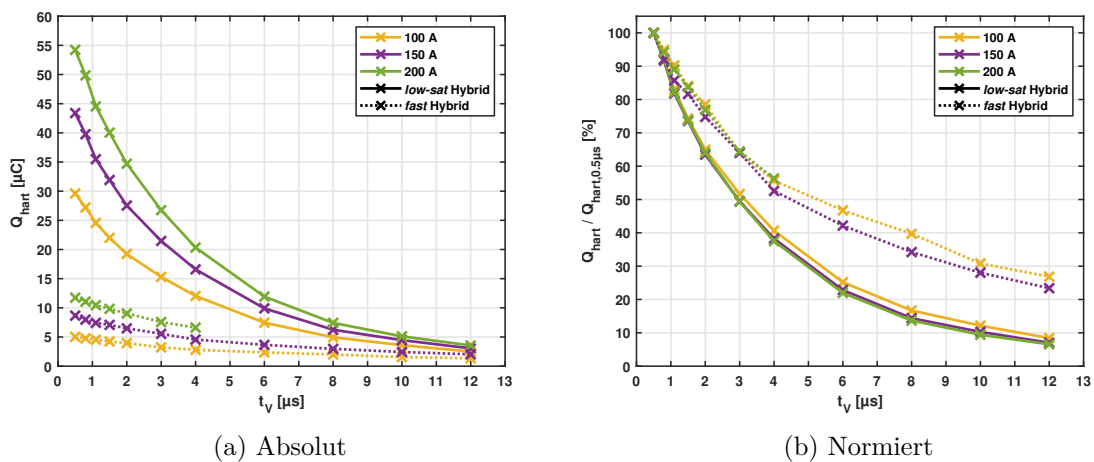


Abbildung 4.38: Im IGBT ausgeräumte Ladungsmenge beim harten Schalten in Abhängigkeit des Schaltsignalversatzes ($U_{\text{DC}} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{\text{GE,ext}} = 20 \text{ nF}$)

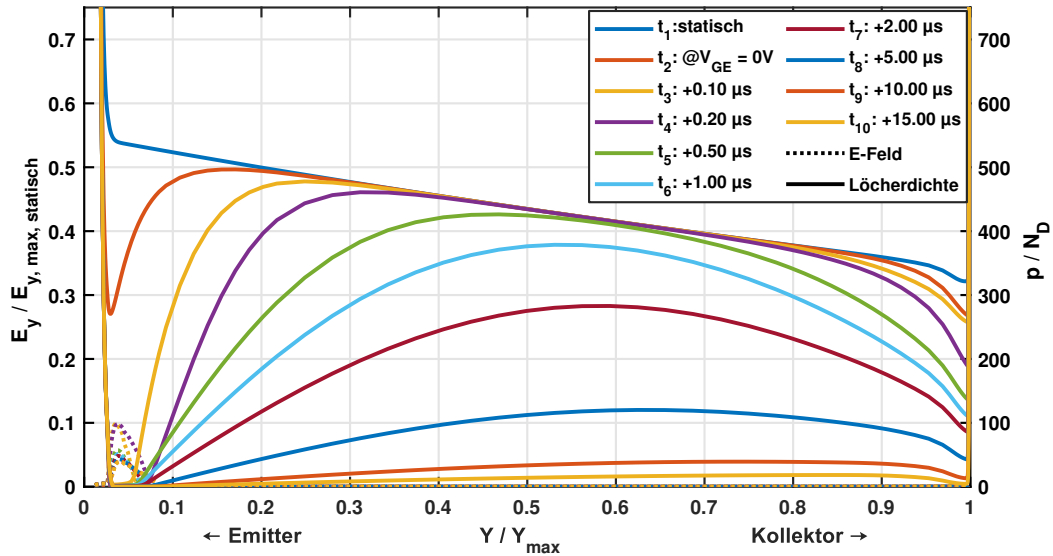


Abbildung 4.39: Simulation: Abnahme des Plasmas in einem *low-sat* IGBT nach der Kommutierung des Laststroms auf den parallelen SiC-MOSFET ($I_L = 100$ A, $T_j = 125$ °C)

Kollektorseitig sinkt ebenfalls der Aufhängungspunkt des Plasmas ab, fällt aber langsamer als am Emitter ab. Während der Elektronenkanal vollständig geschlossen ist, wird der rückseitige PN-Übergang auch weiterhin von einem geringen Kollektorstrom durchflossen.

Das Maximum des Plasmaverlaufs wandert vom Emitter in die Mitte der Basiszone, es entstehen Verläufe mit hohen Gradienten. Der vorhandene Driftstrom wird von einem Diffusionsstrom überlagert. Am Emitter reduziert sich die Ladungsdichte schneller als am Kollektor.

Eine Nullspannungskommütierung mit verzögertem Ausräumen des Plasmas durch passive Spannungsaufnahme wurde bereits in [127] beschrieben. Dort tritt eine ähnliche Form der Nullspannungskommütierung innerhalb eines 3-Level Umrichters beim Umschalten von einem Nullspannungszeiger auf den jeweils anderen auf und wurde simulativ an 6.5 kV-IGBTs und experimentell an 3.3 kV IGBTs untersucht. Auch hier wurde gezeigt, dass im IGBT verbleibendes Plasma zu einer Stromspitze während der Spannungsaufnahme führt und sich das Plasma mit zunehmendem zeitlichen Abstand der Schaltflanken im IGBT reduziert. Anders als im Hybridschalter findet der Kommutierungsvorgang mit hoher Induktivität statt, sodass sich beim Abschalten des IGBTs bereits eine Raumladungszone ausbildet, die einen Teil des Plasmas ausräumt.

4.4.3 Begrenzung der Schaltgeschwindigkeit durch dynamischen Avalanche

Beim Abschalten des *low-sat* Hybridschalters mit geringem Schaltsignalversatz ist bei hoher Flankensteilheit und hoher absoluter Spannung ein plötzlicher weiterer Anstieg des

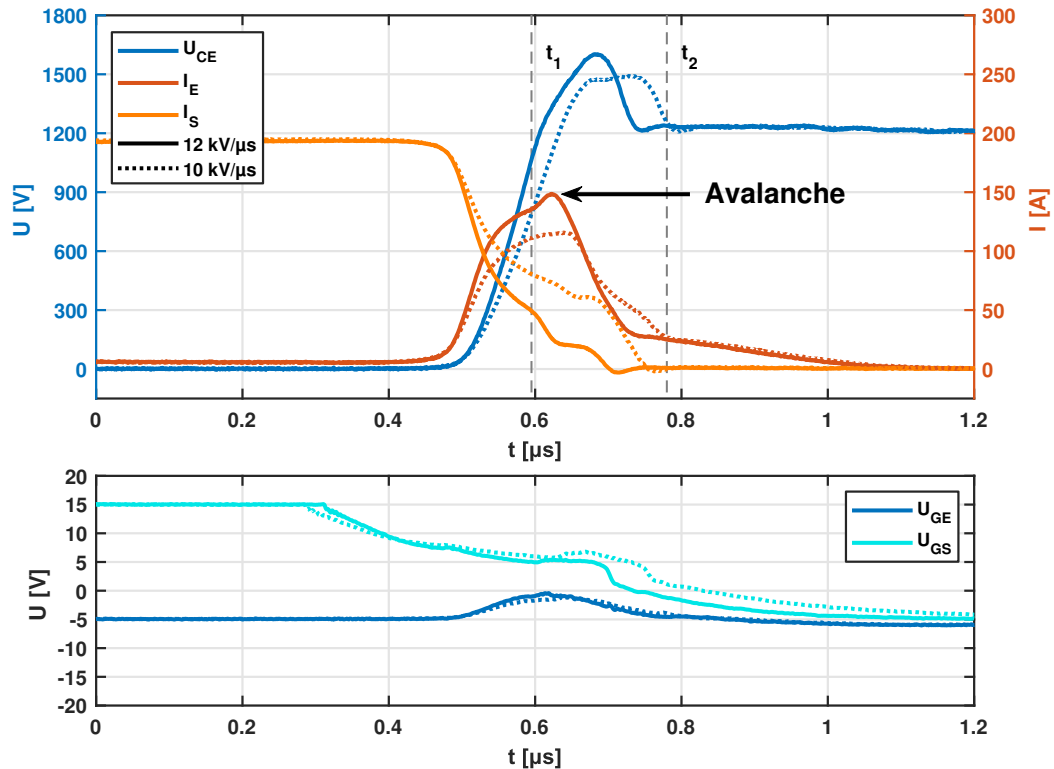


Abbildung 4.40: Anzeichen für dynamischen Avalanche beim *low-sat* Hybrid bei hoher Stromdichte im IGBT ($I_L = 200 \text{ A}$, $U_{DC} = 1200 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = 3 \text{ } \mu\text{s}$)

Stroms im IGBT zu beobachten. In Abbildung 4.40 ist das Abschalten bei unterschiedlicher Flankensteilheit abgebildet. Bei hoher Flankensteilheit ist im Stromverlauf zum Zeitpunkt t_1 ein plötzlicher Anstieg des Stroms zu erkennen, nachdem sich das dI/dt zuvor bereits reduziert hat. Bei geringerer Flankensteilheit tritt dieser plötzliche Anstieg nicht auf.

Dieser plötzliche Stromanstieg kann aus mehreren Gründen mit dynamischem Avalanche erklärt werden, die im Folgenden betrachtet werden. Erstens fließt während des Abschaltvorgangs eine höhere Ladung durch den IGBT. Zweitens gleichen sich die Randbedingungen beim Auftreten von Avalanche beim intrinsischen Schalten mit Pulsmuster 1 und Pulsmuster 2. Drittens wird eine TCAD-Simulation mit FEM-Modell des IGBT herangezogen.

Während des Abschaltvorgangs spiegelt die Fläche unter der Stromkurve die durch den IGBT fließende Ladung wider. Im gesamten Schaltvorgang in Abbildung 4.40 fließt durch den IGBT bei höherer Flankensteilheit 5% mehr Ladung als bei niedriger Flankensteilheit. Beide Schalter haben vor dem Ausschaltvorgang den gleichen Ausgangszustand und weisen nach dem Abschalten zum Zeitpunkt t_2 den gleichen Tailstrom auf, haben also die gleiche kollektorseitige Plasmakonzentration. Die bei hoher Flankensteilheit zusätzlich durch den IGBT fließende Ladung wird also nicht aus dem Plasma im IGBT gespeist und muss daher durch dynamischen Avalanche generiert werden.

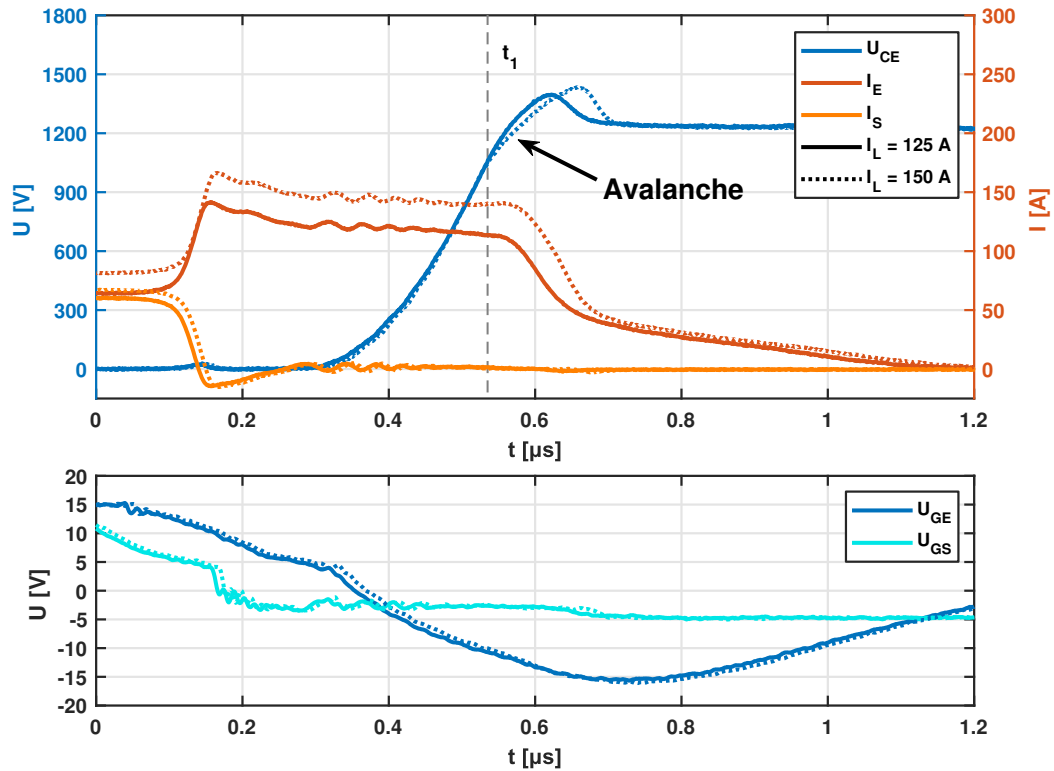


Abbildung 4.41: Dynamischer Avalanche beim intrinsischen Schalten des *low-sat* Hybrids mit Pulsmuster 1 ($U_{DC} = 1200 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = -0.1 \text{ } \mu\text{s}$)

Der charakteristische Stromanstieg tritt bei einer Spannung $U_{CE} = 1050 \text{ V}$ und einem Strom von $I_E = 135 \text{ A}$ auf, während er aber bei einem Strom von $I_E = 115 \text{ A}$ und gleicher Spannung nicht zu erkennen ist. In Abbildung 4.41 ist das intrinsische Abschalten des *low-sat* Hybrids beim IGBT-geführten Schalten mit Pulsmuster 1 in zwei unterschiedlichen Arbeitspunkten abgebildet. Zeitpunkt t_1 markiert den Abfall des dU/dt vor Erreichen der Zwischenkreisspannung, also das Einsetzen von dynamischem Avalanche bei $U_{CE} = 1050 \text{ V}$. Bei einem Emitterstrom von $I_E = 140 \text{ A}$ ist ein Rückgang des dU/dt auszumachen, der bei $I_E = 115 \text{ A}$ deutlich geringer ausgeprägt ist.

Dynamischer Avalanche entsteht durch zu hohe elektrische Feldstärke als Folge von Feldaufteilung durch einen hohen Löcherstromanteil in der Raumladungszone. Sowohl in Abbildung 4.40 als auch in Abbildung 4.41 ist der Elektronenkanal im IGBT abgeschnürt, der gesamte Strom im IGBT fließt als Löcherstrom durch die Raumladungszone. In der Raumladungszone gilt Gleichung 4.22, mit Proportionalität zwischen Löcherkonzentration p und Löcherstromdichte j_p .

$$\frac{dE_y}{dy} = \frac{q_0}{\varepsilon} \cdot (p + N_D^+) \quad (4.22)$$

$$p \sim j_p \quad (4.23)$$

$$j_p = j \quad (4.24)$$

Bei gleicher gesperrter Spannung und gleichem Emitterstrom ist von gleichem Feldstärkeverlauf in beiden Abschaltvorgängen auszugehen. Dynamischer Avalanche tritt folglich bei beiden Pulsmustern auf.

Im Fall von Pulsmuster 1 ist der Emitterstrom durch den Laststrom begrenzt. Der durch dynamischen Avalanche hervorgerufene Elektronenstrom in der Raumladungszone reduziert die Ausräumgeschwindigkeit des Plasmas und senkt das dU/dt . Beim Pulsmuster 2 ist das dU/dt durch den abschaltenden MOSFET vorgegeben. Die zusätzlich generierte Ladung führt zu einem Stromanstieg im IGBT. Auch in diesem Fall reduziert sich das dU/dt , jedoch in geringerem Ausmaß. Dem abschaltenden MOSFET wird durch die Stromspitze im IGBT der Strom entzogen, die Ausgangskapazität wird langsamer umgeladen.

Weiterhin kann zur Erklärung eine TCAD-Simulation des Hybridschalters herangezogen werden. Dabei wird ein FEM-Modell eines *low-sat* IGBTs verwendet, bei dem beim intrinsischen Abschalten mit Pulsmuster 1 bei einem Laststrom von $I_L = 200$ A und einer Spannung von $U_{CE} \approx 1000$ V dynamischer Avalanche auftritt. Die Schalttransienten der Simulation sind im Anhang in Abbildung A.11 abgebildet.

In Abbildung 4.42 sind die simulierten Schalttransienten mit und ohne simulierter Stoßionisation abgebildet. Bei der FEM-Simulation kann die Simulation von Stoßionisation vollständig deaktiviert werden, sodass direkt die Auswirkungen auf die Schalttransienten sichtbar werden.

Der charakteristische Anstieg von I_E fehlt bei einer Deaktivierung der Stoßionisation. Der zum Zeitpunkt t_3 stattfindende Stromanstieg und das höhere Maximum zum Zeitpunkt t_4 werden in der Simulation durch dynamischen Avalanche hervorgerufen. Aus der Simulation kann der Elektronenstrom durch die Raumladungszone bei $Y/Y_{\max} = 0.05$ extrahiert werden. Trotz geschlossenem Elektronenkanal kann im Simulationsmodell ein Anstieg des Elektronenstroms durch die Raumladungszone des IGBTs festgestellt werden.

Auch in der Simulation stimmen die Randbedingungen, bei denen dynamischer Avalanche auftritt, zwischen intrinsischem Pulsmuster 1 (A.11) und dem hier gezeigten Pulsmuster 2 (Abbildung 4.42) überein. Die zusätzlich eingebrachte Ladung in den IGBT ist als Fläche zwischen den Stromkurven markiert.

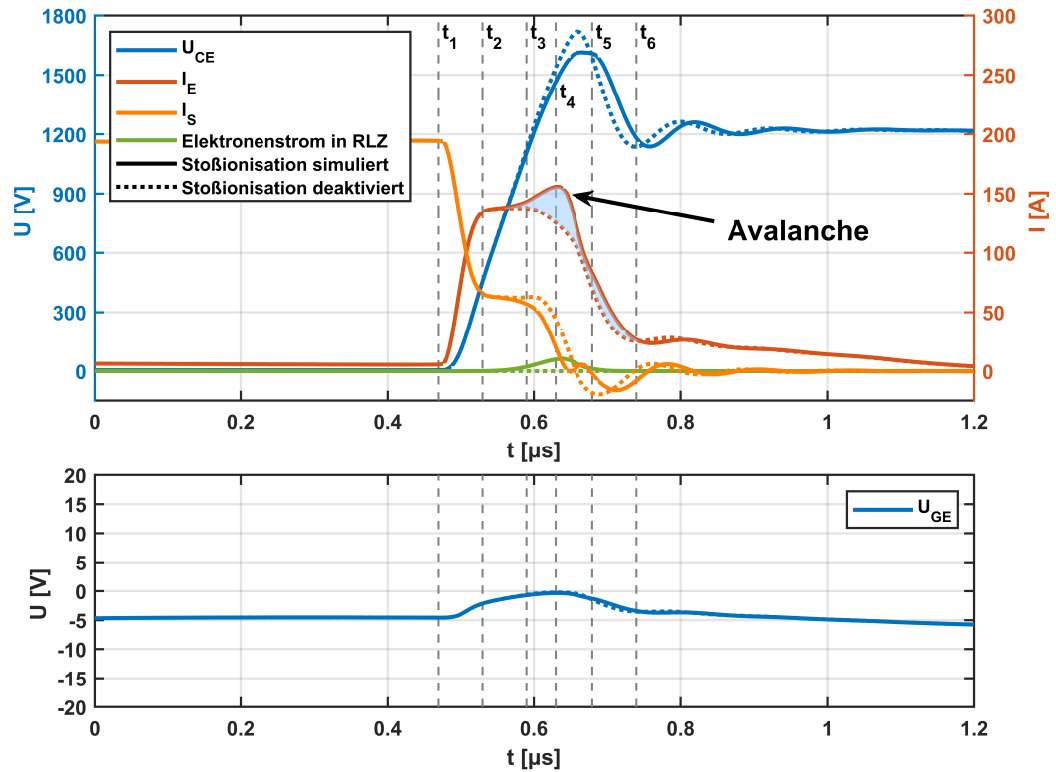


Abbildung 4.42: Simulation: Dynamischer Avalanche beim MOSFET-geführten Schalten ($U_{DC} = 1200 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $t_V = 3 \mu\text{s}$)

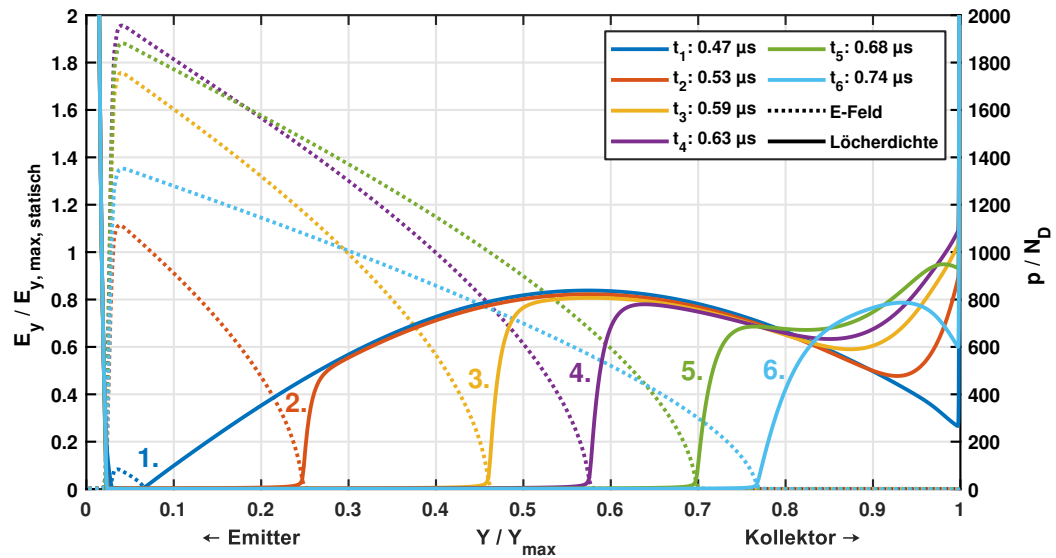


Abbildung 4.43: Simulation: Ausräumen des Plasmas im *low-sat* IGBT in Abbildung 4.42 (Stoßionisation simuliert, $I_L = 200 \text{ A}$, $U_{DC} = 1200 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$)

In Abbildung 4.43 ist der räumliche Verlauf der elektrischen Feldstärke und des Plasmas zu den in Abbildung 4.42 markierten Zeitpunkten dargestellt. Zum Zeitpunkt t_3 beginnt der dynamische Avalanche. Zu diesem Zeitpunkt ist die Raumladungszone nahezu bis zum Maximum des Plasmaverlaufs vorgedrungen. Die Steilheit des Feldstärkeverlaufs ist durch den in der Raumladungszone fließenden Löcherstrom stark erhöht und erreicht im Verlauf des Abschaltens ungefähr das Zweifache der statischen Feldstärkespitze. Erst nachdem sich der Strom durch den IGBT zum Zeitpunkt t_5 reduziert hat, geht auch die Steilheit des Feldstärkeverlaufs wieder zurück.

Während des Abschaltvorgangs wird durch den Anstieg des Kollektorstroms wieder kollektorseitig Ladung aufgebaut, diese dringt jedoch nicht weit in die Basiszone ein. Erst zwischen Zeitpunkt t_5 und t_6 erreicht die Raumladungszone den Bereich, in dem die neu eingebrachte Ladung sich anreichert. Sie erhöht den auftretenden Tailstrom, hat jedoch keinen Einfluss auf das Auftreten von dynamischer Avalanche. Der Stromanstieg wird nicht durch die kollektorseitig eingebrachte Ladung verursacht.

Als Maßnahme gegen das Auftreten von dynamischer Avalanche wird bei der Treiberauslegung für den *low-sat* Hybrid die Flankensteilheit des SiC-MOSFETs so eingestellt, dass der Strom im IGBT beim Abschalten 125 A nicht übersteigt. In Abbildung 4.44 ist die Flankensteilheit unter Nennbedingungen und die Stromspitze im IGBT im Worst Case in Abhängigkeit von t_V aufgetragen.

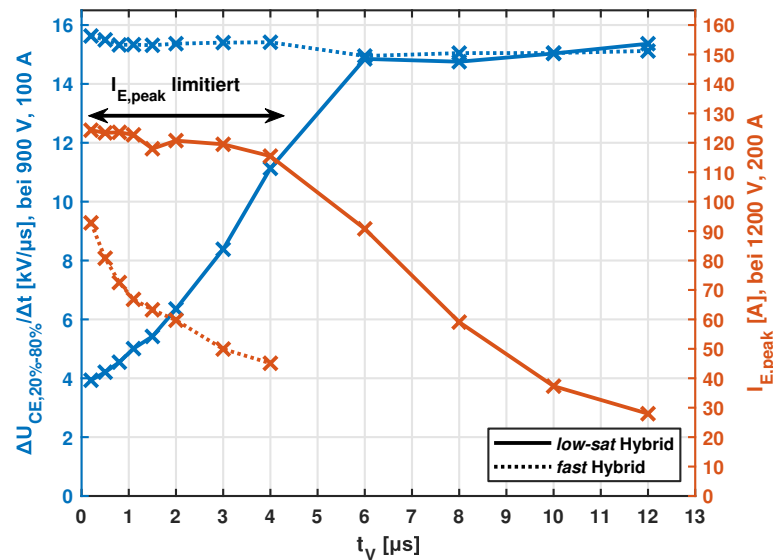


Abbildung 4.44: Vermeiden von Avalanche beim *low-sat* Hybrid durch Reduktion der Flankensteilheit bei geringem Schaltsignalversatz. Flankensteilheit bei $U_{DC} = 900$ V, $I_L = 100$ A und Stromspitze während der Spannungsaufnahme bei $U_{DC} = 1200$ V, $I_L = 200$ A

Bei einem Versatz von $t_V \leq 4$ µs führt dies zu einer starken Reduktion der Flankensteilheit, die Schaltverluste erhöhen sich. Ab $t_V \geq 6$ µs hat sich das Plasma im *low-sat* IGBT bereits ausreichend reduziert, sodass es auch bei einer Flankensteilheit von 15 kV/µs nicht zu

dynamischem Avalanche kommt. Beim *fast* Hybrid tritt auch bei sehr geringem Schaltversatz kein Avalanche auf. Er ist wie bei Pulsmuster 1 allein durch die maximale Flankensteilheit in seiner Schaltgeschwindigkeit begrenzt.

Durch die Reduktion der Schaltgeschwindigkeit im *low-sat* Hybridschalter kann sogar auf den Einsatz einer Active-Clamping Schaltung bei einem Schaltsignalversatz von $t_V \leq 2 \mu\text{s}$ verzichtet werden.

4.4.4 Oszillationen in Abhängigkeit vom Schaltsignalversatz

Beim MOSFET-geführten Schalten neigt der Hybridschalter generell eher zu Oszillationen nach der Spannungsflanke als beim Pulsmuster 1. Durch die Reduktion der Speicherladung im IGBT vor der Spannungsflanke reduziert sich die Dämpfung der Oszillationen. In Abbildung 4.45 sind die Zeiten der Oszillationen zwischen parasitärer Induktivität und Halbleitern in Abhängigkeit des Schaltsignalversatzes aufgetragen und werden jeweils mit dem IGBT-geführten Schalten von Pulsmuster 1 und dem Full-SiC Schalter verglichen.

Der *low-sat* Hybrid oszilliert nicht bei der Verwendung von Pulsmuster 1 und einer Sperrschichttemperatur von $T_j = 125^\circ\text{C}$. Mit Pulsmuster 2 und einem geringem Schaltversatz treten nur bei einem geringen Laststrom von $I_L = 25 \text{ A}$ Oszillationen auf (siehe Abbildung 4.45a), was mit einem geringen Anteil des IGBTs am Durchlass erklärt werden kann. Mit zunehmendem Schaltsignalversatz treten Oszillationen auch bei höheren Lastströmen auf und benötigen bei hohem Schaltsignalversatz auch zunehmend längere Zeit bis zum Abklingen.

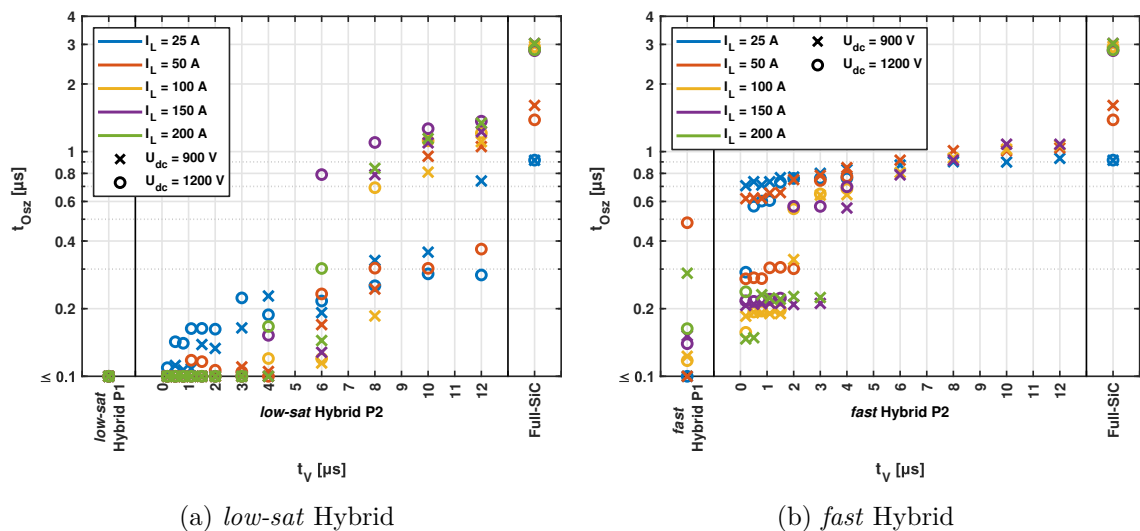


Abbildung 4.45: Oszillationsdauer von Spannungsoszillationen (t_{Osz}) größer als $2\% U_{DC,n}$ beim Abschalten des Hybridschalters mit Pulsmuster 2 ($T_j = 125^\circ\text{C}$)

Der *fast* Hybridschalter oszilliert bereits beim Schalten mit Pulsmuster 1. Auch bei diesem nimmt bei Pulsmuster 2 die Oszillationsdauer mit steigendem Schaltsignalversatz zu und

erreicht sogar den gleichen Wert wie der Full-SiC Schalter bei $I_L = 25$ A. Bei höheren Lastströmen liegen die Oszillationsdauern des Full-SiC Schalters jedoch immer noch deutlich über dem *fast* Hybrid.

Insgesamt nähert sich die Oszillationsdauer beider Schalter mit zunehmendem Versatz dem Full-SiC Schalter an. Jedoch gilt weiterhin, dass die Oszillationsdauer des Full-SiC Schalters deutlich länger ausfällt. Bei hohem Schaltsignalversatz gleicht sich die Oszillationsdauer von *low-sat* Hybrid und *fast* Hybrid an.

Bei einem Schaltsignalversatz, der zu einer guten Verlustverteilung zwischen IGBT und MOSFET führt ($t_V = 6 \mu\text{s}$), oszilliert der *low-sat* Hybridschalter nur geringfügig bei Nennzwischenkreisspannung. Der *fast* Hybrid ($t_V = 4 \mu\text{s}$) weist hier bereits Oszillationsdauern knapp unter $1 \mu\text{s}$ auf.

4.4.5 Inter-Chip Oszillationen

Neben den Oszillationen zwischen parasitärer Induktivität im Lastpfad und Ausgangskapazität der Halbleiter können beim MOSFET-geführten Schalten ebenfalls Inter-Chip Oszillationen zwischen den Gatespannungen der parallel geschalteten MOSFETs auftreten.

In Abbildung 4.46 wird das Auftreten von Oszillationen beim MOSFET-geführten Abschalten des Hybridschalters gezeigt. Die Gatespannungen der zwei auf einem gemeinsamen Substrat parallel geschalteten SiC-MOSFETs wurden separat gemessen. Während der fallenden Stromflanke beginnen die Gatespannungen der SiC-MOSFETs mit einer Frequenz von 250 MHz gegeneinander zu oszillieren. Dabei wurden die Gatespannungen $U_{GS,1}$ und $U_{GS,2}$ vom gemeinsamen Gateanschluss des Substrates zur jeweiligen Oberflächenmetallisierung gemessen (siehe Abbildung A.12 im Anhang).

Beim Abschalten von zwei SiC-MOSFETs Chips auf einem gemeinsamen Substrat ohne parallel geschalteten IGBT treten ebenfalls Oszillationen der Gatespannung mit gleicher Frequenz auf (siehe Abbildung A.13 im Anhang). Diese Oszillationen sind bei Messungen mit einem einzelnen SiC-MOSFET Chip auf einem Substrat nicht zu beobachten. Daraus kann gefolgert werden, dass die Ursache der Oszillationen nicht in der Konstellation des Hybridschalters liegt, sondern bereits durch die Parallelschaltung zweier SiC-MOSFETs verursacht wird.

Diese Art von Inter-Chip Oszillationen sind bereits eine bekannte Herausforderung in der Parallelschaltung von SiC-MOSFETs. In [128], [129] wird analytisch die Inter-Chip Oszillation zwischen 1.2 kV SiC-MOSFETs beschrieben. Inter-Chip Oszillationen treten bei Asymmetrien im Layout oder von Chipparametern auf. Während des Schaltens durchläuft das System aus parallelen SiC-MOSFETs einen instabilen Bereich mit negativer Dämpfung. Wird das System durch Asymmetrien angeregt und verbleibt zu lange im instabilen Bereich, können Oszillationen mit hohen Amplituden auftreten, bis hin zum Kontrollverlust und

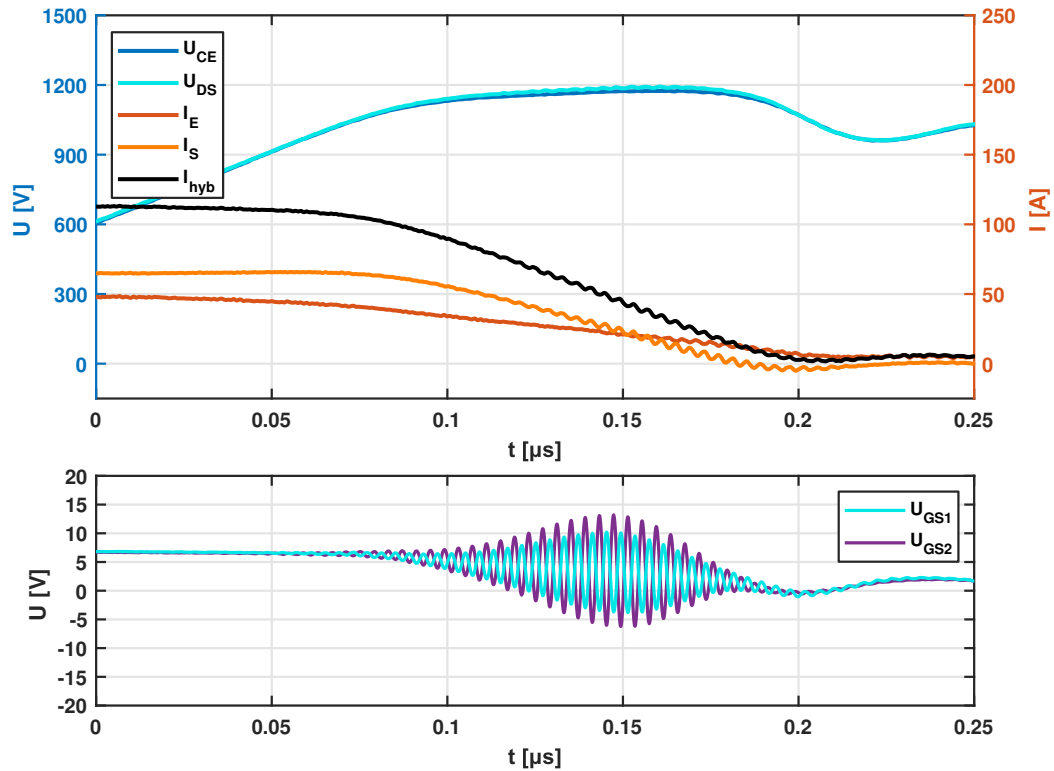


Abbildung 4.46: MOSFET-geführtes Abschalten eines Si-SiC Hybridschalters mit *low-sat* IGBT mit Schaltversatz $t_V = 1.1 \mu\text{s}$, Gatespannungen paralleler SiC-MOSFET ($I_L = 120 \text{ A}$, $U_{\text{DC}} = 1000 \text{ V}$, $T_j = 25^\circ\text{C}$, $C_{\text{GE,ext}} = 20 \text{ nF}$)

Zerstörung der Halbleiter. Inter-Chip Oszillationen haben meist eine hohe Oszillationsfrequenz von über 100 MHz und setzen in der Regel zuerst auf der Gatespannung des MOSFETs ein [129].

Diese Oszillationen können durch eine Anpassung einer Vielzahl von Chip- oder Layoutparametern beeinflusst und dadurch beherrscht werden. In [129] wird die Reduktion der Drain-Source Kapazität oder der Sourceinduktivität empfohlen. Im hier untersuchten Hybridschalter wäre z.B. auch eine Erhöhung des internen Gatewiderstandes zur Bedämpfung der Oszillationen möglich, da der interne Gatewiderstand ungefähr um Faktor 3 kleiner ausfällt als der niedrigste verwendete externe Abschaltwiderstand.

Zu stark angeregte Inter-Chip Oszillationen führen zur Zerstörung der Halbleiter (siehe Abbildung A.14 im Anhang). Dabei ist das Auftreten von Inter-Chip Oszillationen beim Hybridschalter von mehreren Parametern abhängig. In Abbildung 4.47 sind die vermessenen, zerstörungsfreien Arbeitspunkte des *low-sat* und *fast* Hybridschalters mit verschiedenem Schaltsignalversatz abgebildet, zusätzlich ist das Auftreten von Inter-Chip Oszillationen gekennzeichnet. Messungen bei geringer Temperatur sind im Anhang in Abbildung A.15 dargestellt.

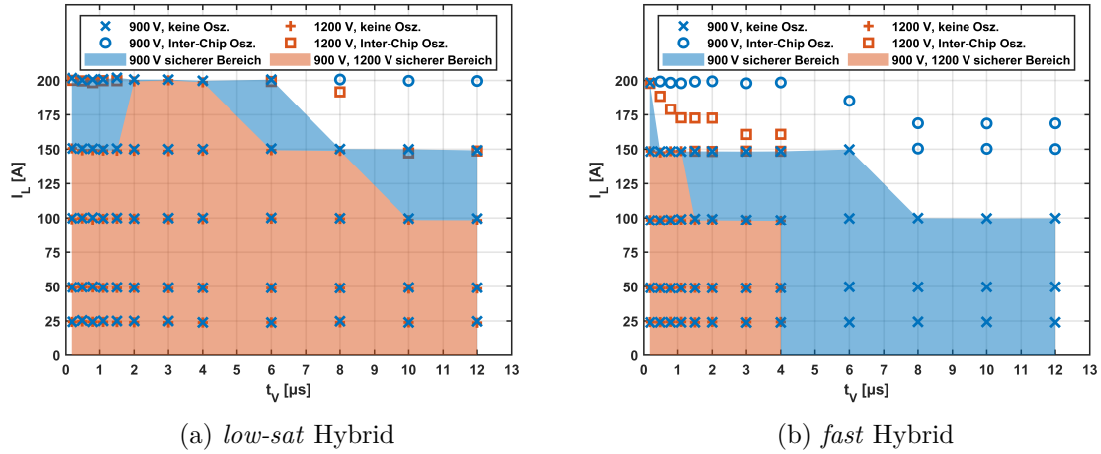


Abbildung 4.47: Auftreten von Inter-Chip Oszillationen: Gemessene Arbeitspunkte ohne und mit Inter-Chip Oszillationen ohne Zerstörung ($T_j = 125^\circ\text{C}$, $C_{\text{GE,ext}} = 20\text{ nF}$)

Inter-Chip Oszillationen treten bei hohem Laststrom, hoher Zwischenkreisspannung oder geringer Temperatur auf. Beim *fast* Hybridschalter treten sie bei geringeren Lastströmen auf als beim *low-sat* Hybrid. Eine Ursache kann darin gefunden werden, dass der *fast* IGBT beim Schalten weniger Strom als der *low-sat* IGBT übernimmt, sodass der Drainstrom im MOSFET beim *fast* Hybrid während des harten Schaltens höher ausfällt. Gleichmaßen führt ein hoher Schaltsignalversatz dazu, dass während des Abschaltens mehr Strom im MOSFET verbleibt.

Eine Ausnahme zu den vorherigen Aussagen ist, dass im *low-sat* Hybrid auch bei $t_V \leq 2\ \mu\text{s}$ und $U_{\text{DC}} = 1200\text{ V}$ Inter-Chip Oszillationen auftreten. Dies ist damit zu erklären, dass hier die Schaltgeschwindigkeit des SiC-MOSFETs reduziert wurde, um die Stromspitze im IGBT zu begrenzen (siehe Abbildung 4.44). Durch die langsamere Schaltgeschwindigkeit verbleibt der SiC-MOSFET beim Abschalten eine längere Zeit im instabilen Arbeitsbereich, wodurch Inter-Chip Oszillationen begünstigt werden [129].

Die Ursache der bei Pulsmuster 2 auftretenden Inter-Chip Oszillationen liegt nicht in der hybriden Konfiguration. Inter-Chip Oszillationen sind grundsätzlich beherrschbar, erfordern aber einen höheren Entwicklungsaufwand. Diese Form der Oszillationen tritt ausschließlich beim MOSFET-geführten Schalten auf, was als Nachteil des Pulsmusters 2 gegenüber anderen Pulsmustern gesehen werden kann. Ein Hybridschalter mit IGBT-geführtem Schalten lässt mehr Freiheitsgrade im Chipdesign des MOSFETs und im Moduldesign zu.

4.4.6 Reduzierte Schaltverluste durch Schaltsignalversatz

Beim Abschalten mit Pulsmuster 2 wird in Abhängigkeit des Schaltsignalversatzes die Speicherladung im IGBT reduziert, dies führt zu reduzierten Schaltverlusten. Nachdem der IGBT abgeschaltet wurde, führt jedoch der MOSFET einen höheren Strom als im

Durchlasszustand. Zusätzlich zu den Verlusten durch das harte Schalten fallen also bereits höhere Verluste im Intervall des Schaltsignalversatzes an.

Die Abschaltverluste von IGBT und MOSFET werden daher in zwei Abschnitte eingeteilt (siehe Gleichungen 4.25 und 4.26). In Abbildung 4.48 sind Beginn (t_1) und Ende (t_2) des Zeitintervalls für die Bestimmung von $E_{\text{off},1}$ markiert. $E_{\text{off},1}$ ist definiert als Differenz aus der in diesem Zeitintervall im Halbleiter umgesetzten Energie und den Durchlassverlusten, die in einem Zeitintervall gleicher Länge bei gleichem Laststrom im eingeschalteten Zustand auftreten würden (Gleichung 4.30). $E_{\text{off},1}$ umfasst daher lediglich die Verluste, die zusätzlich durch den Schaltvorgang in diesem Zeitraum verursacht werden (Entsättigungsverluste). Dies erlaubt einen objektiven Vergleich der Verluste bei unterschiedlichem Schaltsignalversatz t_V sowie einen Vergleich mit dem IGBT-geführten Schalten bei Pulsmuster 1. $E_{\text{off},2}$ umfasst die Verluste während des harten Schaltens (Kommutierungsverluste).

Abschaltverluste = Entsättigungsverluste + Kommutierungsverluste

$$E_{\text{off,IGBT}} = E_{\text{off},1,\text{IGBT}} + E_{\text{off},2,\text{IGBT}} \quad (4.25)$$

$$E_{\text{off,MOS}} = E_{\text{off},1,\text{MOS}} + E_{\text{off},2,\text{MOS}} \quad (4.26)$$

Zeitpunkt t_1 markiert beim Abschalten des IGBTs das Unterschreiten von 90 % der positiven Treiberspannung. Zeitpunkt t_2 markiert mit dem Abschalten des MOSFETs den Beginn des harten Schaltvorgangs, er ist ebenfalls festgelegt auf das Unterschreiten von 90 % der positiven Treiberspannung.

Durch das Kommutieren des Stroms in den IGBT zu Beginn des Intervalls reduzieren sich im Vergleich zum Durchlass die Verluste im IGBT. $E_{\text{off},1,\text{IGBT}}$ nimmt daher im Verlauf des Intervalls negative Werte an.

Für die Bestimmung von $E_{\text{off},1}$ werden die an den Halbleitern auftretenden Spannungen aus den transienten Verläufen des Stroms durch IGBT ($I_{\text{E,Tran}}$) und MOSFET ($I_{\text{S,Tran}}$) bestimmt. Dafür wird zwischen t_1 und t_2 aus der Ausgangskennlinie des eingeschalteten SiC-MOSFETs (Abbildung 4.1) der Spannungsabfall bestimmt ($U_{\text{DS,Tran} \leftarrow \text{Ausg}} = f(I_{\text{S,Tran}}(t))$). Durch dieses Verfahren entsteht eine deutlich höhere Genauigkeit im Vergleich zur mit Hochspannungstastköpfen gemessenen transienten Spannung.

Der Spannungsabfall am IGBT entspricht während des Zeitintervalls auf Grund einer erhöhten Ladungsträgerdichte nicht seiner statischen Ausgangskennlinie. Die Spannung $U_{\text{CE,Tran} \leftarrow \text{Ausg}}$ wird aus der Spannung $U_{\text{DS,Tran} \leftarrow \text{Ausg}}$, den gemessenen transienten Stromverläufen sowie berechneten Spannungsabfällen an den parasitären Induktivitäten im inneren Kommutierungskreis berechnet (siehe Abbildung 4.49 und Gleichungen 4.27 bis 4.29).

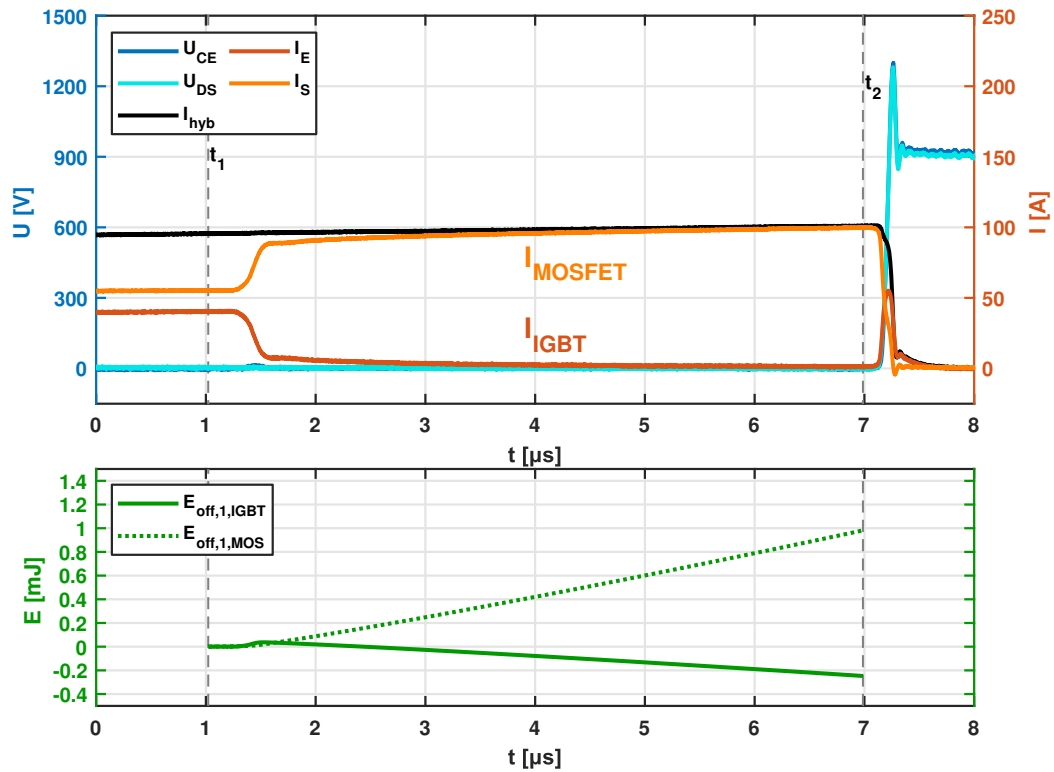


Abbildung 4.48: Schaltverluste $E_{off,1}$ beim MOSFET-geführten Abschalten eines Si-SiC Hybridschalters mit *low-sat* IGBT unter Nennbedingungen mit Schaltversatz $t_V = 6 \mu\text{s}$ ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$)

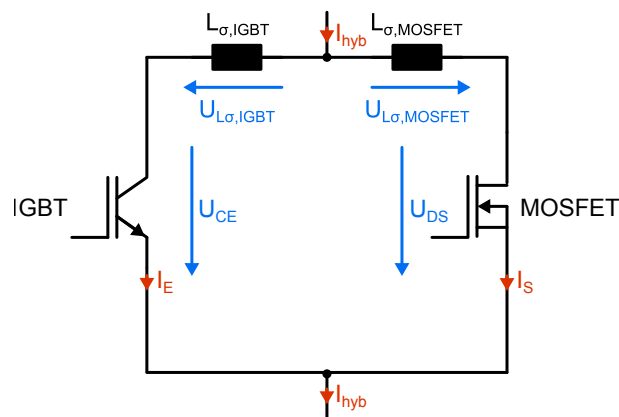


Abbildung 4.49: Spannungsabfälle im inneren Kommutierungskreis des Hybridschalters

$$\frac{dI_{\text{hyb,Tran}}}{dt} = \frac{dI_{\text{S,Tran}}}{dt} + \frac{dI_{\text{E,Tran}}}{dt} > 0 \quad (4.27)$$

$$U_{\text{CE,Tran} \leftarrow \text{Ausg}} = U_{\text{DS,Tran} \leftarrow \text{Ausg}} + U_{\text{L}\sigma, \text{MOSFET}} - U_{\text{L}\sigma, \text{IGBT}} \quad (4.28)$$

$$U_{\text{CE,Tran} \leftarrow \text{Ausg}} = U_{\text{DS,Tran} \leftarrow \text{Ausg}} + L_{\sigma, \text{MOSFET}} \frac{dI_{\text{S,Tran}}}{dt} - L_{\sigma, \text{IGBT}} \frac{dI_{\text{E,Tran}}}{dt} \quad (4.29)$$

Die Durchlassverluste, die in einem gleichen Zeitintervall $[t_1, t_2]$ bei gleichem Laststrom auftreten würden, werden aus dem Verlauf von $I_{\text{hyb,Tran}}(t)$ und den Ausgangskennlinien des Hybridschalters ermittelt. Die Verluste $E_{\text{off},1}$ berechnen sich folglich entsprechend Gleichung 4.31 und 4.32.

$$E_{\text{off},1} = E_{\text{off},1, \text{Tran}} - E_{\text{off},1, \text{Durchlass}} \quad (4.30)$$

$$E_{\text{off},1, \text{MOS}} = \int_{t_1}^{t_2} U_{\text{DS,Tran} \leftarrow \text{Ausg}} \cdot I_{\text{S,Tran}} dt - \int_{t_1}^{t_2} U_{\text{DS, Durchlass}} \cdot I_{\text{S, Durchlass}} dt \quad (4.31)$$

$$E_{\text{off},1, \text{IGBT}} = \int_{t_1}^{t_2} U_{\text{CE,Tran} \leftarrow \text{Ausg}} \cdot I_{\text{E,Tran}} dt - \int_{t_1}^{t_2} U_{\text{CE, Durchlass}} \cdot I_{\text{E, Durchlass}} dt \quad (4.32)$$

In Abbildung 4.48 ist der Verlauf von $E_{\text{off},1}$ aufgetragen. Der SiC-MOSFET übernimmt mehr Strom als im Durchlass, seine Verluste übersteigen mit fortschreitender Zeit immer mehr die Durchlassverluste. Die Verluste im Si-IGBT steigen während der Kommutierung des Stroms aufgrund der parasitären Überspannung leicht an, sinken aber aufgrund des sehr geringen Emitterstroms im Verlauf des Intervalls ab. Das Intervall trägt in Summe 0.75 mJ zu den Verlusten des Schaltvorgangs bei.

Die zusätzlichen Durchlassverluste $E_{\text{off},1}$ sowie die Verluste $E_{\text{off},2}$ beim harten Schalten und die sich daraus ergebende Summe der Abschaltverluste E_{off} bei Pulsmuster 2 sind in Abbildung 4.50 in Abhängigkeit des Schaltsignalversatzes dargestellt. Die zusätzlichen Durchlassverluste $E_{\text{off},1, \text{MOS}}$ und $E_{\text{off},1, \text{IGBT}}$ folgen beim *low-sat* Hybrid und beim *fast* Hybrid einem linearen Verlauf.

Abbildung 4.50a zeigt, wie sich die Abschaltverluste des *low-sat* Hybridschalters mit zunehmendem Schaltversatz stark reduzieren. Dabei lässt sich der Verlauf in zwei Bereiche einteilen. Bei $t_V \in [0 \mu\text{s}, 4 \mu\text{s}]$ wurde die Spannungssteilheit limitiert, damit kein dynamischer Avalanche auftritt. Sie nimmt mit größer werdendem t_V zu und erreicht das gewählte Limit von $15 \text{ kV}/\mu\text{s}$ bei $t_V = 6 \mu\text{s}$ (siehe Abbildung 4.44). Bei $t_V \in [0 \mu\text{s}, 4 \mu\text{s}]$ reduzieren sich die Abschaltverluste aufgrund der ansteigenden Flankensteilheit sehr stark. Die Verluste beim

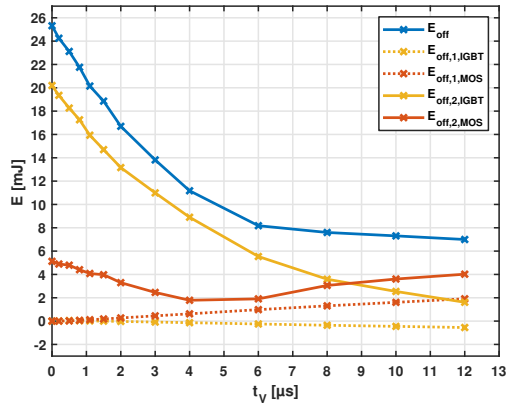
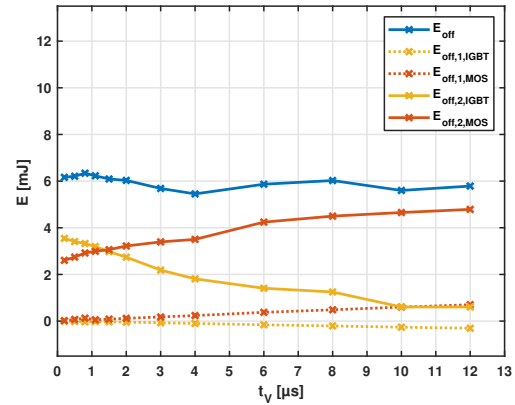
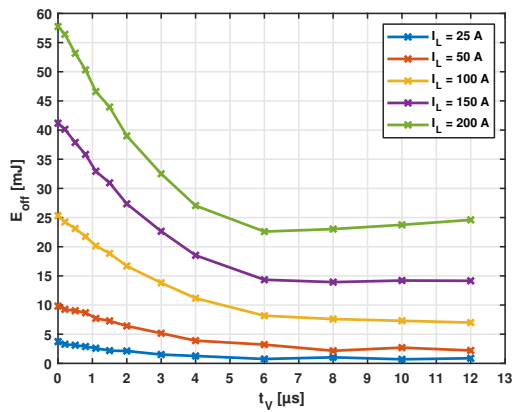
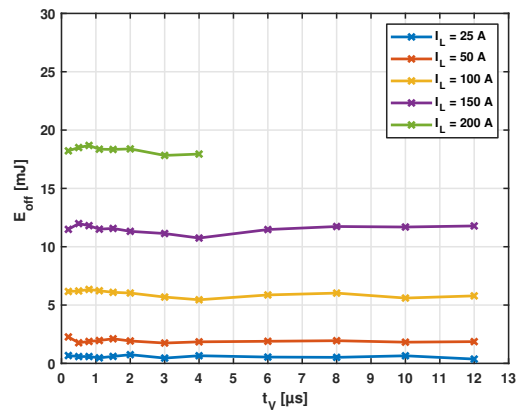

 (a) *low-sat* Hybrid, E_{off} bei $I_L = 100$ A

 (b) *fast* Hybrid, E_{off} bei $I_L = 100$ A

 (c) *low-sat* Hybrid, Variation I_L

 (d) *fast* Hybrid, Variation I_L

Abbildung 4.50: Abschaltverluste des Hybridschalters bei MOSFET-geführtem Schalten in Abhängigkeit von t_V ($U_{\text{DC}} = 900$ V, $T_j = 125$ °C, $C_{\text{GE,ext}} = 20$ nF)

harten Schalten sinken sowohl im MOSFET ($E_{\text{off},2,\text{MOS}}$) als auch im IGBT ($E_{\text{off},2,\text{IGBT}}$). Bei $t_V \geq 6$ μs reduziert sich der Strom im IGBT weiter, ebenfalls die Verluste beim harten Schalten. Jedoch steigt dadurch wiederum der Strom durch den MOSFET, die Verluste im MOSFET beim harten Schalten steigen an.

In Abbildung 4.50c sind die Abschaltverluste E_{off} des *low-sat* Hybrids in Abhängigkeit von t_V bei verschiedenen Lastströmen dargestellt. Bei allen Lastströmen verringern sich die Schaltverluste stark durch die Steigerung der Schaltgeschwindigkeit. Bei gleichbleibender Flankensteilheit sinken die Schaltverluste nur bei niedrigen Lastströmen, während sie bei hohen Lastströmen sogar wieder ansteigen. Es ergibt sich für $I_L = 200$ A ein Minimum bei dem geringsten t_V , bei dem die maximale Flankensteilheit erreicht wird. Bei hohem Laststrom fallen mehr zusätzliche Durchlassverluste an, da der MOSFET im Durchlass einen geringeren Anteil am Laststrom führt.

Beim *fast* Hybridschalter (Abbildungen 4.50b und 4.50d) kann durch Pulsmuster 2 die Flankensteilheit nicht weiter erhöht werden, da bereits bei Pulsmuster 1 die maximale

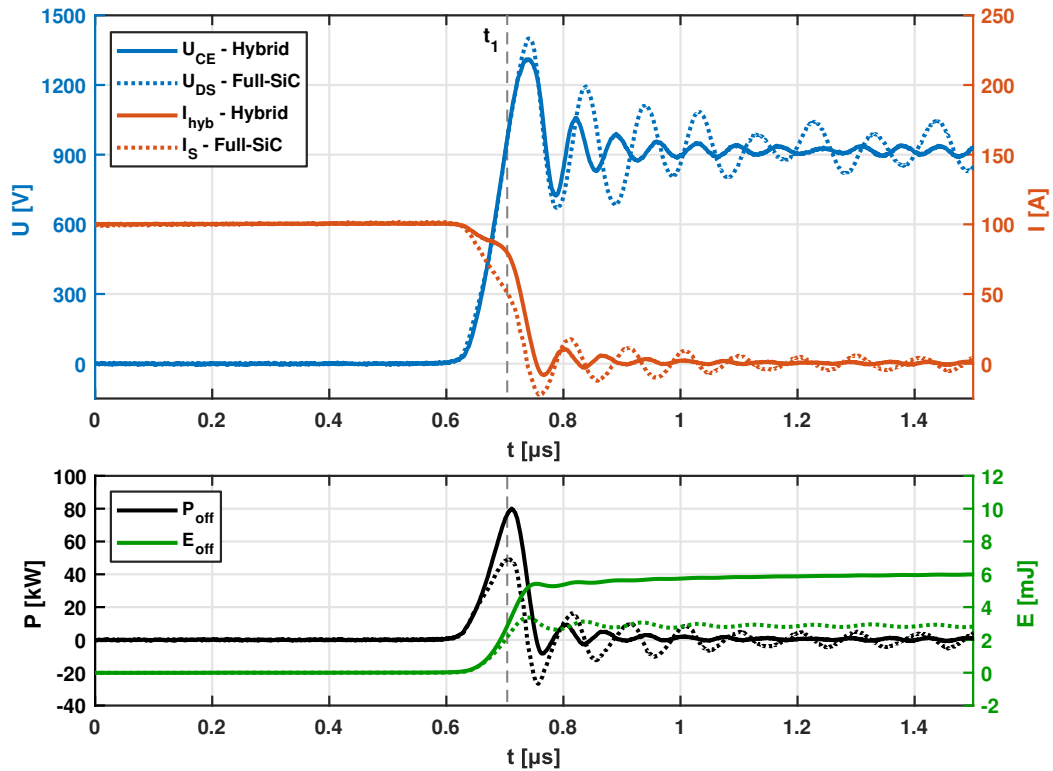


Abbildung 4.51: Abschaltverhalten des *low-sat* Hybrids mit hohem Schaltversatz im Vergleich zum Full-SiC ($I_L = 100$ A, $U_{DC} = 900$ V, $T_j = 125$ °C, $C_{GE,ext} = 20$ nF, $t_V = 12$ µs)

Steilheit erreicht wird. Durch das Pulsmuster 2 werden beim *fast* Hybrid lediglich die Verluste vom IGBT in den MOSFET verschoben. Bei hohem Versatz t_V kommen zusätzliche Durchlassverluste hinzu. Diese fallen jedoch geringer aus als im *low-sat* Hybrid, da der MOSFET auch bereits im Durchlass einen hohen Anteil am Laststrom führt. Die gesamten Abschaltverluste bleiben vom *fast* Hybrid unabhängig vom Schaltsignalversatz t_V konstant.

Sowohl *low-sat* Hybrid als auch *fast* Hybrid erreichen bei hohen Werten für t_V die maximal erlaubte Schaltgeschwindigkeit. Dennoch fallen die Verluste beim harten Schalten weiterhin höher aus als beim Full-SiC Schalter. In Abbildung 4.51 wird das Schalten vom *low-sat* Hybridschalter ($t_V = 12$ µs) und Full-SiC Schalter miteinander verglichen.

Trotz der Verwendung eines *low-sat* IGBTs decken sich die Spannungsflanken von *low-sat* Hybrid und Full-SiC Schalter. Zum Zeitpunkt t_1 , beim Erreichen der Zwischenkreisspannung, liegt der Strom im Full-SiC Schalter aufgrund der höheren Ausgangskapazität des Schalters deutlich unter dem des Hybridschalters. Dies ist der Hauptgrund für einen verbleibenden Unterschied in der Schaltenergie. Ebenfalls fallen beim *low-sat* Hybridschalter noch Tailverluste an. Weiterhin entstehen beim Hybridschalter zusätzliche Durchlassverluste durch den hohen Schaltversatz, die in dieser Abbildung nicht berücksichtigt werden.

4.4.7 Abschalten des *low-sat* und *fast* Hybridschalters mit Pulsmuster 2 mit gewählter Treiberauslegung

Die Treiberauslegung wurde so gewählt, dass dynamischer Avalanche vermieden wird und die Grenzen der maximalen Spannungsteilheit und Überspannung eingehalten werden. In Abhängigkeit des verwendeten Schaltsignalversatzes müssen beim *low-sat* Hybridschalter alle diese Auslegungskriterien berücksichtigt werden, beim *fast* Hybridschalter entfällt das Auftreten von dynamischer Avalanche.

Beim Schalten mit Pulsmuster 2 wurde beim *low-sat* Hybridschalter eine Active-Clamping Schaltung bei $t_V \in [3 \mu\text{s}, 12 \mu\text{s}]$ eingesetzt sowie im *fast* Hybrid bei $t_V \in [0 \mu\text{s}, 12 \mu\text{s}]$. Die Auslegung erfolgte bei einer Zwischenkreisspannung von 1200 V und einer Sperrschichttemperatur von 125°C , beim *low-sat* Hybrid bei $t_V = 6 \mu\text{s}$, beim *fast* Hybrid bei $t_V = 0.2 \mu\text{s}$. Für alle Versatzzeiten t_V wurde für beide Schalter eine identische Parametrierung der Active-Clamping Schaltung verwendet. Aufgrund von Inter-Chip Oszillationen ist die Auslegung mit anderen Versatzzeiten eingeschränkt. Eine Begründung, warum eine Auslegung der Active-Clamping Schaltung bei je einem Arbeitspunkt für die aufgrund von Inter-Chip Oszillationen nicht untersuchten Arbeitspunkte hinreichend ist, befindet sich im Anhang in Abschnitt A.10.

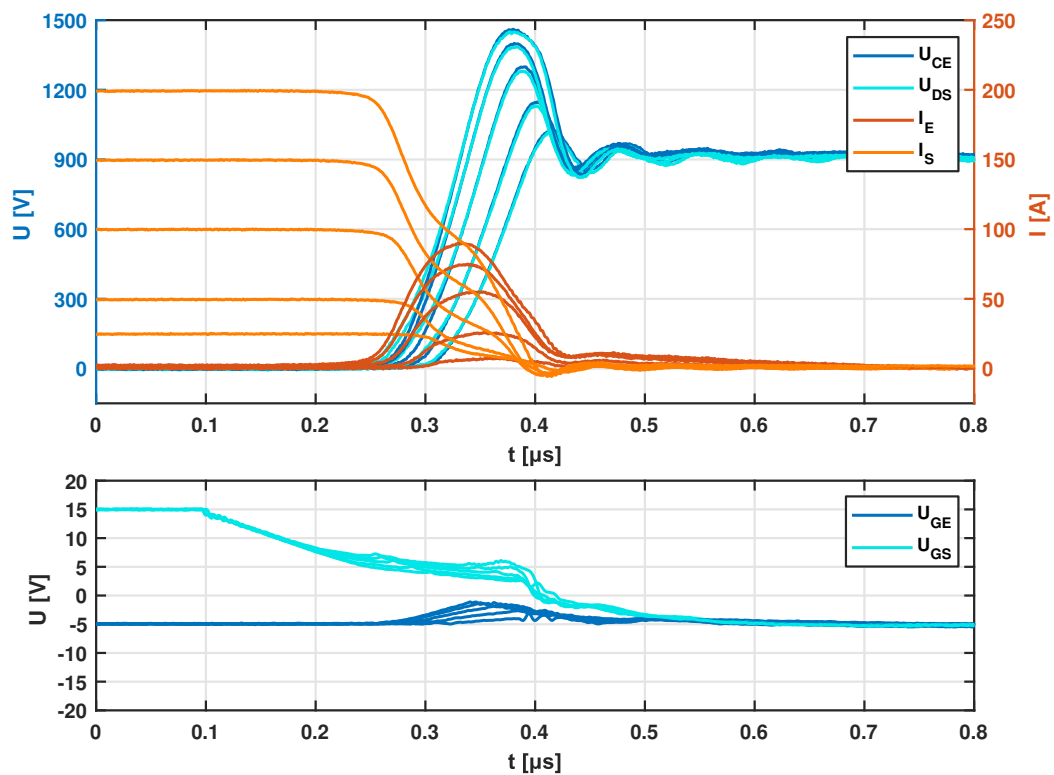


Abbildung 4.52: Abschalten des *low-sat* Hybrids mit Treiberauslegung für einen objektiven Vergleich bei einem Laststrom von 25 A bis 200 A (IGBT W9Z1, Pulsmuster 2, $t_V = 6 \mu\text{s}$, $I_L = 25 \text{ A bis } 200 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$)

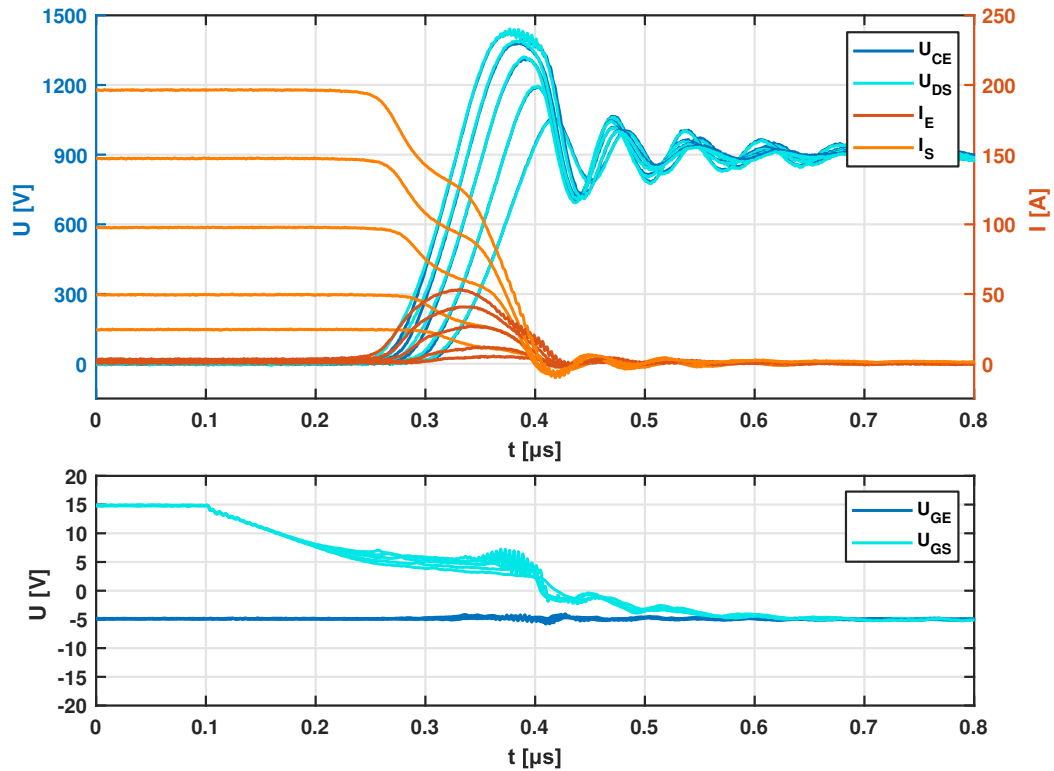


Abbildung 4.53: Abschalten des *fast* Hybrids mit Treiberauslegung für einen objektiven Vergleich bei einem Laststrom von 25 A bis 200 A (IGBT W6Z3, Pulsmuster 2, $t_V = 4 \mu\text{s}$, $I_L = 25 \text{ A bis } 200 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$)

Im Folgenden wird das MOSFET-geführte Schalten mit *low-sat* Hybrid mit einem Schaltsignalversatz von $6 \mu\text{s}$ und mit dem *fast* Hybrid mit einem Schaltsignalversatz von $4 \mu\text{s}$ ausgewertet. Diese Zeiten weisen minimale Verluste auf und erweisen sich als günstig für einen hohen Ausgangsstrom eines Moduls (siehe Kapitel 5.3). Mit diesen Zeiten für t_V erreichen beide Hybridschalter die maximal erlaubte Flankensteilheit und müssen nicht zur Vermeidung von dynamischem Avalanche ausgebremst werden. Es wird bei beiden Schaltern eine Active-Clamping Schaltung eingesetzt.

Abbildung 4.52 zeigt das Abschalten des *low-sat* Hybridschalters mit $t_V = 6 \mu\text{s}$ bei verschiedenen Lastströmen. Es werden bei allen Strömen hohe Steilheiten erreicht. Der *low-sat* Hybridschalter weist trotz reduziertem Plasma einen geringen Tailstrom auf. Die Oszillationen von U_{DS} werden stark gedämpft. Es handelt sich um ein softes Schalten mit stark reduzierten Verlusten.

Abbildung 4.53 zeigt das Abschalten des *fast* Hybridschalters mit $t_V = 4 \mu\text{s}$ bei verschiedenen Lastströmen. Die Stromspitze im IGBT fällt beim Abschalten geringer aus als beim *low-sat* Hybrid. Es ist kein Tailstrom und eine stärkere Oszillation von U_{DS} auszumachen. Oszillationen von U_{GS} bei hohem Laststrom deuten auf den Beginn von Inter-Chip Oszillationen hin.

4.4.8 Vergleich der Schaltverluste

Ein Vergleich von Abschaltverlusten und Flankensteilheit mit Full-Si und Full-SiC Schalter in Abhängigkeit des Laststroms erfolgt in Abbildung 4.54. Beide Hybridschalter erreichen sehr hohe Flankensteilheiten, die bei geringem Laststrom sogar höher als beim Full-SiC ausfallen (siehe Abbildung 4.54a). Dies lässt sich durch eine unterschiedliche Ausgangskapazität beider Schalter erklären. Bemerkenswert ist die Steigerung der Steilheit beim *low-sat* Hybridschalter um Faktor 5, höhere Werte über dem gesetzten Limit von $15 \text{ kV}/\mu\text{s}$ sind möglich.

Die Abschaltverluste fallen in beiden Schaltern niedriger aus als beim *fast* Full-Si (siehe Abbildung 4.54b). Der *fast* Hybridschalter weist weniger Tailverluste auf und liegt daher noch unter dem *low-sat* Hybrid. Dennoch sind die Verluste des Full-SiC Schalters am niedrigsten.

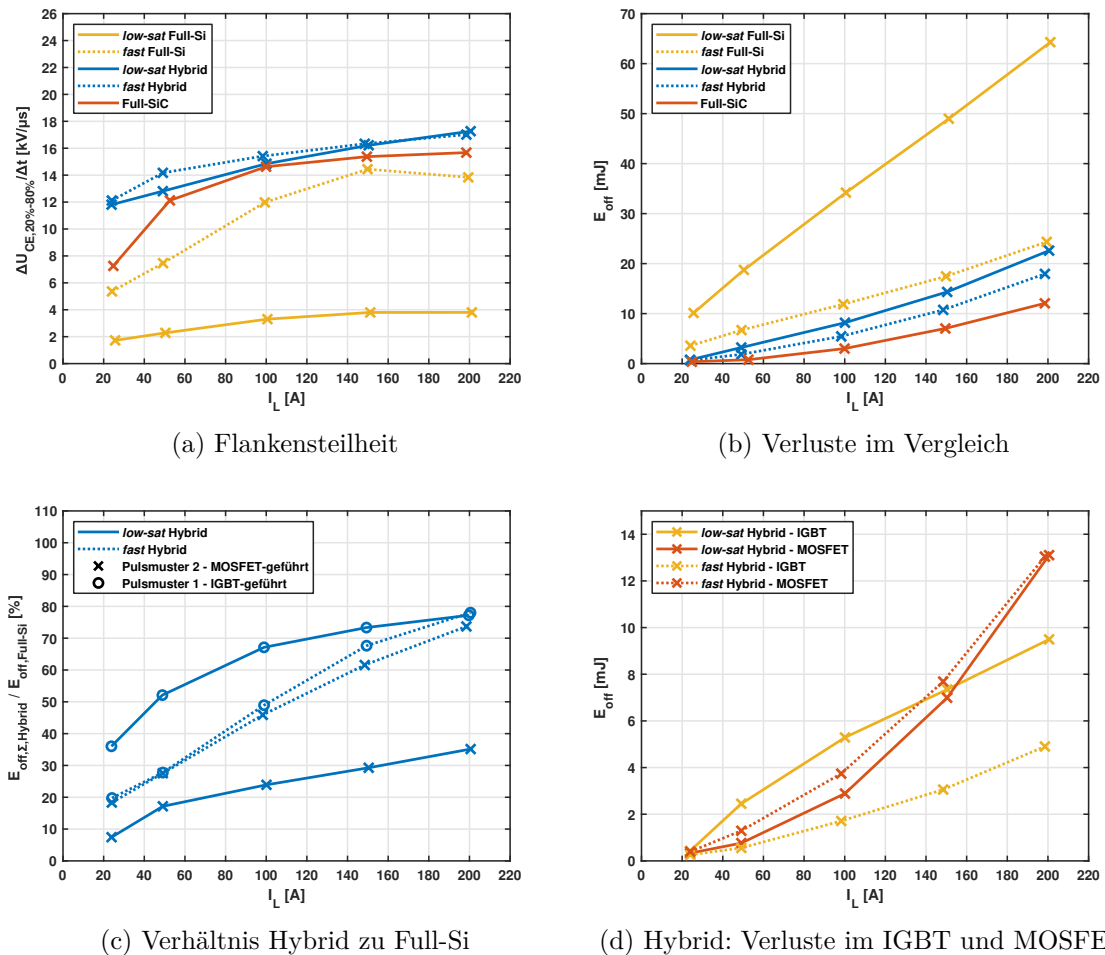


Abbildung 4.54: Flankensteilheit und Abschaltverluste des Hybridschalters bei Pulsmuster 2 mit Treiberauslegung für einen objektiven Vergleich (*low-sat*: $t_V = 6 \mu\text{s}$ bzw. *fast*: $t_V = 4 \mu\text{s}$, $I_L = 25 \text{ A}$ bis 200 A , $U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$)

In Abbildung 4.54c ist das Verhältnis der Abschaltverluste zum jeweiligen Full-Si Schalter dargestellt und wird mit dem Pulsmuster 1 verglichen. Der *fast* Hybridschalter erreicht mit Pulsmuster 2 nur geringfügig niedrigere Verluste bei hohem Laststrom, profitiert insgesamt kaum von Pulsmuster 2. Die Abschaltverluste vom *low-sat* Hybridschalter sinken durch das Pulsmuster 2 stark ab, um bis zu Faktor 10 bei niedrigen Lastströmen und Faktor 3 bei hohem Laststrom im Vergleich zum Full-Si Schalter. Bei Nennstrom werden die Verluste von 67 % bei Pulsmuster 1 auf 23 % bei Pulsmuster 2 abgesenkt.

In beiden Schaltern treten Schaltverluste sowohl im IGBT, als auch im MOSFET auf (siehe Abbildung 4.54d). Beim *fast* Hybrid fallen die Verluste im MOSFET Faktor 2 höher aus als im IGBT. Beim *low-sat* Hybrid fallen bei geringem Laststrom mehr Schaltverluste im IGBT an als im MOSFET. Mit steigendem Laststrom gleicht sich die Aufteilung an und dreht sich bei hohem Laststrom. Beim *low-sat* Hybridschalter spiegelt sich in den Schaltverlusten des IGBT wider, dass die vor der Spannungsflanke im IGBT verbleibende Ladung unterproportional zum Laststrom zunimmt (siehe Abbildung 4.38a). Der MOSFET übernimmt beim harten Schalten bei hohem Laststrom einen größeren Anteil des Laststroms als bei geringen Lastströmen. Ebenfalls steigen im MOSFET die zusätzlichen Durchlassverluste mit dem Laststrom an. Die Aufteilung der Verluste auf Kommutierungs- und Entsättigungsverluste sind in Abbildung A.18 im Anhang dargestellt.

4.4.9 Zusammenfassung des Abschaltens mit Pulsmuster 2

In diesem Unterkapitel 4.4 wird mit Pulsmuster 2 eine weitere Möglichkeit vorgestellt, den Hybridschalter abzuschalten. Bei dieser Variante der Schaltreihenfolge wird erst nur der IGBT abgeschaltet, der SiC-MOSFET wird verzögert um einem Schaltsignalversatz t_V abgeschaltet. Die Untersuchungen konzentrieren sich auf Hybridschalter mit *low-sat* IGBT oder *fast* IGBT. Es erfolgt eine Auswertung der Schaltverluste und ein Vergleich mit Full-Si und Full-SiC Schalter.

Im Vergleich zum Full-Si Schalter lassen sich beim *low-sat* Hybrid mit diesem Verfahren die Schaltverluste noch weiter drastisch reduzieren. Durch das frühe Abschalten des IGBTs reduziert sich im IGBT die Ladungsträgerdichte in Abhängigkeit des Schaltsignalversatzes, höhere Flankensteilheit und geringere Verluste sind die Folge. Die Schaltverluste mit Pulsmuster 2 liegen beim *low-sat* Hybrid ebenfalls deutlich unter den Verlusten mit Pulsmuster 1. Beim *fast* Hybridschalter bleiben die Ausschaltverluste mit Pulsmuster 2 auf gleichem Niveau. Im Gegensatz zu Pulsmuster 1 fallen Schaltverluste sowohl im IGBT als auch im MOSFET an.

Es wird aufgezeigt, dass sich dynamischer Avalanche bei Pulsmuster 2 auf die Schaltkurven anders auswirkt als bei einem Full-Si Schalter oder Pulsmuster 1. Statt einer Reduktion der Spannungssteilheit kommt es zu einem Anstieg des Kollektorstroms. Auch hier kann dynamischer Avalanche durch eine Begrenzung der Schaltgeschwindigkeit vermieden werden.

Oszillationen von U_{DS} treten stärker auf als beim Pulsmuster 1, jedoch immer noch deutlich geringer als bei einem Full-SiC Schalter. Dadurch, dass der SiC-MOSFET das harte Schalten bestimmt, besteht die Möglichkeit, dass Inter-Chip Oszillationen zwischen parallel geschalteten MOSFETs angeregt werden. Gegenmaßnahmen müssen beim Chip- oder Moduldesign mit einbezogen werden.

Durch ein ausreichend hohes t_V erreicht der *low-sat* Hybridschalter die maximale Flankensteilheit, ohne dass dynamischer Avalanche auftritt. Beide Hybridschalter benötigen hier eine Active-Clamping Schaltung zur Begrenzung der transienten Überspannung. Ein zu großes t_V erzeugt zusätzliche Durchlassverluste im SiC-MOSFET vor der Spannungsaufnahme, insbesondere bei hohen Lastströmen.

4.5 Abschalten mit Pulsmuster 3 - Verzögertes, hartes Abschalten mit IGBT

In diesem Abschnitt wird eine neuartige, dritte Variante für ein Schaltmuster für das Abschalten des Hybridschalters vorgestellt, das als Kombination von Pulsmuster 1 und Pulsmuster 2 interpretiert werden kann.

Das verwendete Schaltmuster wird in Abbildung 4.55 aufgezeigt. Wie beim Pulsmuster 2 wird als erstes der IGBT abgeschaltet, das Abschalten des MOSFETs erfolgt mit der Verzögerungszeit t_V , sodass die Ladungsträgerkonzentration im IGBT abgesenkt wird. Vor dem Abschalten des SiC-MOSFETs wird jedoch der IGBT erneut mit einem kurzen Puls eingeschaltet, um den Laststrom kurz vor der Spannungsflanke in den IGBT zu kommutieren. Wie beim Pulsmuster 1 erfährt der MOSFET ein Nullspannungsabschalten und der harte Abschaltvorgang wird anschließend vom IGBT durchgeführt.

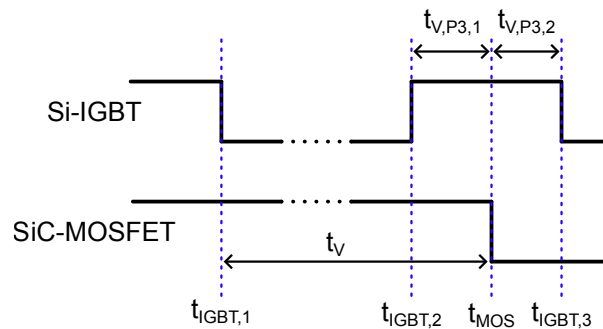


Abbildung 4.55: Schaltsignale bei Pulsmuster 3

Die Auswertung von Pulsmuster 2 hat ergeben, dass mit diesem Pulsmuster nur die Schaltverluste des *low-sat* Hybrids maßgeblich reduziert werden können, während sie beim *fast* Hybrid in Summe konstant bleiben. Der *fast* Hybrid erreicht bereits mit Pulsmuster 1 die maximal erlaubte Flankensteilheit von $15 \text{ kV}/\mu\text{s}$. Daher wird das Pulsmuster 3 nur für den *low-sat* Hybridschalter angewandt.

4.5.1 Abschaltverhalten des *low-sat* Hybridschalters mit Pulsmuster 3

Das Abschalten des *low-sat* Hybridschalters mit Pulsmuster 3 mit einem Schaltsignalversatz von $t_V = 6 \mu\text{s}$ ist in Abbildung 4.56 dargestellt. Die Abbildung beschränkt sich auf die Schaltflanken nach Ablauf der Zeit t_V , der transiente Verlauf während der Verzögerungszeit entspricht dem Pulsmuster 2 (siehe Abbildung 4.48).

Zum Zeitpunkt t_1 befindet sich der IGBT seit mehreren Mikrosekunden bereits im abgeschalteten Zustand. Wie beim Pulsmuster 2 hat sich das Plasma im IGBT bereits deutlich im Vergleich zum Durchlasszustand reduziert. $1.3 \mu\text{s}$ vor dem Abschalten des MOSFETs beginnt der zweite Einschaltimpuls des IGBTs. Der IGBT wird mit dem auf das

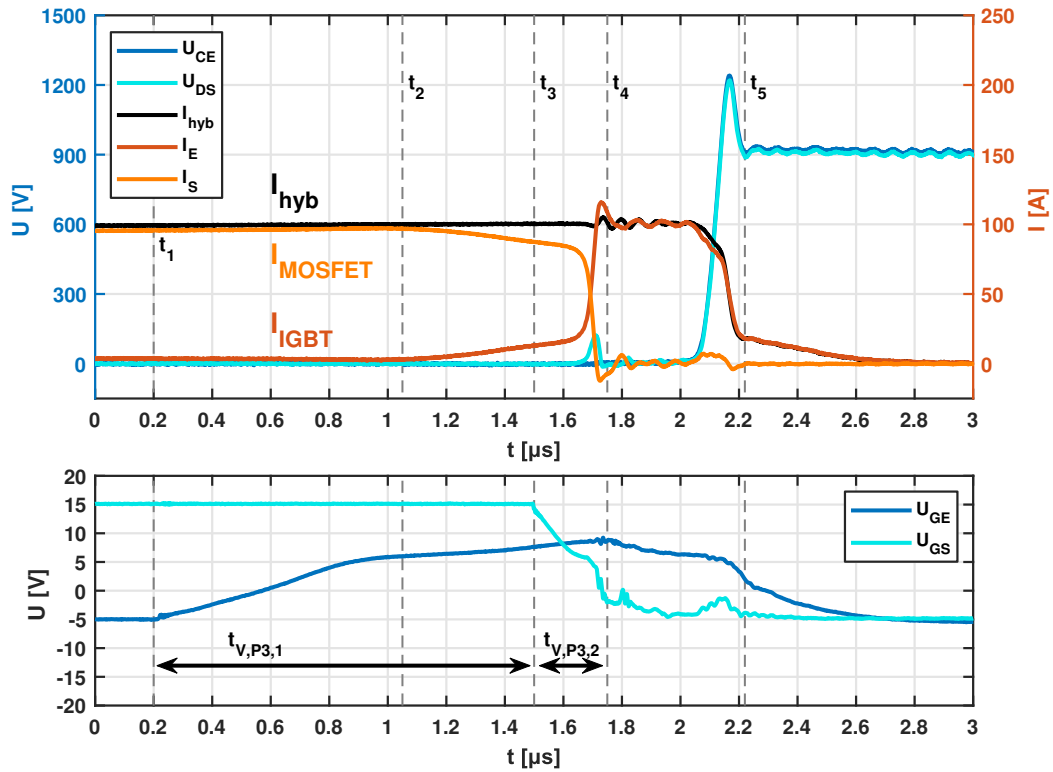


Abbildung 4.56: Abschalten des *low-sat* Hybrids mit Pulsmuster 3 mit Schaltversatz $t_V = 6 \mu\text{s}$ ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$)

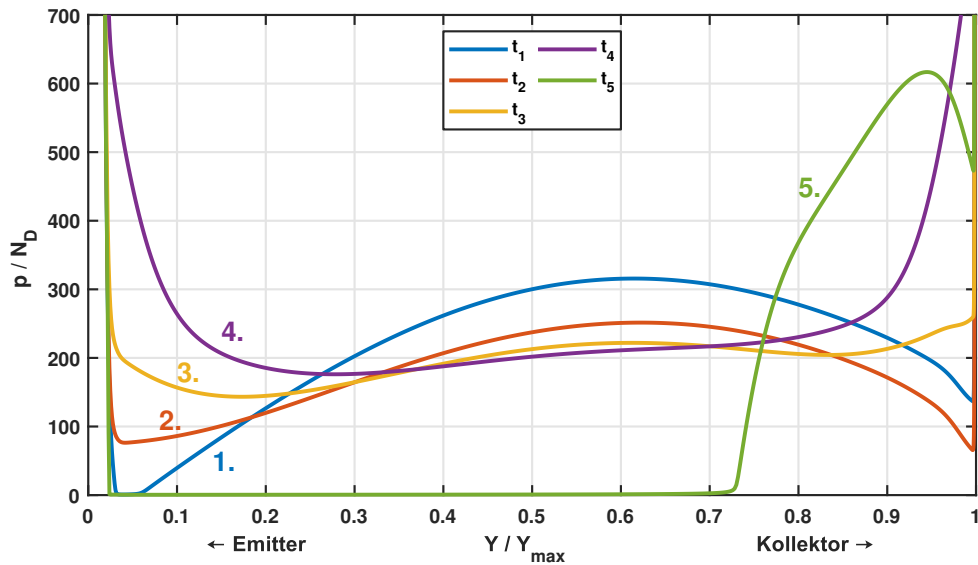


Abbildung 4.57: Simulation: Plasma im *low-sat* IGBT während des Abschaltens mit Pulsmuster 3 ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125^\circ\text{C}$, $t_V = 6 \mu\text{s}$)

harte Einschalten ausgelegten Gatewiderstand eingeschaltet, die Gatespannung beginnt zu steigen.

Erst ab Zeitpunkt t_2 ist das Gate des IGBTs weit genug aufgesteuert, um Auswirkung auf die Laststromverteilung zu haben. Der Laststrom beginnt mit geringem dI/dt vom MOSFET in den IGBT zu kommutieren, ausgebremst von der Streuinduktivität im inneren Kommutierungskreis. Eine hohe Streuinduktivität im inneren Kommutierungskreis hilft in diesem Fall die Kommutierung auszubremsen und so erneuten Ladungsträgeraufbau im IGBT zu verlangsamen. Die stark abgesenkte Plasmakonzentration führt zu einer geringeren Leitfähigkeit des IGBTs als im statischen Zustand.

Zum Zeitpunkt t_3 wird der MOSFET aktiv abgeschaltet. Der Laststrom kommutiert anschließend vollständig in den IGBT. Während der Kommutierungsvorgang ab t_2 erst nur durch die Differenz der momentanen Durchlassspannungen getrieben wird, wird die Kommutierung durch das aktive Abschalten des MOSFETs stark beschleunigt. Das hohe dI/dt ist wie bei Pulsmuster 1 durch die Abschaltgeschwindigkeit des MOSFETs bestimmt.

Zeitpunkt t_4 markiert den Beginn des Abschaltvorgangs des IGBTs, $0.2\ \mu\text{s}$ nach der Schaltflanke des MOSFETs. Der Gatetreiber schaltet um, noch bevor das Gate des IGBTs die positive treibende Spannung erreicht. Wie beim Pulsmuster 1 schaltet der IGBT nun den gesamten Laststrom ab. Durch das zuvor stark reduzierte Plasma im IGBT werden deutlich höhere Flankensteilheiten erreicht als beim *low-sat* Full-Si Schalter oder dem Abschalten mit Pulsmuster 1. Zum Zeitpunkt t_5 geht der Emitterstrom des IGBTs in den Tailstrom über.

In Abbildung 4.57 ist der Plasmaverlauf zu verschiedenen Zeitpunkten eines simulierten Abschaltens mit Pulsmuster 3 dargestellt. Die simulierten Transienten sind im Anhang in Abbildung A.19 abgebildet, sie entsprechen qualitativ den gemessenen Verläufen in Abbildung 4.56.

Der Plasmaverlauf zum Zeitpunkt t_1 entspricht in seiner Form dem Verlauf bei Pulsmuster 2 (vergleiche Abbildung 4.43). Sobald der Kanal des IGBTs geöffnet wird, steigt die Plasmakonzentration emitterseitig wieder an, dennoch sinkt das Maximum in der Mitte der Basiszone weiter, da weiterhin Ladungsträger durch den Konzentrationsgradienten an die Ränder diffundieren (t_2). Sobald die Kollektorstromdichte steigt, nimmt auch kollektorseitig die Ladungsträgerkonzentration wieder zu (t_3).

Theoretisch kann die Leitdauer des IGBT zwischen Zeitpunkt t_2 und t_3 durch die Wahl eines kleineren Gatewiderstandes verkürzt werden, sodass zum Zeitpunkt t_3 eine geringere Plasmakonzentration vorliegt. Zu beachten ist jedoch, dass für ein vergleichbares Schaltverhalten auch die Wahl der Zeiten $t_{V,P3,1}$ und $t_{V,P3,2}$ angepasst werden muss. Hinzu kommt die Erweiterung des Treibers um einen weiteren Gatewiderstand, falls für Pulsmuster 3 und das reguläre Einschalten unterschiedliche Gatewiderstände verwendet werden sollen.

Wie bereits für Pulsmuster 1 in Abbildung 4.19 und für Pulsmuster 2 in Abbildung 4.43 gezeigt wurde, wird durch die hohe Zunahme der Stromdichte im IGBT kurz vor und während der Spannungsflanke erneut die Ladungsträgerdichte an den Rändern erhöht. Während das emitterseitige Plasma zu Beginn der Spannungsaufnahme ausgeräumt wird, erhöht das kollektorseitige Plasma den Tailstrom. Dieser fällt daher im Vergleich zu Pulsmuster 2 höher aus.

4.5.2 Variation der Schaltzeitpunkte in Pulsmuster 3

Beim Abschalten mit Pulsmuster 3 entstehen durch das erneute Einschalten des IGBTs kurz vor dem Abschalten des SiC-MOSFETs weitere Freiheitsgrade durch die Wahl der Schaltzeitpunkte. Grundsätzlich können die Zeiten $t_{V,P3,1}$ und $t_{V,P3,2}$ in einem Bereich von mehreren 100 ns gewählt werden, ohne dass die Schalttransienten stark beeinflusst werden. Für eine Treiberauslegung mit Pulsmuster 3 wurden die Zeiten $t_{V,P3,1} = 1.3 \mu\text{s}$ und $t_{V,P3,2} = 0.2 \mu\text{s}$ ausgewählt.

In Abbildung 4.58a sind die Auswirkungen einer Variation dieser Zeiten auf die Schaltverluste und die Flankensteilheit des Abschaltens dargestellt. Die Zeit $t_{V,P3,1}$ beschreibt den Abstand zwischen dem Einschalten des IGBTs und dem Abschalten des MOSFETs. Im Bereich von $0.8 \mu\text{s}$ bis $1.4 \mu\text{s}$ bleiben die Schaltverluste auf einem ähnlich niedrigem Niveau, die Schalttransienten werden nur minimal beeinflusst, die Sensitivität gegenüber dem exakten Schaltzeitpunkt ist in diesem Bereich als gering einzustufen. Schalttransienten mit $t_{V,P3,1} \in [1.2 \mu\text{s}, 1.3 \mu\text{s}, 1.4 \mu\text{s}]$ sind im Anhang in Abbildung A.20 abgebildet.

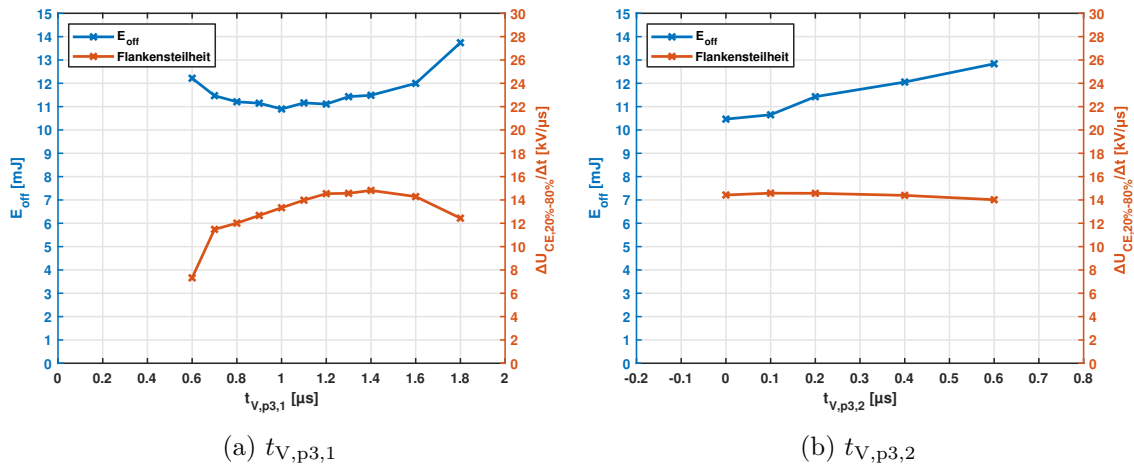


Abbildung 4.58: Ausschaltverluste und Spannungssteilheit bei Variation des IGBT-Einschaltimpulses ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = 6 \mu\text{s}$)

Das Abschalten mit extremen Werten für $t_{V,P3,1}$ ist in Abbildung 4.59 dargestellt. Bei sehr geringen Werten für $t_{V,P3,1}$ sinkt die Flankensteilheit ab und die Schaltverluste steigen an. Bei hohen Lastströmen ist die Gatespannung des IGBTs vor dem Abschalten des MOSFETs nicht weit genug angestiegen, der IGBT beginnt zu entsättigen. Die Spannung U_{CE} steigt

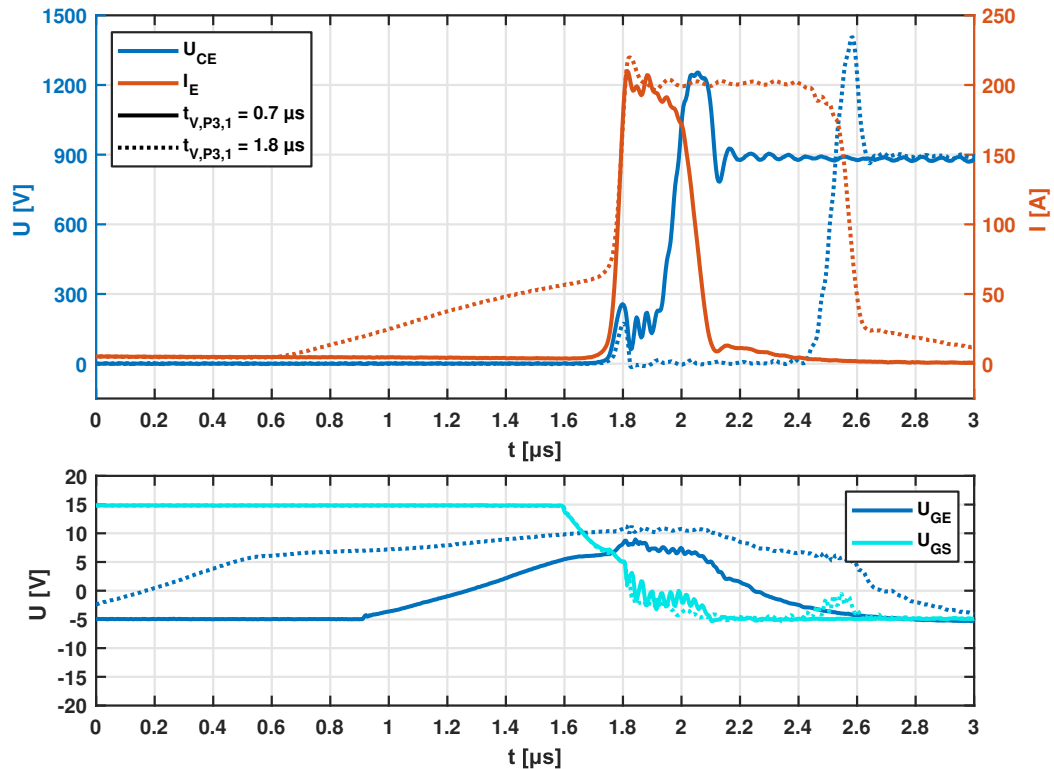


Abbildung 4.59: Abschalten des *low-sat* Hybrids mit Pulsmuster 3 mit extremen Zeiten für $t_{V,P3,1}$ ($I_L = 200 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ °C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = 6 \text{ µs}$)

sofort nach der Kommutierung des Laststroms auf den IGBT, die Spannungsflanke wird verschliffen. Bei einem früheren Einschaltzeitpunkt wird das Gate des IGBTs auf eine höhere Spannung aufgeladen, der IGBT übernimmt schon vor dem Abschalten des MOSFETs einen Teil des Laststroms. Auch beginnt das Abschalten des IGBTs mit einem anderen Ausgangszustand, einer höheren Spannung U_{GE} . Die Abschaltverzögerung steigt an, der IGBT wird länger vom gesamten Laststrom durchflossen, mehr Plasma baut sich im IGBT auf, die Schaltverluste steigen an.

Die Zeit $t_{V,P3,2}$ bezeichnet den zeitlichen Abstand zwischen dem Abschalten des MOSFETs und dem Abschalten des IGBTs, sie ist vergleichbar mit der Zeit t_V beim Pulsmuster 1. Für Pulsmuster 1 wurde bereits gezeigt, dass dieser zeitliche Abstand einen Einfluss auf den Aufbau des Plasmas im IGBT und somit auf Flankensteilheit und Schaltverluste hat (siehe Kapitel 4.3.4). Dieser Zusammenhang wird auch bei Pulsmuster 3 bestätigt. Abbildung 4.58b zeigt, wie sich bei einer Vergrößerung dieser Zeit die Schaltverluste langsam erhöhen, weshalb geringe Zeiten anzustreben sind. Zu geringe Zeiten führen jedoch zu einem Oszillieren der Spannung U_{DS} bereits während der Spannungsflanke (siehe Abbildung A.21 im Anhang).

4.5.3 Steigerung der Flankensteilheit

Ein Hybridschalter mit Pulsmuster 1 kann bereits deutlich höhere Flankensteilheiten als ein Full-Si Schalter mit gleichem IGBT erzielen. Die statische Ladungsträgerdichte, die sich während des Durchlasszustands abhängig von der Stromaufteilung ausgebildet hat, kann dabei als Ausgangszustand für das Abschalten mit Pulsmuster 3 angesehen werden. Bei Pulsmuster 3 fügt sich wie bei Pulsmuster 1 der Schaltsignalversatz t_V in die Wirkungskette für die intrinsische Spannungssteilheit zwischen die statische Ladungsträgerdichte und die intrinsische Spannungssteilheit ein (siehe Abbildung 4.60). Bei Pulsmuster 3 senkt ein Schaltsignalversatz wie bei Pulsmuster 2 die Ladungsträgerdichte vor der Spannungsflanke weiter ab, die Flankensteilheit des Hybridschalters kann dadurch deutlich gesteigert werden, auch wenn das harte Schalten vom IGBT durchgeführt wird.

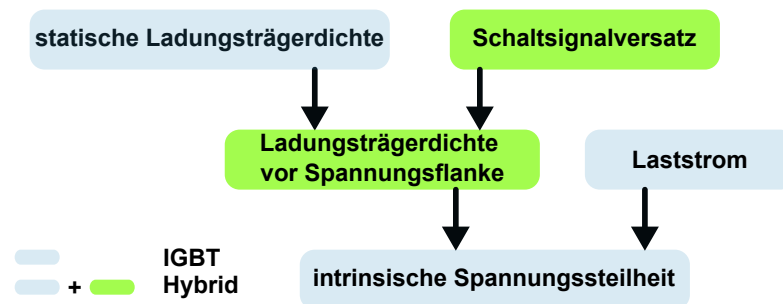


Abbildung 4.60: Einflussparameter für die intrinsische Spannungssteilheit bei Pulsmuster 3. Ausschnitt der Wirkungskette 4.11

In Abbildung 4.61 wird für den *low-sat* IGBT die Flankensteilheit beim intrinsischen Abschalten von Full-Si Schalter und Hybridschalter mit Pulsmuster 1 und Pulsmuster 3 ($t_V = 10 \mu\text{s}$) verglichen. Bei geringen Lastströmen werden bei Pulsmuster 3 die gleichen Steilheiten von Pulsmuster 1 erreicht, doch bereits bei halbem Nennstrom wird das für die Treiberauslegung gewählte Limit von $15 \text{ kV}/\mu\text{s}$ überschritten. Bei Nennstrom wird eine Steilheit von mehr als $30 \text{ kV}/\mu\text{s}$ erreicht, Faktor 10 höher als beim Full-Si Schalter, Faktor 6 höher als bei Pulsmuster 1. Damit erreicht der *low-sat* Hybridschalter sogar eine vergleichbare intrinsische Flankensteilheit wie der sehr schnell schaltende IGBT W3Z3 (vergleiche Abbildung 4.10b).

4.5.4 Begrenzte Flankensteilheit durch Avalanche

Für eine geeignete Treiberauslegung zur Vermeidung von dynamischem Avalanche, muss auch beim Pulsmuster 3 die Schaltgeschwindigkeit in Abhängigkeit der Zeit t_V reduziert werden. Die entstehenden Flankensteilheiten sind in Abbildung 4.62 abgebildet. Zusätzlich ist der verwendete Abschaltwiderstand aufgetragen.

Je kleiner die Schaltzeit t_V , desto höher die Ladungsträgerdichte im IGBT vor der Spannungsflanke, desto stärker muss die Schaltgeschwindigkeit reduziert werden, um die Löcher-

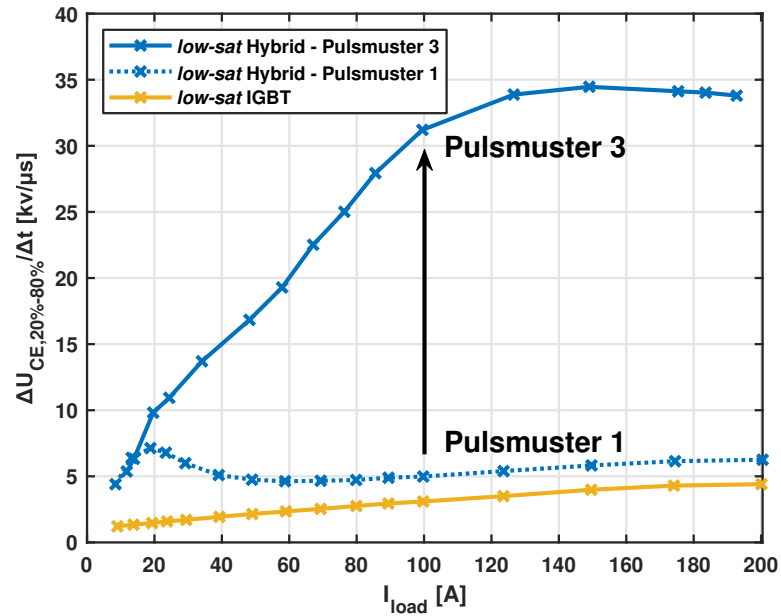


Abbildung 4.61: Steigerung der Spannungssteilheit des *low-sat* Hybrids beim intrinsischen Abschalten mit Pulsmuster 3 ($U_{DC} = 900$ V, $T_j = 125$ °C, $t_V = 10$ μ s)

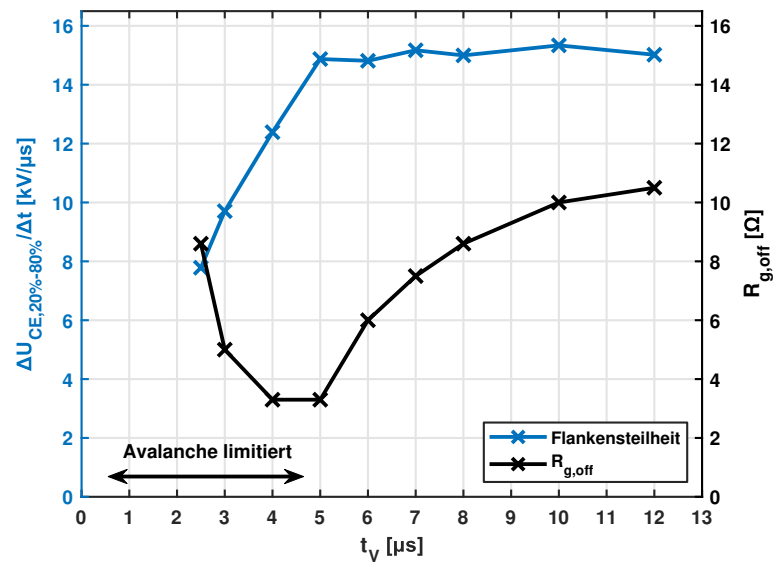


Abbildung 4.62: Vermeiden von Avalanche beim *low-sat* Hybrid durch Reduktion der Flankensteilheit bei geringem t_V , verwendeter Gatewiderstand ($U_{DC} = 900$ V, $I_L = 100$ A)

stromdichte im IGBT nicht zu weit ansteigen zu lassen. Die Flankensteilheit von $15 \text{ kV}/\mu\text{s}$ kann bei einer Verzögerungszeit von $t_V = 5 \mu\text{s}$ erreicht werden, das entspricht den Ergebnissen von Pulsmuster 2. Bei $t_V = 5 \mu\text{s}$ muss dafür jedoch ein sehr niedriger Gatewiderstand verwendet werden, dies erhöht die Strombelastung einer Active-Clamping Schaltung des Gatetreibers. Schon bei einer geringfügigen Steigerung der Verzögerungszeit auf $t_V = 6 \mu\text{s}$ kann der Gatewiderstand von 3.3Ω auf 6Ω erhöht werden. Für eine Treiberauslegung mit Pulsmuster 3 wird daher ein Schaltsignalversatz von $t_V = 6 \mu\text{s}$ gewählt.

4.5.5 Oszillationen

Bei der Verwendung von Pulsmuster 3 baut sich im IGBT vor und während der Spannungsflanke durch das Führen des gesamten Laststroms kollektorseitig Plasma auf. Dies führt dazu, dass sich ein größerer Tailstrom ausbildet als bei Pulsmuster 2. Oszillationen zwischen der Ausgangskapazität und der Streuinduktivität des Kommutierungskreises nach dem Abschalten werden stärker gedämpft, treten aber dennoch in geringem Maße auf. In Abbildung 4.63 sind die Zeiten der Spannungsozillationen in Abhängigkeit der Zeit t_V dargestellt. Bei hoher Chiptemperatur fallen die Oszillationsdauern bei allen Zeiten t_V im Worst Case um mehr als den Faktor 3 geringer aus, als beim Full-SiC Schalter. Oszillationen treten erst bei hohen Zeiten t_V und Lastströmen größer oder gleich dem Nennstrom auf. Bei geringeren Chiptemperaturen ist wiederum der Effekt von reduzierter Ladungsträgerdichte auszumachen, es kommt bereits bei geringen Zeiten t_V , geringer Zwischenkreisspannung und Lastströmen zu Oszillationen. Jedoch bleibt ein Faktor 2 im Vergleich zum Full-SiC Schalter im Worst Case Arbeitspunkt bestehen.

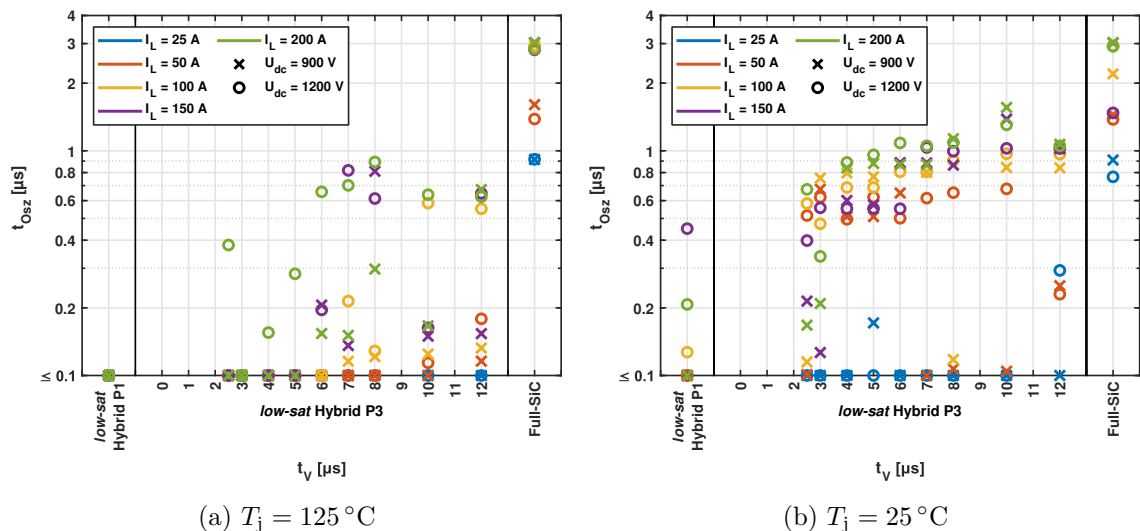


Abbildung 4.63: Dauer der Spannungsozillationen (t_{Osz}) größer als $2\% U_{DC,n}$ beim Abschalten des *low-sat* Hybridschalters mit Pulsmuster 3

Inter-Chip Oszillationen treten bei der Verwendung von Pulsmuster 3 nicht auf. Bei allen vermessenen Arbeitspunkten des *low-sat* Hybridschalters konnten keine für Inter-Chip

Oszillationen charakteristischen Oszillationen der transienten Schaltkurven im Bereich von 250 MHz festgestellt werden. Dadurch, dass der IGBT für das harte Schalten verwendet wird, durchläuft der SiC MOSFET keine instabilen Arbeitspunkte. Alle vermessenen Arbeitspunkte sind im Anhang in Abbildung A.16 abgebildet.

4.5.6 Verluste in Abhängigkeit vom Schaltsignalversatz

In Abhängigkeit des Schaltsignalversatzes t_V reduzieren sich die Schaltverluste des Hybridschalters. Nach den Definitionen für das Pulsmuster 2 aus Abschnitt 4.4.6 wurden die Abschaltverluste für das Pulsmuster 3 ermittelt. Je Halbleiter erfolgt eine Aufteilung in zusätzliche Durchlassverluste vor der Spannungsflanke ($E_{\text{off},1}$) und Verluste während des harten Schaltvorgangs ($E_{\text{off},2}$).

In Abbildung 4.64 sind die Schaltverluste in Abhängigkeit des Schaltsignalversatzes dargestellt. Die Verluste im SiC-MOSFET beim harten Schalten sind vernachlässigbar ($E_{\text{off},2,\text{MOS}}$). Im MOSFET treten lediglich vor der Spannungsflanke zusätzliche Durchlassverluste auf ($E_{\text{off},1,\text{MOS}}$), da dieser nahezu den gesamten Laststrom übernimmt. Der größte Teil der Schaltverluste entsteht durch das harte Schalten im IGBT ($E_{\text{off},2,\text{IGBT}}$), vor der Spannungsflanke werden geringfügig Verluste im IGBT eingespart ($E_{\text{off},1,\text{IGBT}}$).

Ab einer Zeit $t_V \geq 5 \mu\text{s}$ wird die maximal zulässige Flankensteilheit erreicht, bei höheren Werten für t_V sinken die Schaltverluste beim harten Schalten im IGBT nur noch mit geringem Gradienten ab.

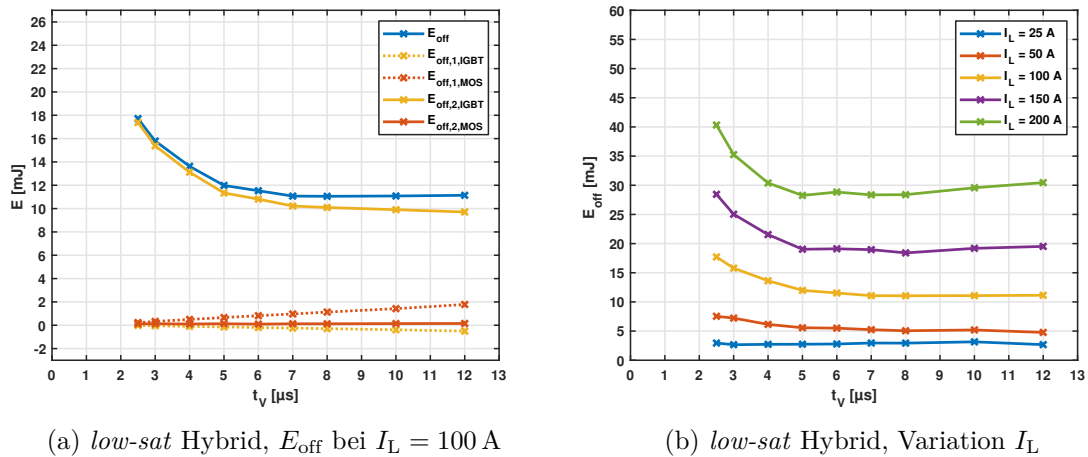


Abbildung 4.64: Abschaltverluste des Hybridschalters bei Abschalten mit Pulsmuster 3 in Abhängigkeit von t_V ($U_{\text{DC}} = 900 \text{ V}$, $T_j = 125^\circ\text{C}$, $C_{\text{GE,ext}} = 20 \text{ nF}$)

Im Vergleich zu Pulsmuster 2 fallen die Schaltverluste höher aus. Bei $t_V = 6 \mu\text{s}$ betragen bei Pulsmuster 3 die Ausschaltverluste E_{off} 11.5 mJ, bei Pulsmuster 2 hingegen nur 8.1 mJ. In Abbildung 4.65 werden die Schalttransienten von Pulsmuster 2 und 3 miteinander verglichen. Bei gleicher Flankensteilheit decken sich die Schaltkurven während der ansteigenden Spannungsflanke, somit auch die dabei entstehenden Verluste. Es wird deutlich, dass die

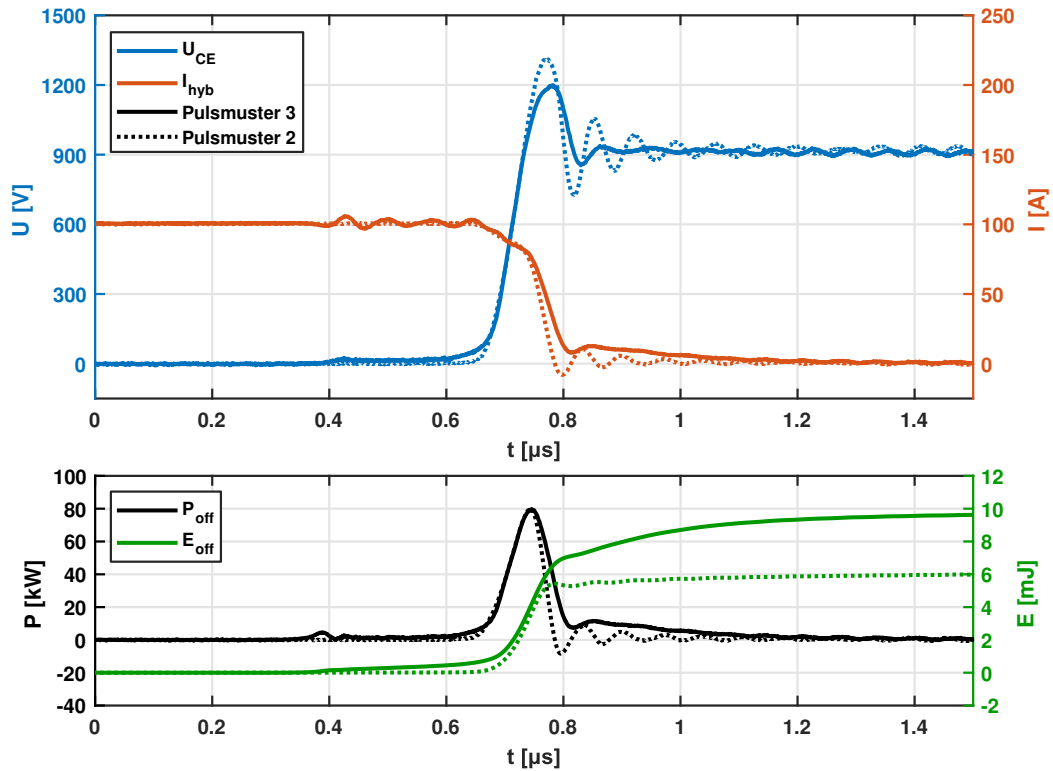


Abbildung 4.65: Vergleich von Pulsmuster 3 mit Pulsmuster 2 beim Abschalten des *low-sat* Hybridschalters. Höhere Tailverluste mit Pulsmuster 3 ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = 12 \text{ } \mu\text{s}$)

höheren Schaltverluste bei Pulsmuster 3 allein durch den höheren Tailstrom verursacht werden. Positiv wirkt sich hingegen das geringere dI/dt auf die Überspannungsspitze aus, ebenfalls ist eine stärkere Dämpfung der Spannungsszillationen durch den Tailstrom sichtbar.

Bei geringem Laststrom bleiben die Schaltverluste bei einer Erhöhung von t_V konstant auf einem höheren Niveau als bei Pulsmuster 2. Bei geringem Laststrom tritt ein ungünstiges Verhältnis von eingebrachtem Plasma zu ausräumendem Laststrom auf, die Flankensteilheit ist reduziert. Auch bei geringem Laststrom fallen Tailstrom Verluste an.

Für den Vergleich mit anderen Schaltvarianten wurde für das Pulsmuster 3 eine Verzögerungszeit von $t_V = 6 \text{ } \mu\text{s}$ ausgewählt. Die Schalttransienten für verschiedene Lastströme sind in Abbildung 4.66 dargestellt. Es werden hohe Flankensteilheiten erreicht, Spannungsszillationen werden gut bedämpft.

Der in Abschnitt 4.3.4 aufgezeigte Effekt einer abnehmenden Spannungssteilheit bei kleinen Lastströmen während des Abschaltvorgangs tritt auch bei Pulsmuster 3 auf. Ursache ist auch hier die zusätzliche kollektorseitige Injektion von Ladungsträgern auf Grund der

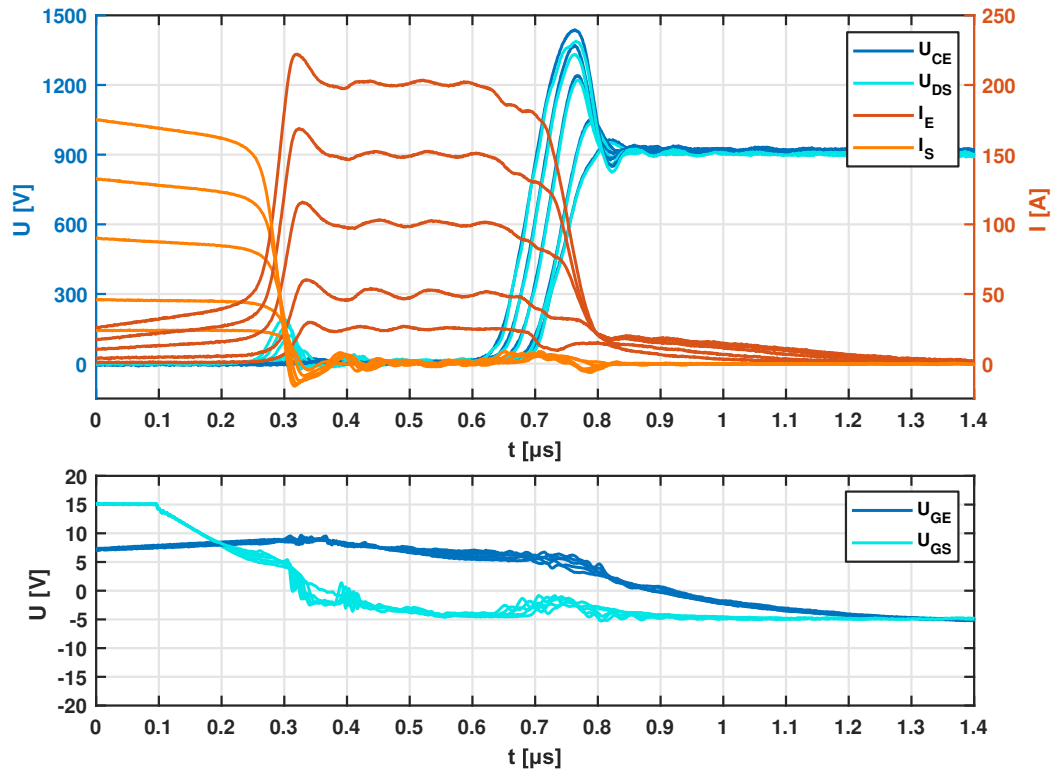


Abbildung 4.66: Abschalten des *low-sat* Hybrids mit Treiberauslegung für einen objektiven Vergleich bei einem Laststrom von 25 A bis 200 A (IGBT W9Z1, Pulsmuster 3, $I_L = 25$ A bis 200 A, $U_{DC} = 900$ V, $T_j = 125$ °C, $C_{GE,ext} = 20$ nF, $t_V = 6$ μ s)

kurzzeitig erhöhten Stromdichte im IGBT. So ist in Abbildung 4.66 bei einem Laststrom von 25 A ein deutlicher Rückgang des dU/dt beim Erreichen von 800 V zu erkennen.

4.5.7 Zusammenfassung

Mit dem Pulsmuster 3 für das Abschalten des Hybridschalters wird eine Variante für das Abschalten vorgestellt, bei der Vorteile von Pulsmuster 1 und 2 kombiniert werden. Das harte Abschalten wird durch den IGBT durchgeführt, der einen Großteil der Schaltverluste umsetzt. Die Ladungsträgerkonzentration des Hybridschalters vor der Spannungsflanke wird dabei wie bei Pulsmuster 2 stark reduziert.

Dieses Pulsmuster ist insbesondere für den *low-sat* Hybridschalter interessant, bei dem wie bei Pulsmuster 2 die Schaltgeschwindigkeit erhöht werden kann. Die Schaltverluste lassen sich dadurch zwar nicht auf das niedrige Niveau von Pulsmuster 2 reduzieren, jedoch bietet das vorgestellte Pulsmuster 3 dafür andere Vorteile. Oszillationen der Sperrspannung nach dem Abschalten werden stärker gedämpft. Ebenfalls treten keine Inter-Chip Oszillationen der parallel geschalteten SiC-MOSFET Chips auf.

Durch die Verwendung eines weiteren Einschaltimpulses für den IGBT entstehen weitere Freiheitsgrade. Dabei wird in diesem Unterkapitel aufgezeigt, dass die Schaltzeitpunkte in

einem Bereich von mehreren 100 ns gewählt werden können, ohne die Flankensteilheit und Schaltverluste stark zu beeinflussen.

Wie bei Pulsmuster 2 lässt sich die Flankensteilheit durch die verwendete Verzögerungszeit t_V stark erhöhen, Flankensteilheiten um Faktor 10 größer als beim Full-Si Schalter sind möglich. Um dynamischen Avalanche zu Vermeiden, muss die Flankensteilheit jedoch bei geringen Zeiten t_V begrenzt werden. Das gesetzte Limit der Flankensteilheit für die angestrebte Treiberauslegung wird bei einer Verzögerungszeit von $t_V = 5 \mu\text{s}$ oder größer erreicht. Für den Vergleich mit anderen Schaltern wird $t_V = 6 \mu\text{s}$ verwendet.

Das Pulsmuster 3 kann mit einer gezielten Entsättigung des IGBTs vor dem Abschalten verglichen werden. Aus der Literatur ist bekannt, dass bei Si-IGBT durch eine Entsättigung vor dem Abschalten die Schaltverluste deutlich reduziert werden. In [130] wird im Doppelpuls eine Reduktion der Abschaltverluste bei 3.3 kV-IGBTs um 37 % mit einer Entsättigungsdauer von 22 μs erreicht, in [131] eine Reduktion um 30 % bei 1.2 kV Si-IGBTs mit einer Entsättigungsdauer von 3 μs . Hierfür wird beim Abschalten des IGBTs dessen Gatespannung reduziert und über mehrere Mikrosekunden auf einem geringen Niveau gehalten, sodass die Plasmakonzentration im IGBT reduziert wird, die Spannung U_{CE} während der Entsättigung jedoch nur geringfügig ansteigt. Beste Ergebnisse werden mit IGBTs erzielt, welche eine steile Plasmaverteilung, also eine hohe emitterseitige und eine niedrigere kollektorseitige Konzentration, aufweisen. In der Simulation wird eine Reduktion um 60 % erreicht.

Pulsmuster 3 unterscheidet sich zu dem in [130], [131] verwendeten Verfahren dadurch, dass beim Hybridschalter der IGBT während der Entsättigungsphase vollständig abgeschaltet wird und der Laststrom für die Dauer der Entsättigung auf einen parallelen Schalter kommutiert. Das Plasma des IGBTs reduziert sich sowohl emitterseitig als auch kollektorseitig. Da sich während des harten Schaltens das Plasma kollektorseitig jedoch wieder aufbaut, ist auch für den Hybridschalter ein IGBT mit hoher emitterseitigen und niedriger kollektorseitigen Plasmakonzentration empfehlenswert.

4.6 Einschalten und Reverse-Recovery des Hybridschalters

Wie beim Ausschalten bietet der Hybridschalter auch beim Einschalten Freiheitsgrade in der Ansteuerung. Grundsätzlich kann sowohl mit dem IGBT, als auch mit dem MOSFET das harte Schalten durchgeführt werden, beide Schalter können jeweils einzeln oder gemeinsam beteiligt sein. Bei der Auslegung der Einschaltgeschwindigkeit muss das Verhalten der abkommutierenden Bodydiode des SiC-MOSFETs mit einbezogen werden. An ihr treten hohe Spannungssteilheiten, Überspannungen und Oszillationen auf.

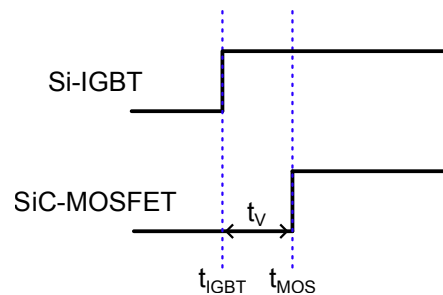


Abbildung 4.67: Schaltreihenfolge beim Einschalten

Die für den in dieser Arbeit untersuchten Hybridschalter gewählte Schaltreihenfolge ist in Abbildung 4.67 dargestellt. Das harte Einschalten wird mit dem Si-IGBT durchgeführt. Der SiC-MOSFET wird verzögert mit $t_V = 2 \mu\text{s}$ eingeschaltet und erfährt dadurch ein softes Nullspannungsschalten. Bei dieser Schaltreihenfolge werden die Schaltverluste im IGBT umgesetzt, dies wirkt sich aufgrund der größeren Chipfläche des IGBTs vorteilhaft auf die Abführung der Verluste aus. Der Einfluss der Chipflächen auf die Abführung der Verluste wird in Kapitel 5 betrachtet. Ebenfalls ergibt sich bei der gewählten Schaltreihenfolge ein vorteilhaftes Verhalten im Kurzschlussfall. Das Kurzschlussverhalten des Hybridschalters wird in Kapitel 6 betrachtet.

4.6.1 Einschaltverhalten des Hybridschalters

Das Einschalten des Hybridschalters mit *low-sat* IGBT und separaten Gatetreibern ist in Abbildung 4.68 gezeigt. Nur der Si-IGBT wird zum Zeitpunkt t_1 eingeschaltet. Da der MOSFET weiterhin im abgeschalteten Zustand verbleibt, übernimmt vorerst nur der IGBT den Strom. Zum Zeitpunkt t_2 hat der Strom durch den IGBT den Wert des Laststroms erreicht. Durch den induktiven Spannungsabfall an der parasitären Induktivität im Kommutierungskreis hat sich bereits die Spannung U_{CE} auf ungefähr 700 V reduziert. Die folgende Überstromspitze ist durch das Reverse-Recovery der Bodydiode des abkommutierenden SiC-MOSFET bestimmt. Die SiC-Bodydiode oszilliert zusammen mit der parasitären Streuinduktivität. Die Spannung über dem Hybridschalter ist zwischen t_2 und t_3 durch den einschaltenden IGBT bestimmt. Nach dem Umladen der Millerkapazität nähert sich die Spannung der stationären Durchlassspannung an. Durch das hohe dU/dt kurz nach

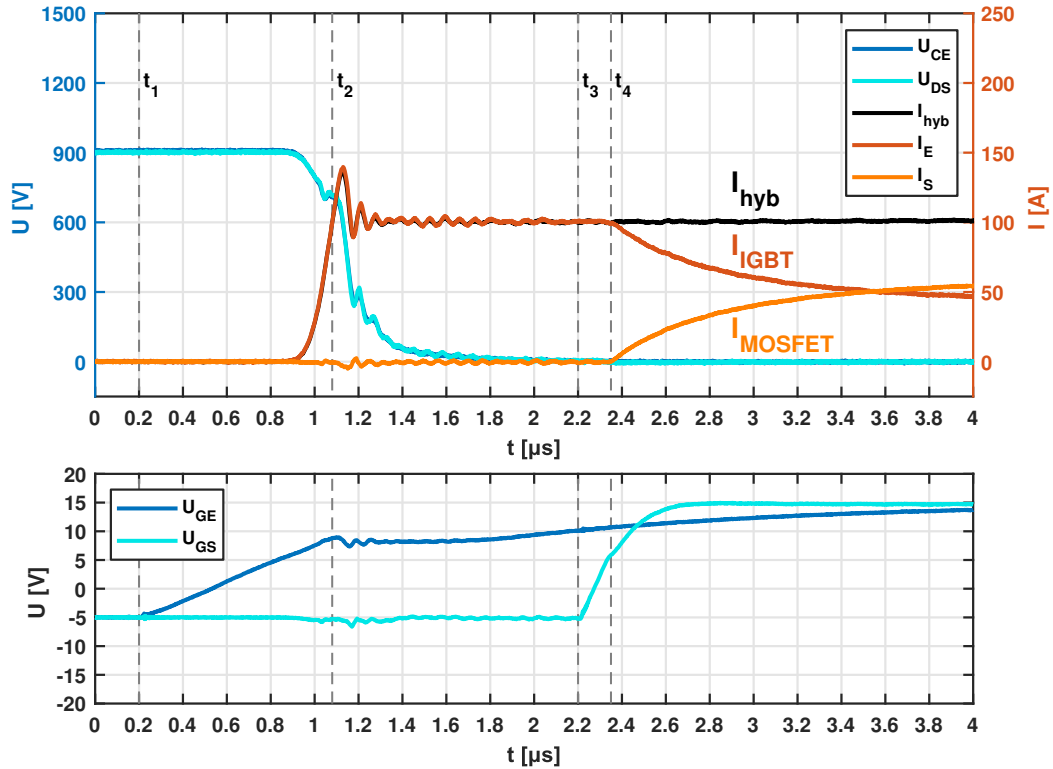


Abbildung 4.68: Einschalten des Hybridschalters mit *low-sat* IGBT unter Nennbedingungen ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = 2 \text{ } \mu\text{s}$)

Zeitpunkt t_2 wird ein geringer negativer Strom durch den SiC-MOSFET erzeugt, der die Ausgangskapazität des SiC-MOSFETs umlädt.

Zum Zeitpunkt t_3 wird der SiC-MOSFET nach einer Verzögerung von $2 \text{ } \mu\text{s}$ eingeschaltet. Zum Zeitpunkt t_4 erreicht U_{GS} die Thresholdspannung, der Strom beginnt mit geringem dI/dt in den SiC-MOSFET zu kommutieren. Die Kommutierungsgeschwindigkeit ist jedoch nur von der Differenz der Durchlassspannung beider Halbleiter getrieben und wird von der parasitären Induktivität im inneren Kommutierungskreis ausgebremst (siehe Gleichung 4.33). In einem Leistungsmodul ist im Vergleich zu den hier gezeigten skalierten Einzelchippmessungen ein höheres dI/dt aufgrund von geringerer parasitärer Induktivität im inneren Kommutierungskreis zu erwarten.

$$\frac{dI_S}{dt} = -\frac{dI_E}{dt} = (U_{CE} - U_{DS}) / (L_{\sigma,IGBT} + L_{\sigma,MOSFET}) \quad , \text{für } t > t_4 \quad (4.33)$$

In Abbildung 4.69 ist das Einschaltverhalten des Hybridschalters mit *fast* IGBT gezeigt, dessen Einschaltgeschwindigkeit auf vergleichbares Reverse-Recovery Verhalten der SiC-Bodydiode eingestellt ist. Im Vergleich zum *low-sat* Hybrid ist die Einschaltverzögerungszeit zwischen t_1 und t_2 deutlich kürzer. Das Millerplateau während der abfallenden

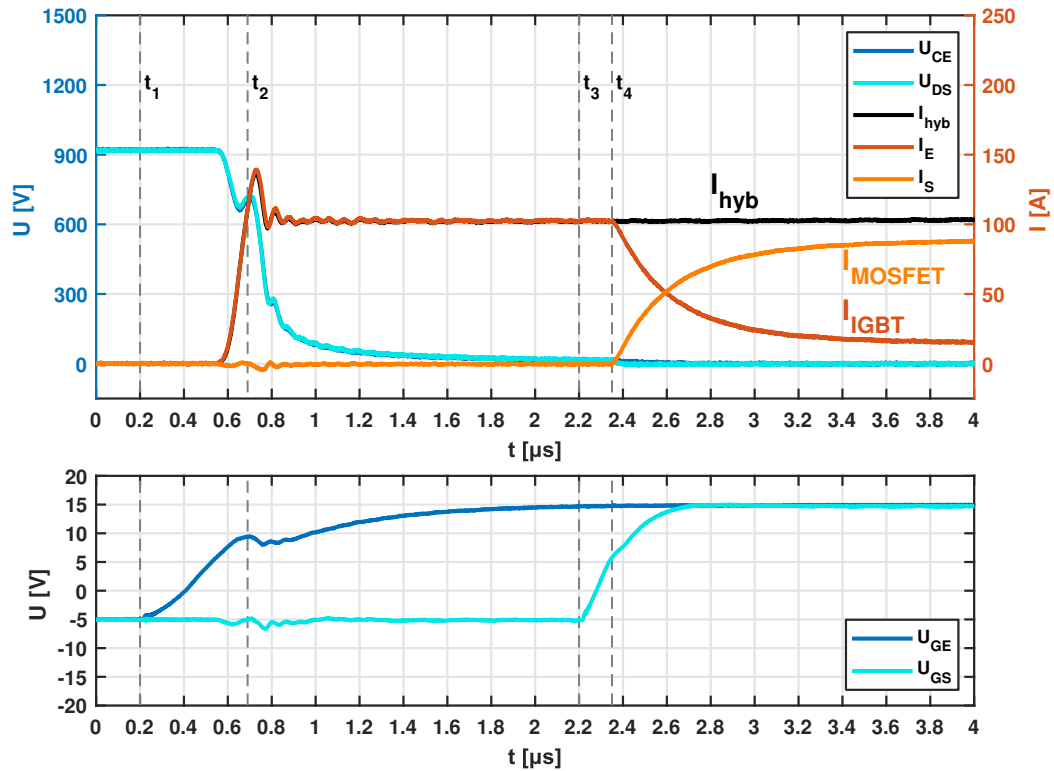


Abbildung 4.69: Einschalten des Hybridschalters mit *fast* IGBT unter Nennbedingungen ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = 2 \mu\text{s}$)

Spannung U_{CE} ist stark verkürzt. Die Spannung sinkt während des Forward-Recovery des IGBTs zwischen t_2 und t_3 langsamer ab. Bei gleicher Verzögerungszeit t_V der Schaltsignale fällt die zeitliche Distanz zwischen der Stromflanke des IGBTs und der anteiligen Stromübernahme durch den MOSFET länger aus, trotzdem hat der *fast* IGBT beim Einschalten des MOSFETs eine höhere Spannung U_{CE} . Die Kommutierung des Laststromes auf den MOSFET erfolgt schneller mit einem größeren dI/dt .

4.6.2 Reverse-Recovery des *low-sat* Hybridschalters

Der Hybridschalter besitzt keine dedizierte Diode. Die Rückwärtsleitfähigkeit wird durch den SiC-MOSFET bereitgestellt. Wird der Kanal des MOSFETs während der Sperrverriegelungszeit geschlossen, fließt der gesamte Laststrom durch die bipolare Bodydiode des SiC-MOSFETs, in der sich Ladungsträgerplasma aufbaut, das wiederum während des Reverse-Recovery ausgeräumt wird. Das Reverse-Recovery Verhalten des Hybridschalters wurde mit konstant negativer Treiberspannung gemessen. Die Bodydiode des SiC-MOSFETs weist daher statische Ladungsträgerkonzentration auf.

In Abbildung 4.70 ist das Reverse-Recovery des Hybridschalters dargestellt. Zum Zeitpunkt t_1 schaltet der Si-IGBT des komplementären Schalters aus der Halbbrücke ein.

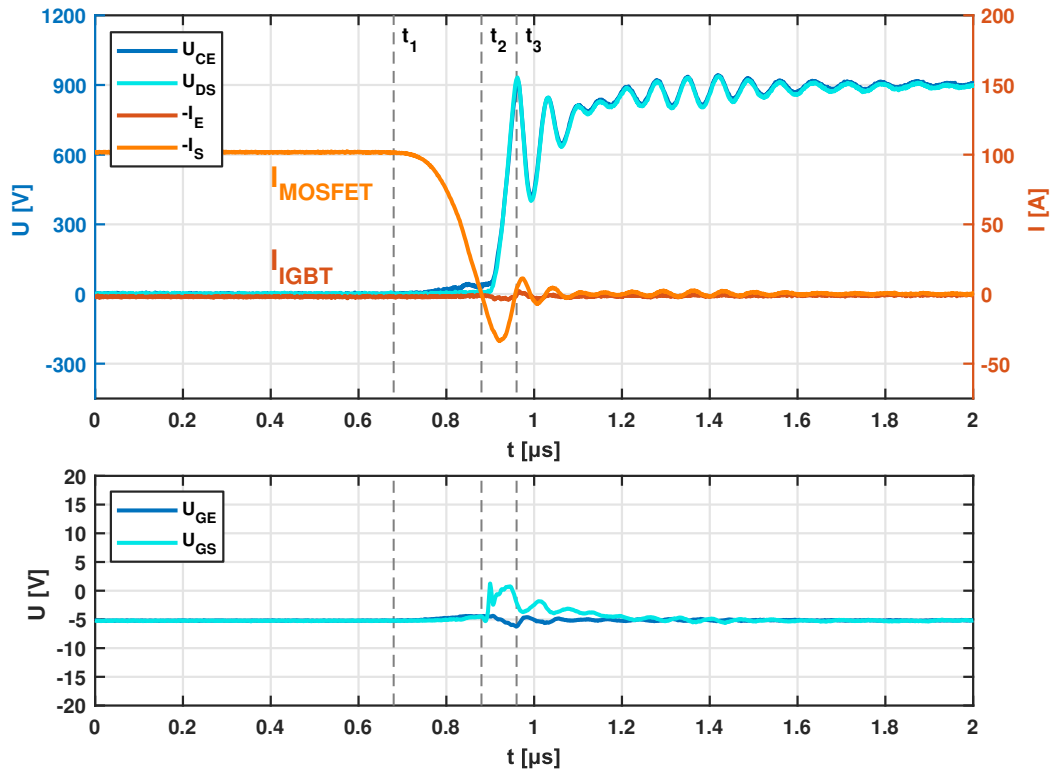


Abbildung 4.70: Reverse-Recovery des Hybridschalters mit *low-sat* IGBT unter Nennbedingungen ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125^\circ \text{C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = 2 \mu\text{s}$)

Zum Zeitpunkt t_2 wird der Strom durch die Bodydiode negativ, die bipolare Ladung der Bodydiode wird ausgeräumt.

Durch das beim Reverse-Recovery auftretende hohe negative dI/dt entsteht eine hohe transiente Überspannung zum Zeitpunkt t_3 . Oszillationen zwischen Ausgangskapazität des SiC-MOSFETs und parasitärer Streuinduktivität werden angeregt. Auf der Gatespannung des SiC-MOSFETs ist zwischen t_2 und t_3 eine Spannungserhöhung durch das Feedback der Millerkapazität zu erkennen, die Thresholdspannung des MOSFETs wird nicht erreicht.

Der Si-IGBT ist an Rückwärtsleitung und Reverse-Recovery nicht beteiligt.

4.6.3 Einschalten des Hybridschalters mit externer Gate-Kapazität

In Abschnitt 3.7 wurde dargelegt, wie mit einer externen Gatekapazität das Einschaltverhalten eines IGBTs im Full-Si Schalter beeinflusst werden kann. Auch beim Hybridschalter, bei dem der IGBT zum Einschalten verwendet wird, kann nach dem gleichen Prinzip die Verlustleistung beim Einschalten reduziert werden.

In Abbildung 4.71 ist das Einschalten des *fast* Hybrids mit und ohne externe Gatekapazität dargestellt. Während beim Full-Si Schalter die maximale Spitzenleistung der Diode ausschlaggebend für die Schaltgeschwindigkeit ist, wurde beim Hybridschalter mit dem

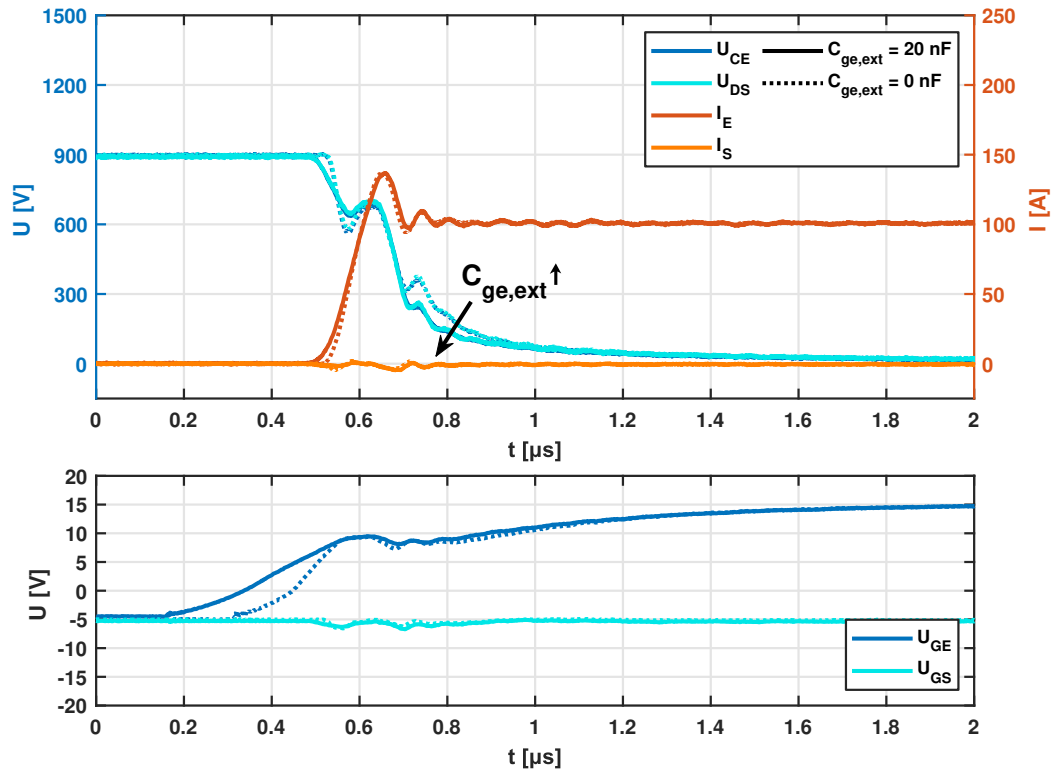


Abbildung 4.71: Einschalten des *fast* Hybrid mit externer Gatekapazität ($I_L = 100$ A, $U_{DC} = 900$ V, $T_j = 125$ °C, $t_V = 2$ μs)

Gatewiderstand die Flankensteilheit von U_{DS} beim Reverse-Recovery der Bodydiode eingestellt. Mit und ohne externe Gatekapazität weist das Reverse-Recovery eine Flankensteilheit von $15 \text{ kV}/\mu\text{s}$ bis zur ersten transienten Überspannungsspitze auf. Die Schaltkurven des zugehörigen Reverse-Recovery sind im Anhang in Abbildung A.22 abgebildet.

Grundsätzlich ergibt sich ein ähnlicher Effekt beim Hybridschalter wie bei einem Full-Si Schalter. Durch das Einfügen einer zusätzlichen Kapazität und der Verwendung eines geringeren Gatewiderstandes wird ein ähnliches dI/dt des einschaltenden IGBTs erreicht, gleichzeitig wird jedoch die Millerkapazität des IGBTs durch den geringeren Gatewiderstand schneller umgeladen. Seine Spannung sinkt nach Übernahme des Laststroms schneller ab. Es steigt jedoch auch die Spannung des abkommütierenden SiC-MOSFETs schneller an, sodass dessen Reverse-Recovery Verhalten auch beeinflusst wird und mit einbezogen werden muss.

In Abbildung 4.72a sind die Schaltverluste in Abhängigkeit des Laststroms abgebildet. Mit steigender externer Gatekapazität reduzieren sich die Einschaltverluste, insbesondere bei hohen Lastströmen. Die Reverse-Recovery Verluste bleiben nahezu gleich, sodass sich insgesamt eine Reduktion der Verluste bei der Verwendung einer externen Gatekapazität ergibt.

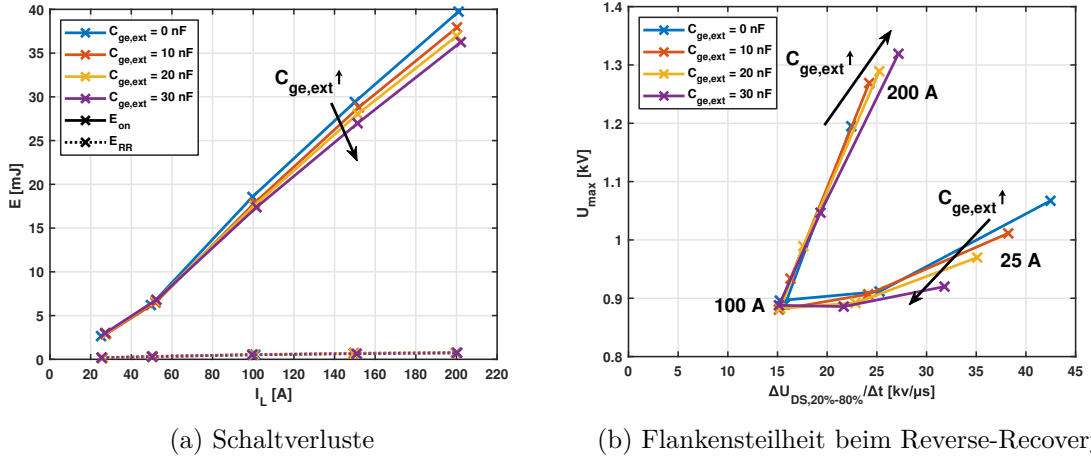


Abbildung 4.72: Wirkung einer externen Gatekapazität am IGBT beim Einschalten auf Schaltverluste und Flankensteilheiten ($T_j = 125^\circ\text{C}$, $U_{\text{DC}} = 900\text{ V}$, $t_V = 2\ \mu\text{s}$)

In Abbildung 4.72b werden die Flankensteilheit und die Höhe der transienten Überspannungsspitze beim Reverse-Recovery ausgewertet. Beim Reverse-Recovery wird die Spannungsaufnahme der Diode durch Oszillationen überlagert. Sowohl die abfallende Spannung des einschaltenden IGBTs als auch die Höhe der Oszillationen sind vom Laststrom abhängig. Eine Erhöhung der Gatekapazität wirkt sich abhängig vom Laststrom positiv, als auch negativ auf Flankensteilheit und Höhe der Überspannung aus. Bei einem Laststrom von $I_L = 25\text{ A}$ werden durch $C_{\text{GE,ext}}$ beide Parameter abgesenkt. Bei $I_L = 100\text{ A}$ wurde die gleiche Spannungssteilheit eingestellt, die Überspannung wird nur geringfügig beeinflusst. Bei $I_L = 200\text{ A}$ wird sowohl Überspannungsspitze als auch Flankensteilheit erhöht.

Für den Hybridschalter wurde als Kompromiss zwischen Schaltverlusten, Überspannungsspitze und Flankensteilheit eine externe Gatekapazität von $C_{\text{GE,ext}} = 20\text{ nF}$ ausgewählt. Dies gleicht dem Wert, der beim Full-Si Schalter verwendet wurde.

4.6.4 Auswahl der Einschaltgeschwindigkeit

Bei der Auslegung des Gatewiderstandes für das Einschalten des Hybridschalters ist das Reverse-Recovery Verhalten der Bodydiode des SiC-MOSFETs ausschlaggebend. Für das Reverse-Recovery wurden als Randbedingungen die maximale transiente Überspannung von 1650 V und die maximale Flankensteilheit von 15 kV/ns mit einbezogen. Diese Grenzen entsprechen den Limitierungen beim Abschalten. Im Folgenden wird dargelegt, dass ein striktes Einhalten der Flankensteilheit beim Reverse-Recovery jedoch nicht sinnvoll erscheint. Die Spannungssteilheit beim Reverse-Recovery ist aufgrund der Spannungsabfälle an den parasitären Induktivitäten größer als beim Einschalten. Es wird daher in Bezug auf Spannungssteilheit nur der Spannungsverlauf beim Reverse-Recovery betrachtet. Die Flankensteilheit wurde jeweils mittels der ersten Überspannungsspitze der ansteigenden Spannung bestimmt ($\hat{U}_{\text{RR},1}$ zum Zeitpunkt t_3 in Abbildung 4.70).

Wird die Limitierung des Abschaltens von einer Flankensteilheit von $15 \text{ kV}/\mu\text{s}$ strikt auf das Reverse-Recovery angewendet, resultiert dies in sehr geringen transienten Überspannungsspitzen. In Abbildung 4.70 ist beim Reverse-Recovery zu erkennen, dass trotz hoher Flankensteilheit der ersten Spannungsspitze die Zwischenkreisspannung von 900 V kaum überschritten wird, während beim Abschaltvorgang je nach Schalter im gleichen Arbeitspunkt eine transiente Spannungsspitze von bis zu 1400 V erreicht wird. Dabei wird beim Abschalten sogar ein Maximum von 1650 V bei ähnlicher Flankensteilheit akzeptiert (siehe Abbildung 4.31a). Eine strikte Begrenzung der Flankensteilheit auf $15 \text{ kV}/\text{ns}$ im Nennarbeitspunkt erscheint daher nicht sinnvoll.

Andererseits führt ein Ausnutzen der maximalen transienten Überspannung von 1650 V zu sehr hohen Flankensteilheiten. In Abbildung 4.73 sind für unterschiedliche Schaltgeschwindigkeiten die resultierenden Flankensteilheiten und Amplituden der ersten Überspannungsspitze beim Reverse-Recovery für *low-sat* Hybrid und *fast* Hybrid dargestellt. Die Flankensteilheit beim Reverse-Recovery ist stark von Laststrom, Sperrschichttemperatur und Zwischenkreisspannung abhängig. Es ist erkennbar, dass grundsätzlich der Nennarbeitspunkt (900 V , 100 A , 125°C) die geringsten Werte von Spannungsamplitude und Flankensteilheit aufweist, die bei geringerer Temperatur oder höherer Zwischenkreisspannung deutlich überstiegen werden. Beim *fast* Hybridschalter führt eine Auslegung mit geringem $R_{g,\text{on}}$ im ungünstigsten Arbeitspunkt zu $70 \text{ kV}/\mu\text{s}$ bei einem Spitzenwert von 1300 V (siehe Abbildung 4.73f).

Die für den Hybridschalter gewählte Treiberauslegung für einen Vergleich mit anderen Schaltern entspricht den Abbildungen 4.73c und 4.73d. Diese stellt einen Kompromiss aus Flankensteilheit und auftretender Amplitude dar. In keinem Arbeitspunkt wird die maximale Spannung von 1650 V überschritten. Höhere Flankensteilheiten als $15 \text{ kV}/\mu\text{s}$ werden akzeptiert. Trotz unabhängiger Auswahlkriterien entspricht das entstehende dI/dt nahezu dem dI/dt des Full-Si Schalters, dessen Schaltgeschwindigkeit auf die maximale Schaltleistung der Si-Diode ausgelegt wurde.

Die Limitierung der Flankensteilheit ergibt sich aus den Anforderungen einer Applikation. Zu hohe Flankensteilheiten führen zu unerwünschten Effekten, wie Spannungsüberhöhungen, Stressen der Isolation, Lagerströmen und höheren Amplituden bei hohen Frequenzen im EMI-Spektrum (siehe Kapitel 3.5).

Relevant für die Applikation sind die Spannungssteilheiten an den Umrichterausgangsklemmen, die sich von der Spannungssteilheit am Halbleiter unterscheiden können. In Abhängigkeit von der Verteilung der Streuinduktivität auf gemeinsame und getrennte Strompfade einzelner Phasen eines Umrichters fällt beim Reverse-Recovery die Spannungssteilheit an den Umrichterausgangsklemmen geringer aus als am Halbleiter [132]. Spannungsabfälle an den Streuinduktivitäten haben vor allem beim Reverse-Recovery einen

4 Durchlass- und Schaltverhalten des Si-SiC Hybridschalters

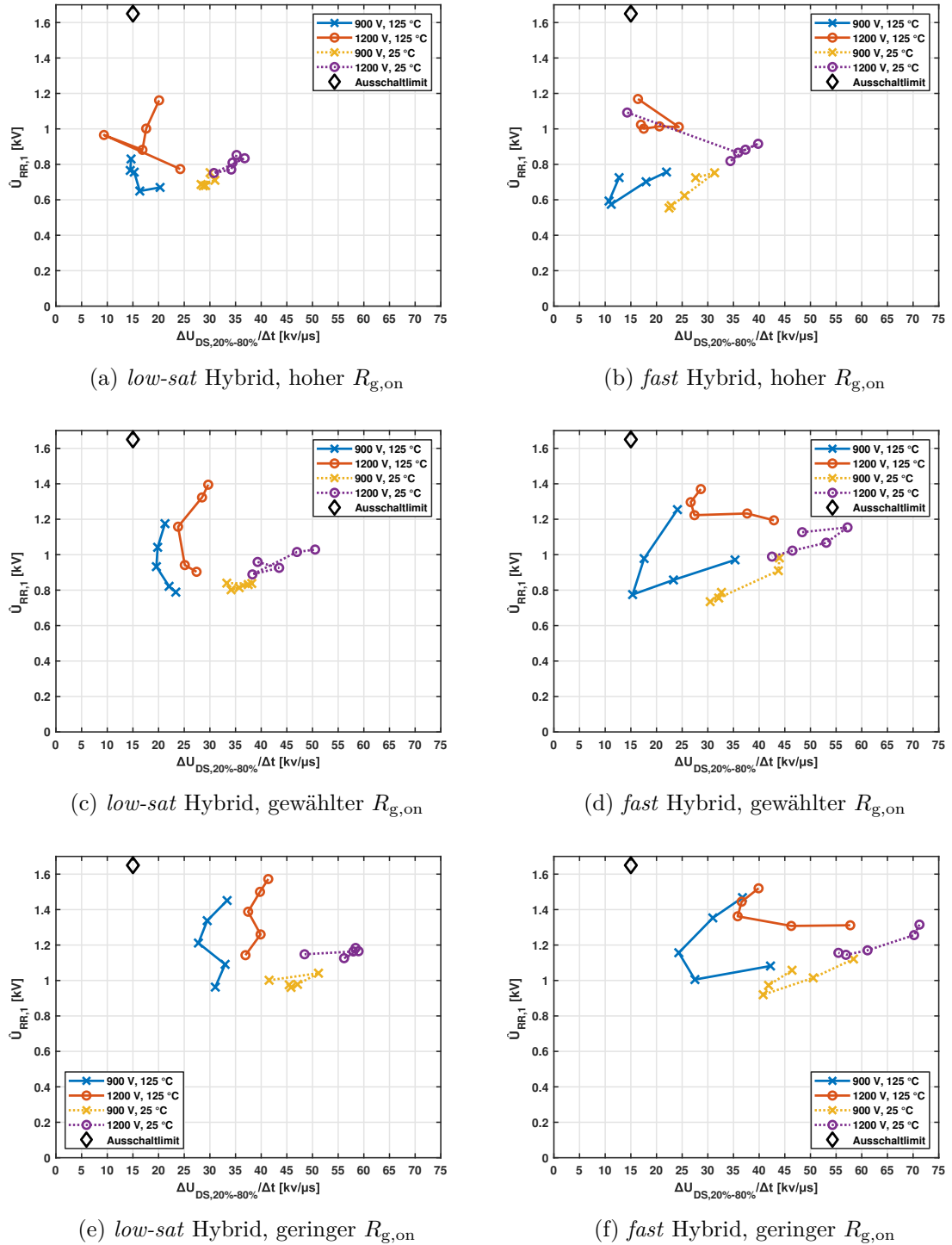


Abbildung 4.73: Flankensteilheit und erste Überspannungsspitze beim Reverse-Recovery des Hybridschalters bei unterschiedlicher Treiberauslegung ($I_L = 25$ A bis 200 A, $C_{GE,ext} = 20$ nF, $t_V = 2$ μ s)

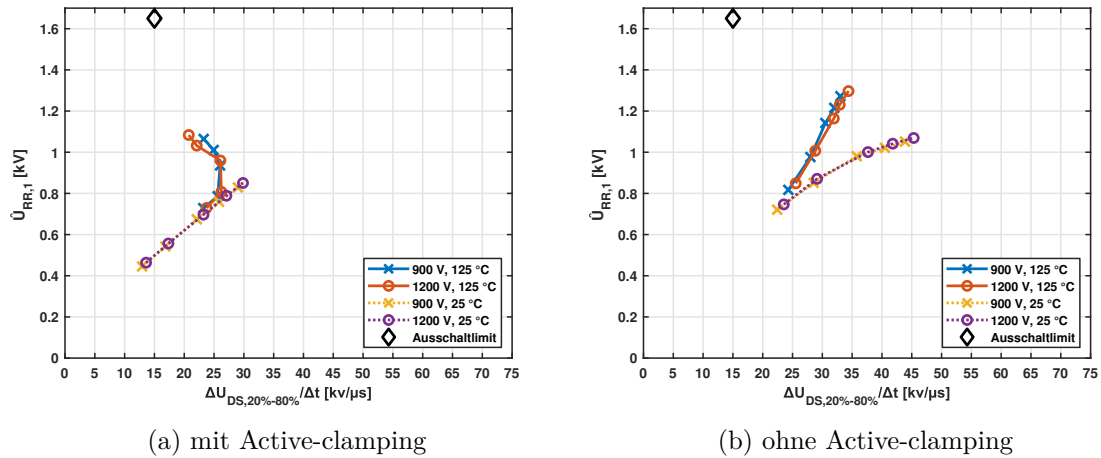


Abbildung 4.74: Flankensteilheit und erste Überspannungsspitze des Full-SiC Schalters beim Reverse-Recovery ($I_L = 25$ A bis 200 A)

hohen Anteil an der Flankensteilheit. Daher kann beim Reverse-Recovery eine höhere Flankensteilheit als beim Abschalten akzeptiert werden.

Auch werden sehr hohe Flankensteilheiten bei geringer Chiptemperatur oder bei hoher Zwischenkreisspannung akzeptiert, da diese eher selten im Betrieb eines Umrichters auftreten. Solange diese hohen Flankensteilheiten nicht unmittelbar zerstörerisch wirken, wird die Annahme getroffen, dass diese Arbeitspunkte einen geringen Anteil an den Lebensdauerkosten einer beanspruchten Isolation oder eines Lagers ausmachen.

Die Auswahl der Schaltgeschwindigkeit muss auf eine Applikation und deren Anforderungen abgestimmt werden. In dieser Arbeit soll die getroffene Wahl der Einschaltgeschwindigkeit einen objektiven Vergleich unterschiedlicher Schalter ermöglichen und dabei ähnliche Anforderungen an die Flankensteilheit beim Abschalten und Reverse-Recovery stellen.

Die Einschaltgeschwindigkeit des Full-SiC Schalters wurde nach den gleichen Kriterien ausgewählt. Die Flankensteilheit und auftretende Amplitude bei gewählter Treiberauslegung sind in Abbildung 4.74a dargestellt. Bei $U_{DC} = 900$ V und $T_j = 125$ °C treten Flankensteilheiten auf, die höher ausfallen als beim *low-sat* Hybridschalter, jedoch eine geringere Amplitude haben.

Beim Full-SiC Schalter wirkt sich die verwendete Active-Clamping Schaltung positiv auf die Flankensteilheit aus (siehe Abbildung 4.74b). Auch wenn die Durchbruchspannung der Transildiodenkette beim Reverse-Recovery nicht überschritten wird, führen die parasitären Kapazitäten der Transildioden sowie die kapazitive Vorsteuerung zu einem Anstieg der Gatespannung des SiC-MOSFETs. Ein direkter Vergleich der Schalttransienten ist im Anhang in Abbildung A.23 dargestellt. Beim Hybridschalter tritt dieser Effekt nicht auf, wenn der IGBT zum Abschalten verwendet wird und daher die Active-Clamping Schaltung an das Gate vom IGBT angeschlossen wird.

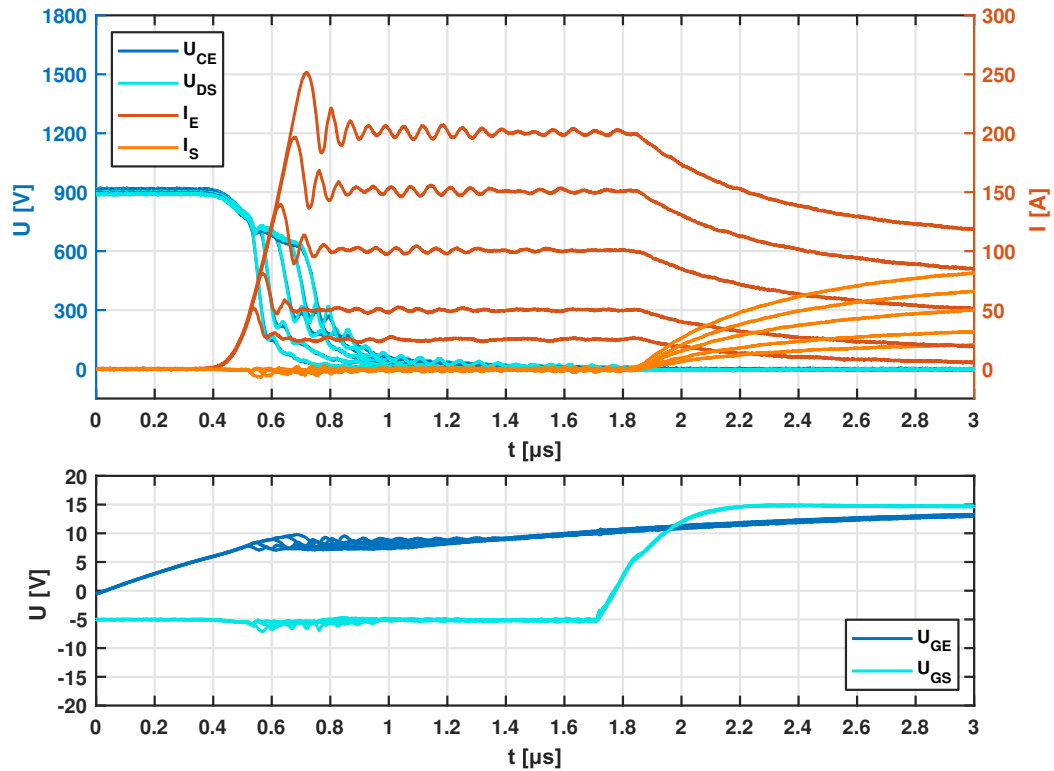


Abbildung 4.75: Einschalten des *low-sat* Hybrids mit Treiberauslegung für einen objektiven Vergleich bei einem Laststrom von 25 A bis 200 A ($I_L = 25 \text{ A}$ bis 200 A , $U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = 2 \text{ } \mu\text{s}$)

Das Einschalten des *low-sat* Hybrids bei gewählter Treiberauslegung ist für verschiedene Arbeitspunkte in Abbildung 4.75 dargestellt. Mit steigendem Laststrom nimmt die Stromsteilheit zu, Überstromspitze und Oszillationen auf dem Stromverlauf nehmen zu. Auch bei hohem Strom hat der *low-sat* IGBT bereits vor dem Einschalten des MOSFETs eine sehr niedrige Spannung U_{CE} erreicht. In Abhängigkeit des Laststroms ändert sich das dI/dt während der Kommutierung auf den MOSFET.

Das Einschaltverhalten des *fast* Hybrids mit verschiedenen Lastströmen ist im Anhang in Abbildung A.24 dargestellt.

Die Auslegung der Einschaltgeschwindigkeit erfolgte mit konstanter negativer Treiberspannung, dies entspricht einer sehr großen Totzeit. Durch eine Reduktion der Totzeit lässt sich das Schaltverhalten der SiC-Bodydiode optimieren. Die Bodydiode wird nach dem Abschalten des Kanals für eine kürzere Zeit vom Laststrom durchflutet und baut bei geringen Totzeiten eine geringere Speicherladung auf. In der Literatur wurde bereits bei einem Full-SiC Schalter gezeigt, wie sich durch eine Anpassung der Totzeit das Reverse-Recovery Verhalten der SiC-Bodydiode positiv beeinflussen lässt. Ein Schalten mit geringeren Oszillationen oder auch ein schnelleres Schalten mit weniger Verlusten ist möglich [133], [134].

Sowohl der Full-SiC Schalter, als auch der Hybridschalter können durch dieses Verfahren gleichermaßen weiter optimiert werden.

4.6.5 Spannungsozillationen beim Reverse-Recovery

Wie beim Abschalten wird auch beim Reverse-Recovery das schwingfähige System aus Streuinduktivität im Kommutierungskreis und Ausgangskapazität der Halbleiter angeregt. Es kommt zur Oszillation von I_{hyb} und U_{DS} .

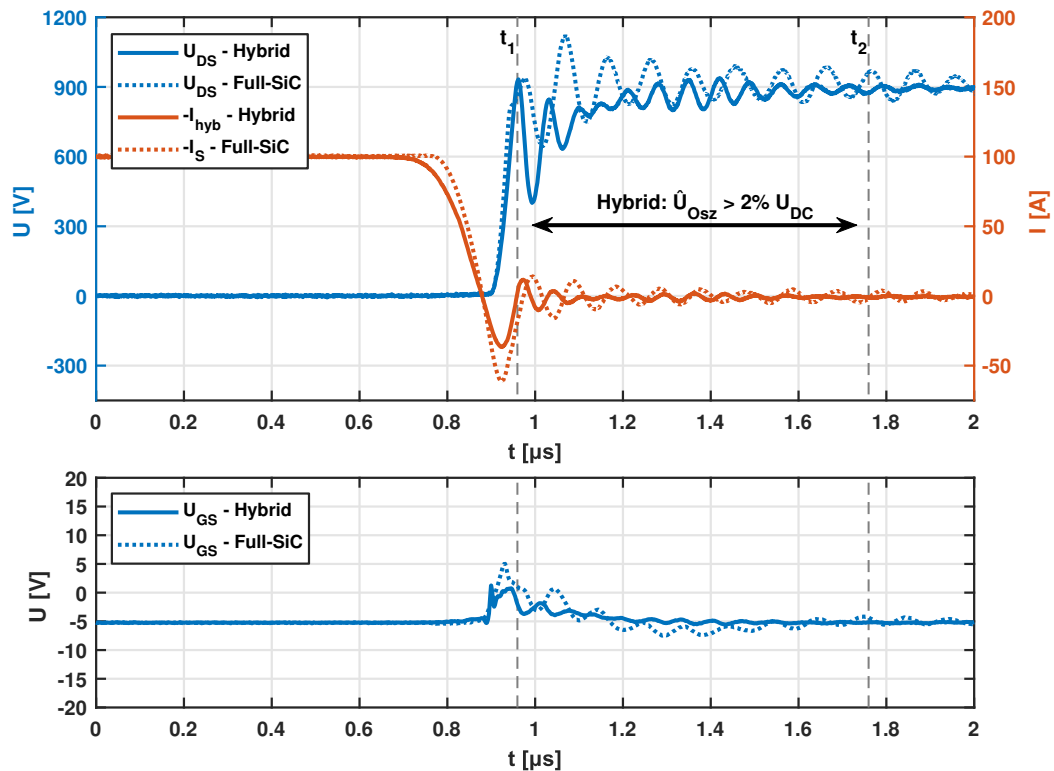


Abbildung 4.76: Reverse-Recovery vom *low-sat* Hybrid und Full-SiC Reverse-Recovery des Hybridschalters im Vergleich ($I_L = 100 \text{ A}$, $U_{\text{DC}} = 900 \text{ V}$, $T_j = 125^\circ \text{C}$, $C_{\text{GE,ext}} = 20 \text{ nF}$, $t_V = 2 \text{ µs}$)

In Abbildung 4.76 werden die Schalttransienten beim Reverse-Recovery der SiC-Bodydiode im *low-sat* Hybrid und Full-SiC miteinander verglichen. Bei beiden Schaltern überlagert eine Oszillation mit hoher Amplitude die ansteigende Spannung. Im Vergleich zum Full-SiC Schalter hat der Hybridschalter mit der Hälfte der SiC-Chipfläche eine deutlich geringere Ausgangskapazität. Auch wenn die SiC-Chipfläche im Hybridschalter von einer höheren Stromdichte durchflossen wird, fällt die bipolare Ladung in der Summe geringer aus. Der Hybridschalter wurde mit geringerem dI/dt eingeschaltet, die negative Stromspitze fällt geringer aus. Die Einschaltgeschwindigkeit wurde so gewählt, dass die resultierende Spannungssteilheit und Überspannungsspitze vergleichbar sind. Aufgrund der größeren Ausgangskapazität fällt die Oszillationsfrequenz des Full-SiC geringer aus. Die

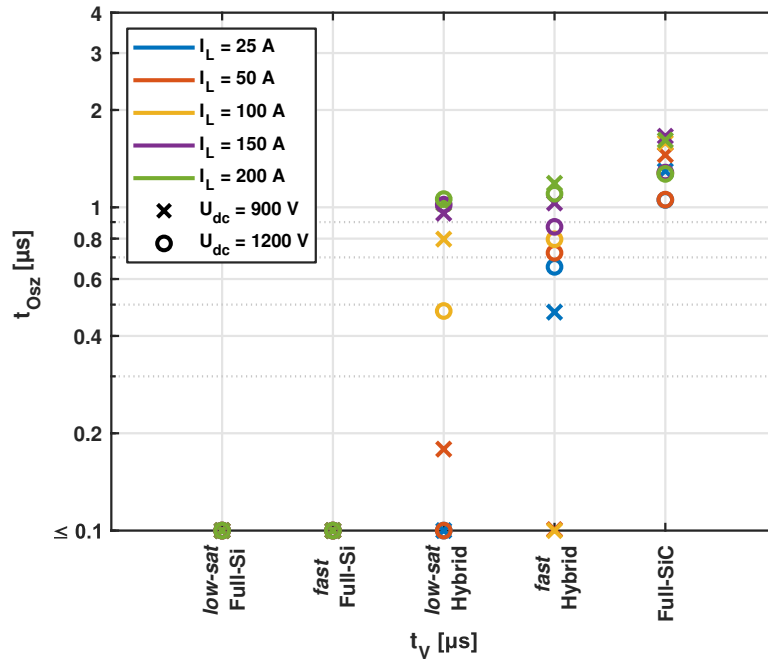


Abbildung 4.77: Dauer der Spannungsoszillationen (t_{OSZ}) größer als 2% $U_{DC,n}$ beim Reverse-Recovery ($T_j = 125^\circ\text{C}$)

Frequenzen betragen wie beim Abschalten ca. 10 MHz beim Full-SiC und ca. 15 MHz beim Hybridschalter.

Auch beim Reverse-Recovery wurde zur Bewertung der Dämpfung der Oszillation die Zeit t_{OSZ} bestimmt. Wie beim Abschalten wird t_{OSZ} als Zeit zwischen dem Erreichen der Zwischenkreisspannung und dem Abfall der Amplitude der Oszillation unter 2% der Zwischenkreisspannung definiert. In Abbildung 4.76 ist dieser Zeitabschnitt für den Hybridschalter durch t_1 und t_2 eingefasst und ist kürzer als beim Full-SiC Schalter.

In Abbildung 4.77 werden die Zeiten t_{OSZ} für die verschiedenen Schalter beim Einschalten verglichen. Beim soften Reverse-Recovery des Full-Si Schalters kommt es zu keinen Oszillationen (siehe Abbildung A.25 im Anhang). Die Oszillationsdauern des Hybridschalters fallen in allen Arbeitspunkten kürzer aus als beim Full-SiC Schalter. Allerdings ist beim Einschalten der Unterschied zum Full-SiC Schalter weniger stark ausgeprägt als beim Abschalten.

4.6.6 Vergleich der Schaltverluste mit Full-Si und Full-SiC

Die Einschaltgeschwindigkeit des Hybridschalters und des Full-SiC Schalters wurden auf vergleichbare Spannungssteilheit beim Reverse-Recovery eingestellt. Es ergibt sich ein Einschaltverhalten mit vergleichbarem dI/dt , dennoch unterscheiden sich die Einschaltverluste deutlich. In Abbildung 4.78 werden die Schaltverluste des *fast* Hybrids mit dem Full-SiC Schalter verglichen. Bis zum Zeitpunkt t_1 decken sich die Verläufe von Strom und Spannung,

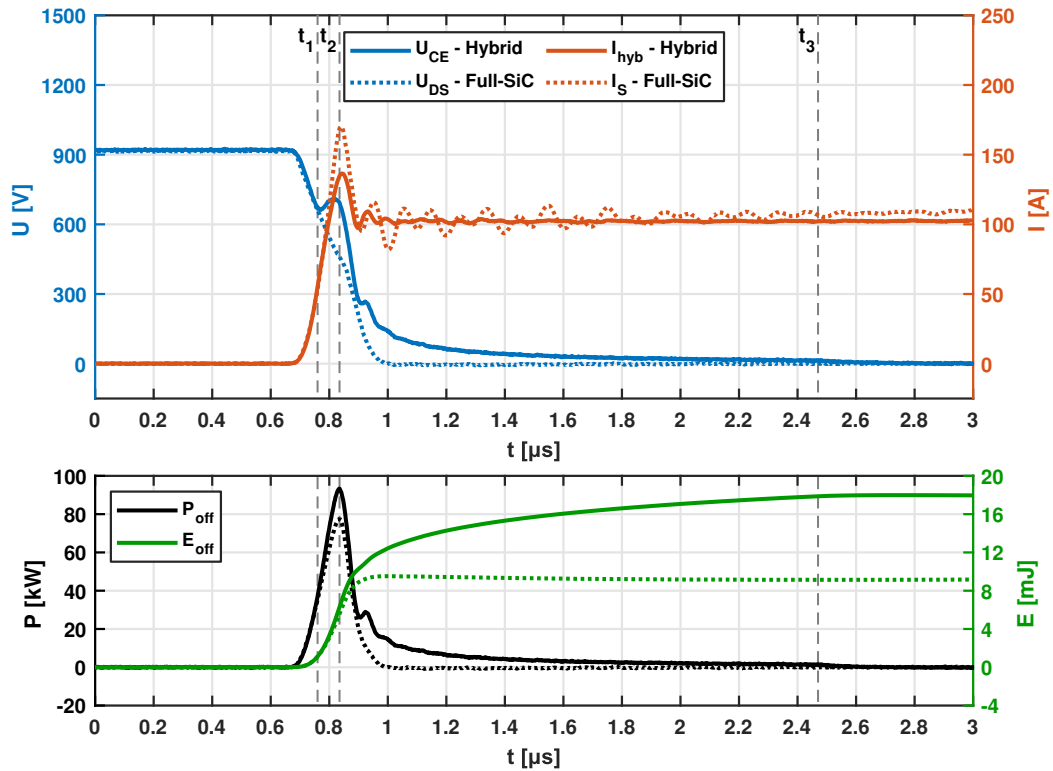


Abbildung 4.78: Verluste beim Einschalten des *fast* Hybrids im Vergleich zum Full-SiC ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = 2 \text{ } \mu\text{s}$)

die Verlustleistung fällt gleich aus. Zwischen t_1 und t_2 sinkt die Spannung des Full-SiC stärker ab als beim Hybridschalter. Obwohl der Full-SiC Schalter eine größere Überstromspitze aufweist, fällt aufgrund der geringeren Spannung die Spitzenverlustleistung zum Zeitpunkt t_2 geringer aus. Während der Stromflanke entsteht annähernd die gleiche Verlustenergie. Die Verluste während der abfallenden Sperrspannung unterscheiden sich jedoch stark. Der Full-SiC erreicht deutlich schneller seine Durchlassspannung als der Hybridschalter, dessen Spannung kriechend abfällt. Zum Zeitpunkt t_3 wird im Hybridschalter der SiC-MOSFET zugeschaltet, die Verlustenergie erreicht ihr Maximum.

Trotz vergleichbarer Stromflanke fallen durch den sehr langsamen Abfall von U_{CE} im Hybridschalter ungefähr doppelt so hohe Einschaltverluste wie im Full-SiC Schalter an.

Ein früheres Einschalten des SiC-MOSFETs kann die Spannung des Hybridschalters zu einem früheren Zeitpunkt reduzieren, die Schaltverluste im IGBT würden reduziert. Jedoch wird das Forward-Recovery des IGBTs dadurch verlangsamt. Durch eine geringere Stromdichte baut der IGBT sein Plasma langsamer auf. Er übernimmt nach dem Einschalten einen geringeren Anteil des Laststromes als im statischen Gleichgewicht. Während sich das Plasma im IGBT langsam aufbaut, fällt am IGBT eine höhere Durchlassspannung ab.

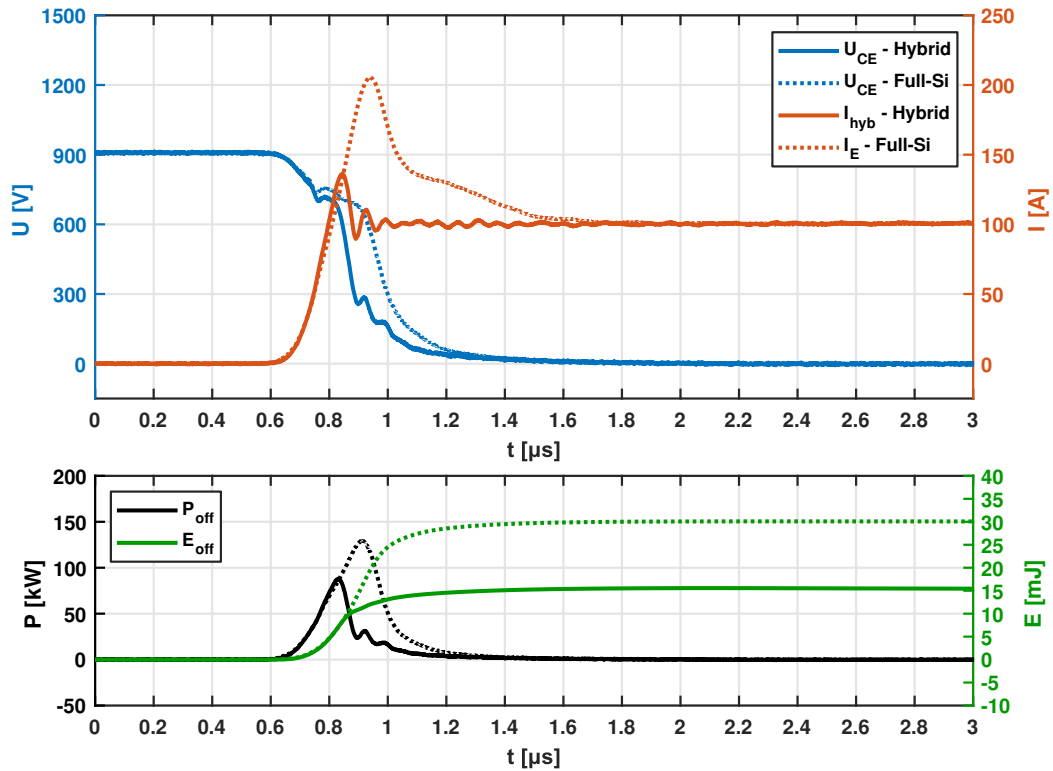


Abbildung 4.79: Verluste beim Einschalten des *low-sat* Hybrids im Vergleich zum Full-Si ($I_L = 100$ A, $U_{DC} = 900$ V, $T_j = 125$ °C, $C_{GE,ext} = 20$ nF, $t_V = 2$ μs)

Ein Vergleich des *low-sat* Hybridschalters mit einem *low-sat* Full-Si Schalter beim Einschalten erfolgt in Abbildung 4.79. Die Einschaltgeschwindigkeit des Full-Si Schalters wurde so ausgelegt, dass beim Reverse-Recovery die Schaltleistung in der Si-Diode maximal 100 kW beträgt. Die Auslegung der Einschaltgeschwindigkeit nach diesem Kriterium resultiert jedoch in einem vergleichbaren dI/dt wie beim Hybridschalter. Trotz gleichem dI/dt fallen im Full-Si doppelt so hohe Einschaltverluste wie im Hybridschalter an. Die hohe Reverse-Recovery Ladung der bipolaren Si-Diode lässt die Überstromspitze des einschaltenden IGBT sehr viel höher ausfallen und führt zu deutlich mehr Verlusten sowohl beim Einschalten als auch beim Reverse-Recovery.

Ein Vergleich der Schaltverluste des Hybridschalters mit Full-Si und Full-SiC Schalter erfolgt in Abbildung 4.80. In Abbildung 4.80a sind die Einschaltverluste dargestellt. Obwohl mit vergleichbarem dI/dt eingeschaltet wird, sind die Einschaltverluste der Full-Si Schalter aufgrund der hohen Speicherladung der Si-Dioden deutlich höher als beim Hybridschalter.

Bei geringem Laststrom erreicht der Hybridschalter die gleichen niedrigen Verluste wie der Full-SiC Schalter, er profitiert von einer geringeren Reverse-Recovery Ladung. Mit steigendem Laststrom dominiert der Nachteil einer langsamer abfallenden Spannung U_{CE} .

4 Durchlass- und Schaltverhalten des Si-SiC Hybridschalters

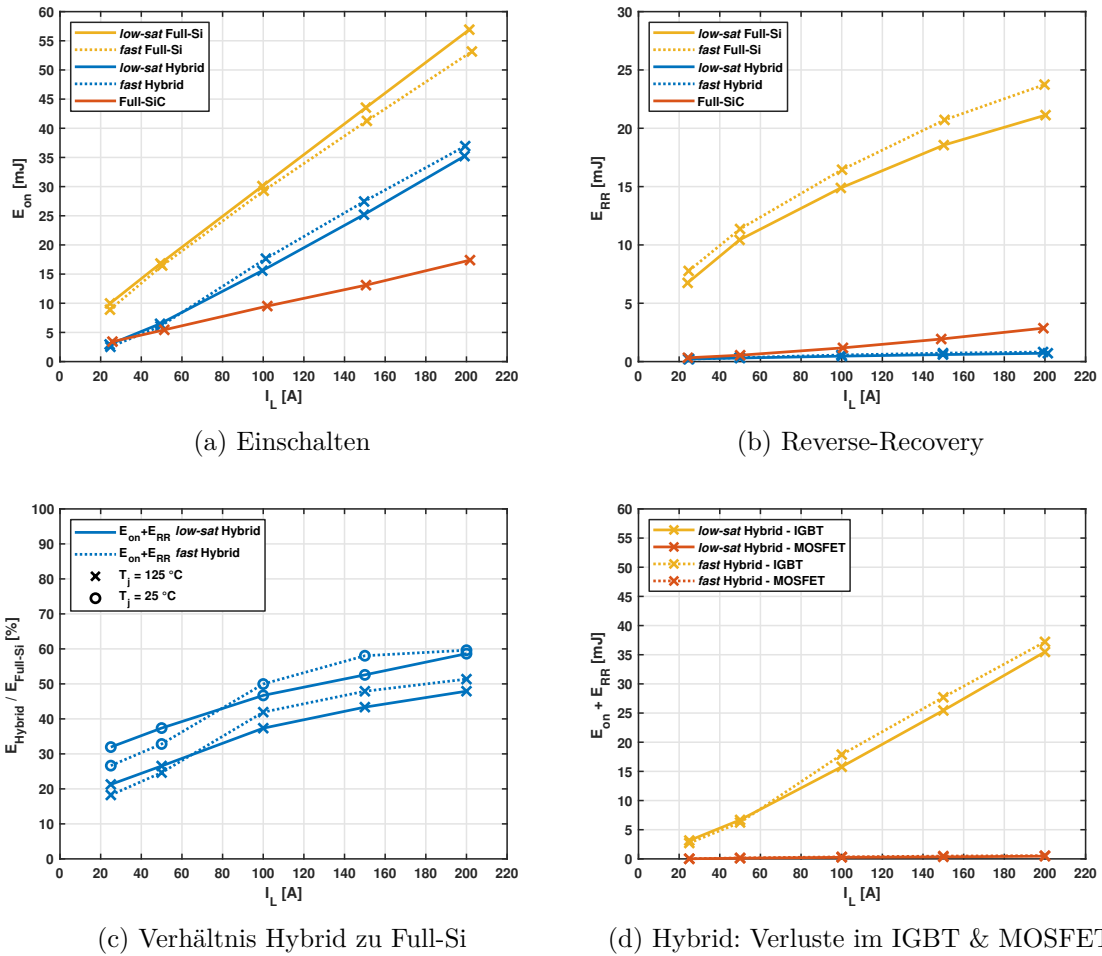


Abbildung 4.80: Verluste beim Einschalten und Reverse-Recovery des Hybridschalters im Vergleich mit Full-Si und Full-SiC ($I_L = 25 \text{ A}$ bis 200 A , $U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = 2 \text{ } \mu\text{s}$)

Die Verluste von *low-sat* IGBT und *fast* IGBT ähneln sich. Im Hybridschalter profitiert der *low-sat* Hybrid im Vergleich mit dem *fast* Hybrid von seiner schneller abfallenden Spannung. Die Schalter unterscheiden sich im detaillierten Verlauf des dI/dt während der Stromflanke beim Einschalten. Bei den Full-Si Schaltern unterscheiden sich dadurch die Verlustleistungen der Full-Si Schalter sowohl beim Einschalten als auch beim Reverse-Recovery, trotz gleicher Auslegung auf eine maximale Schaltverlustleistung in der gleichen Si-Diode.

Die Reverse-Recovery Verluste sind in Abbildung 4.80b abgebildet. Die Reverse-Recovery Verluste des Hybridschalters reduzieren sich durch die Verwendung der Bodydiode des SiC-MOSFETs sehr stark und sind in Bezug auf die gesamten Schaltverluste nahezu vernachlässigbar. Im Vergleich zum Full-SiC zeigt sich die Wirkung einer geringeren Reverse-Recovery Ladung aufgrund einer kleineren SiC-Chipfläche. Die Reverse-Recovery Verluste des Full-SiC erhöhen sich bei hohen Lastströmen zusätzlich durch das Wirken

der Active-Clamping Schaltung auf die Gatespannung des SiC-MOSFETs. Der Rückstrom durch den abkommutierenden SiC-MOSFET wird durch geringfügiges Aufsteuern der Gatespannung erhöht (siehe Abbildung A.23 im Anhang).

Im Verhältnis zum jeweiligen Full-Si Schalter wird die Summe aus Einschaltverlusten und Verlusten beim Reverse-Recovery durch das Einschalten auf eine SiC-Bodydiode im Hybridschalter je nach Laststrom auf 20 % bis 50 % reduziert (Abbildung 4.80c). Beim Full-Si Schalter hat die bipolare Ladung der Diode einen wesentlichen Einfluss auf die Schaltverluste, diese weisen daher auch einen positiven Temperaturkoeffizienten auf. Die Summe der Verluste steigt beim Full-Si Schalter mit steigender Temperatur stärker an als im Hybridschalter, das Verhältnis verschiebt sich zu Gunsten des Hybridschalters.

Aus Abbildung 4.80d wird ersichtlich, dass die Schaltverluste des Hybridschalters nahezu vollständig im IGBT umgesetzt werden. Im SiC-MOSFET des Hybridschalters fallen geringere Reverse-Recovery Verluste an als im Full-SiC. Von diesen wird weiterhin eine geringe negative Verlustenergie im SiC-MOSFET beim Einschalten abgezogen. Der negative Stromfluss während der Spannungsflanke beim Einschalten entsteht durch das Entladen der Ausgangskapazität.

4.6.7 Zusammenfassung des Einschaltens und Reverse-Recovery

Das Unterkapitel 4.6 befasst sich mit dem Einschalten und dem Reverse-Recovery des Hybridschalters. Das Einschalten des Hybridschalters erfolgt durch den Si-IGBT. Der SiC-MOSFET wird um $2\ \mu\text{s}$ verzögert zugeschaltet.

Durch die Verwendung der Bodydiode des SiC-MOSFETs und den Verzicht auf eine weitere dedizierte Diode fällt die Reverse-Recovery Ladung sehr gering aus. Die Überstromspitze reduziert sich im Vergleich zum Full-Si Schalter sehr stark. Jedoch treten Oszillationen zwischen abkommutierender Bodydiode und Streuinduktivität im Kommutierungskreis auf. Die Dauer der Oszillationen fällt jedoch wie beim Ausschaltvorgang geringer aus als beim Full-SiC Schalter.

Die Einschaltgeschwindigkeit des Hybridschalters wurde anhand der Spannungstransienten beim Reverse-Recovery ausgewählt. Ein Kompromiss aus Flankensteilheit und Überspannung beim Reverse-Recovery und Einschaltgeschwindigkeit wird für den Hybridschalter und den Full-SiC Schalter nach gleichen Kriterien ausgewählt. Es werden größere Spannungssteilheiten als beim Ausschalten akzeptiert, da zum einen der dazugehörige Spannungshub niedriger ausfällt, zum anderen die für eine Last relevante Flankensteilheit zwischen den Ausgangsklemmen des Umrichters geringer ist als am Halbleiter.

Weiterhin wird gezeigt, dass sich auch beim Hybridschalter durch das Verwenden einer externen Gatekapazität die Schaltverluste reduzieren lassen, dies jedoch in geringerem Maße als bei einem Full-Si Schalter.

Die Schaltverluste werden beim Einschalten nahezu ausschließlich im Si-IGBT umgesetzt. Der Hybridschalter profitiert vor allem durch die sehr geringe Überstromspitze beim Reverse-Recovery. Die Schaltverluste beim Reverse-Recovery sind vernachlässigbar und sogar geringer als beim Full-SiC Schalter. Der Full-SiC Schalter hat zwar die geringsten Einschaltverluste, die Schaltverluste des Hybridschalters liegen beim Einschalten jedoch deutlich unter denen eines Full-Si Schalters.

4.7 Schalteigenschaften im Vergleich

Die in diesem Kapitel vorgestellten Hybridschalter verwenden IGBTs unterschiedlicher Auslegung. Ausgangskennlinien und intrinsisches Abschalten mit Pulsmuster 1 (P1) wird mit einer Vielzahl von IGBTs untersucht. Detaillierte Betrachtungen beschränken sich auf einen langsam schaltenden *low-sat* Hybridschalter und einen schnell schaltenden *fast* Hybridschalter. Mit diesen Hybridschaltern wird ebenfalls das Pulsmuster 2 untersucht, während Pulsmuster 3 nur für den *low-sat* Hybridschalter in Betracht gezogen wird. Für das Einschalten wird ein Pulsmuster verwendet, das die Schaltverluste auf den IGBT beschränkt.

Für eine objektive Bewertung und einen Vergleich der Hybridschalter mit Full-Si und Full-SiC Schalter wird jeweils eine Treiberauslegung gewählt, die nach gleichen Kriterien und Limitierungen ausgelegt wurde. Dynamischer Avalanche wird vermieden, transiente Überspannungen werden durch Active-Clamping limitiert, die Steilheit der Spannungsflanke wird begrenzt und die maximale Schaltleistung der Si-Diode nicht überschritten. Dieser Abschnitt soll abschließend eine Übersicht über die im Detail untersuchten Schaltervarianten geben.

Werden Si-IGBT und SiC-MOSFET parallel geschaltet, entsteht eine gemeinsame Durchlasskennlinie, die durch Eigenschaften beider Halbleiter gekennzeichnet ist. Die Stromaufteilung zwischen den Halbleitern ist stark durch deren Auslegung geprägt. Sie ist sowohl von der Temperatur als auch vom Laststrom abhängig. Die Ausgangskennlinie des Hybridschalters bestimmt die statische Ladungsträgerkonzentration im IGBT. Alle Parameter, die einen Einfluss auf die Ausgangskennlinie haben, wirken sich über diese auch auf das Schaltverhalten aus.

Die Treiberauslegung der unterschiedlichen Schalter ist nicht immer als erstes durch das gleiche Kriterium limitiert. In Tabelle 4.1 ist eine Übersicht der im Detail untersuchten Schalter dargestellt. Die Full-Si Schalter sowie der *low-sat* Hybrid P1 sind beim Abschalten in ihrer Treiberauslegung durch dynamischen Avalanche bestimmt und daher in ihrer Schaltgeschwindigkeit limitiert, alle anderen Varianten erreichen das gesetzte Limit von 15 kV/ μ s. Für die Schaltmuster P2 und P3 ist dafür eine Verzögerungszeit von mehreren Mikrosekunden notwendig. Beim *low-sat* Full-Si und *low-sat* Hybrid P1 kann durch die reduzierte Schaltgeschwindigkeit jedoch auf eine Active-Clamping Schaltung verzichtet werden.

Die Einschaltgeschwindigkeit ist bei den Full-Si Schaltern durch die maximale Verlustleistung der Si-Diode bestimmt, während Hybrid und Full-SiC Schalter mit einer Begrenzung der Flankensteilheit und auftretender Überspannung beim Reverse-Recovery ausgelegt sind.

Tabelle 4.1: Unterschiede der Treiberauslegung der verschiedenen Schaltertopologien

Schalter	Abschalten						Einschalten und RR		
	$R_{g,off}$ bestimmt durch	Active- Clamping	t_V [μ s]	$\Delta U_{CE}/\Delta t$ (bei I_N) [kV/ μ s]	t_{OSZ} [μ s]	Inter-Chip Oszillatio- nen	$R_{g,on}$ bestimmt durch	t_V [μ s]	t_{OSZ} [μ s]
<i>low-sat</i> Full-Si	Avalanche	Nein	-	3	≤ 0.1	Nein	max Dioden- leistung	-	≤ 0.1
<i>fast</i> Full-Si	Avalanche	Ja	-	12	≤ 0.1	Nein	max Dioden- leistung	-	≤ 0.1
<i>low-sat</i> Hybrid P1	Avalanche	Nein	0	5	≤ 0.1	Nein	$\Delta U_{DS}/\Delta t,$ $\hat{U}_{RR,1}$	2	≤ 0.1 bis 1.1
<i>low-sat</i> Hybrid P2	max $\Delta U_{CE}/\Delta t$	Ja	6	15	0.1 bis 0.8	Ja	$\Delta U_{DS}/\Delta t,$ $\hat{U}_{RR,1}$	2	≤ 0.1 bis 1.1
<i>low-sat</i> Hybrid P3	max $\Delta U_{CE}/\Delta t$	Ja	6	15	≤ 0.1 bis 0.7	Nein	$\Delta U_{DS}/\Delta t,$ $\hat{U}_{RR,1}$	2	≤ 0.1 bis 1.1
<i>fast</i> Hybrid P1	max $\Delta U_{CE}/\Delta t$	Ja	0	15	≤ 0.1 bis 0.5	Nein	$\Delta U_{DS}/\Delta t,$ $\hat{U}_{RR,1}$	2	≤ 0.1 bis 1.2
<i>fast</i> Hybrid P2	max $\Delta U_{CE}/\Delta t$	Ja	4	15	0.3 bis 0.8	Ja	$\Delta U_{DS}/\Delta t,$ $\hat{U}_{RR,1}$	2	≤ 0.1 bis 1.2
Full-SiC	max $\Delta U_{CE}/\Delta t$	Ja	-	15	0.9 bis 3	Ja	$\Delta U_{DS}/\Delta t,$ $\hat{U}_{RR,1}$	-	1.1 bis 1.6

Für die verschiedenen Schalter werden Oszillationsverhalten und Schaltverluste betrachtet. In Abbildung 4.81 werden die Oszillationszeiten der Sperrspannung nach dem Abschalten miteinander verglichen. Schalter, die die maximale Flankensteilheit erreichen, neigen auch zu Oszillationen. Dabei ist die Oszillationsdauer von Hybridschaltern generell geringer als vom Full-SiC Schalter. Die hohe bipolare Ladung des *low-sat* IGBTs dämpft die Oszillationen, kann diese aber bei hohen Verzögerungszeiten im Hybrid wie beim Pulsmuster 2 und 3 nicht vollständig in allen Arbeitspunkten unterdrücken. Der *fast* Hybrid oszilliert sogar bereits bei Pulsmuster 1.

Beim Reverse-Recovery fällt die Oszillationsdauer der Hybridschalter mit geringerer Diodenfläche im Vergleich zum Full-SiC Schalter ebenfalls geringer aus.

Wird der SiC-MOSFET zum Abschalten verwendet, können Inter-Chip Oszillationen auftreten, die sogar bis zur Zerstörung führen können. Der Aufwand für ein Modullayout, das diese Oszillationen vermeidet oder bedämpft, ist erhöht. Dies trifft auf die Hybridschalter mit Pulsmuster 2 sowie den Full-SiC Schalter zu.

In Abbildung 4.82 erfolgt bei Nennstrom ein Vergleich der Schaltverluste mit einer Aufschlüsselung in Einschalt-, Ausschalt- und Reverse-Recovery Verluste. Zusätzlich zu den

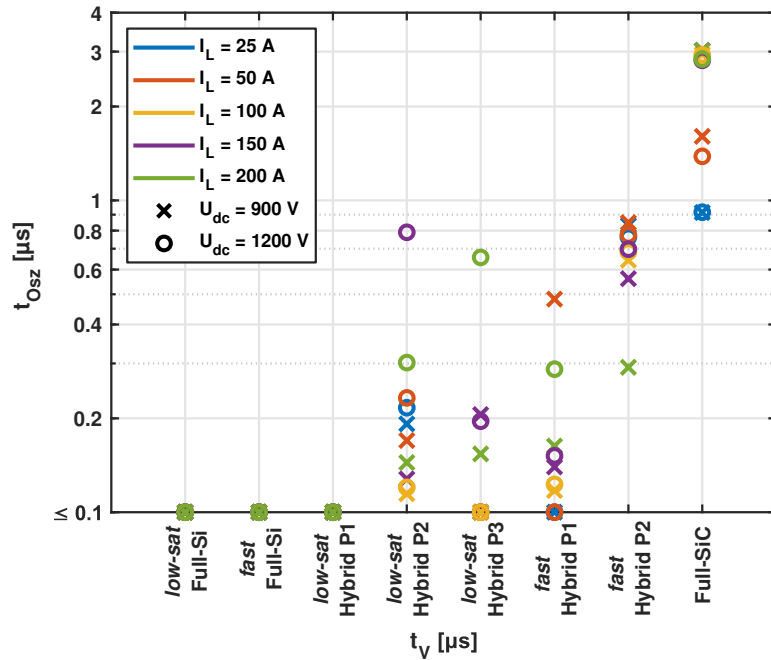


Abbildung 4.81: Dauer der Spannungsozillationen (t_{Osz}) größer als 2% $U_{DC,n}$ aller Schalter im Vergleich ($T_j = 125$ °C, P1: $t_v = 0$ μs, *low-sat* Hybrid P2 und P3: $t_v = 6$ μs, *fast* Hybrid P2: $t_v = 4$ μs)

vermessenen Hybridschaltern sind ebenfalls Schottky-Hybridschalter dargestellt. Diese sind als eine theoretische Abschätzung der Kombination von Si-IGBT und SiC-Schottkydiode zu verstehen. Für das Abschalten werden die Schaltverluste der Full-Si Schalter angenommen, da hier kein paralleler Schalter den IGBT entlasten kann oder die Plasmamenge im IGBT reduzieren kann. Für das Einschalten des IGBTs auf eine Schottkydiode werden die gleichen Verluste wie beim Einschalten auf eine SiC-Bodydiode eines MOSFETs angenommen.

Die Hybridschalter profitieren deutlich durch das Einschalten auf eine SiC-Diode mit geringer Reverse-Recovery Ladung. Die Reverse-Recovery Verluste der Hybridschalter können nahezu vernachlässigt werden, auch die Verluste des einschaltenden Halbleiters werden stark reduziert. Dabei unterscheiden sich die Einschaltverluste von *fast* und *low-sat* Hybridschalter nur wenig. Allein durch das Verwenden der SiC-Diode lassen sich die Schaltverluste mit *low-sat* IGBT bereits auf 64% im Vergleich zum *low-sat* Full-Si reduzieren (*low-sat* Schottky-Hybrid).

Die Ausschaltverluste werden im Hybridschalter mit parallelem SiC-MOSFET weiter stark abgesenkt. Durch die Parallelschaltung mit MOSFET und den geteilten Durchlassstrom lassen sich die Schaltverluste mit den unterschiedlichen Pulsmustern weiter reduzieren. Mit *low-sat* Hybrid P1 werden 49% der Schaltverluste erreicht, mit *low-sat* Hybrid P3 sogar nur 35%. In beiden Fällen fallen die Schaltverluste nahezu ausschließlich im IGBT an.

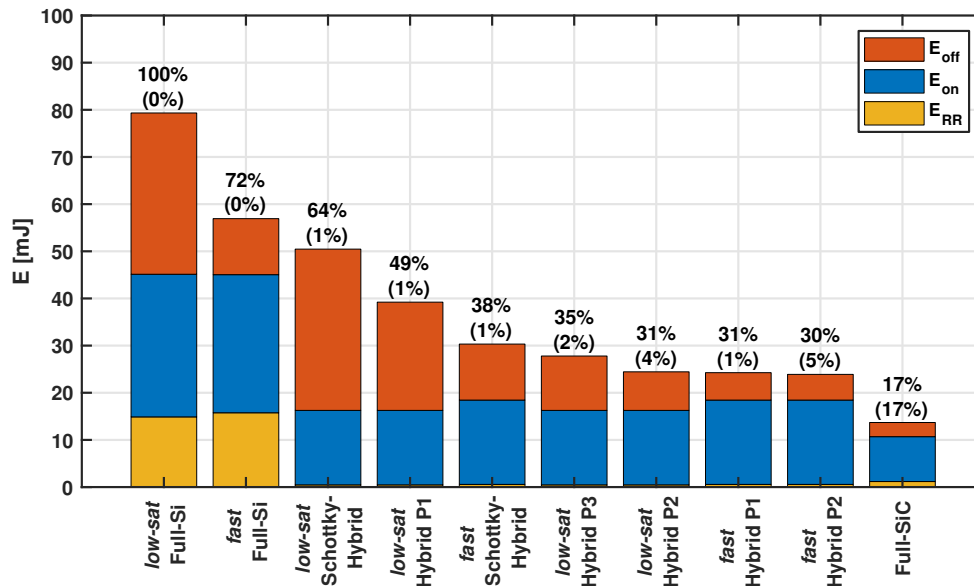


Abbildung 4.82: Schaltverluste aller Schaltertopologien unter Nennbedingungen, Prozentwerte bezogen auf den *low-sat* Full-Si Schalter, in Klammern: Schaltverluste nur im SiC-MOSFET

Die niedrigsten Schaltverluste mit *low-sat* Hybridschalter lassen sich mit Pulsmuster 2 erreichen (31%). Hier ist jedoch der SiC-MOSFET maßgeblich am harten Schalten beteiligt und erfährt auch einen Teil der Ausschaltverluste. In Summe unterscheiden sich die Schaltverluste zum *fast* Hybridschalter nur noch marginal.

Beim *fast* Hybridschalter wird deutlich, dass die Verwendung von Pulsmuster 2 nicht sinnvoll erscheint, da hier keine geringeren Schaltverluste erzielt werden, jedoch der SiC-MOSFET am harten Schalten beteiligt wird. Trotz dieser Beteiligung beim Ausschalten fällt im SiC-MOSFET nur ein geringer Teil der gesamten Schaltverluste an. Bei allen Hybridschaltern mit Pulsmuster 2 und 3 werden die Ausschaltverluste so weit reduziert, dass bei den Schaltverlusten die Einschaltverluste dominieren.

Die Hybridschalter mit SiC-MOSFETs erreichen alle deutlich reduzierte Schaltverluste mit Einsparungen bis zu 70%. Dennoch erreicht der SiC-MOSFET die geringsten Schaltverluste aller Schalter. Beim Einschalten erreicht er deutlich früher eine niedrige Durchlassspannung (siehe 4.6.6), beim Ausschalten erfährt er eine stärkere kapazitive Entlastung und ein höheres dI/dt ohne Tailstrom (siehe 4.3.8). Lediglich beim Reverse-Recovery ist die im Vergleich zum Hybridschalter doppelt so hohe Diodenfläche nachteilig.

In Abbildung 4.83 sind die Schaltverluste bei unterschiedlichen Lastströmen dargestellt. Insbesondere bei geringen Lastströmen befinden sich die Schaltverluste des Hybridschalters dicht an denen des Full-SiC Schalters. Hier profitiert der Hybridschalter beim Abschalten durch einen sehr geringen Anteil des Laststroms sowie durch halb so große Diodenfläche im Vergleich zum SiC-MOSFET. Auch der *low-sat* Hybridschalter P3 hat bei geringen

4 Durchlass- und Schaltverhalten des Si-SiC Hybridschalters

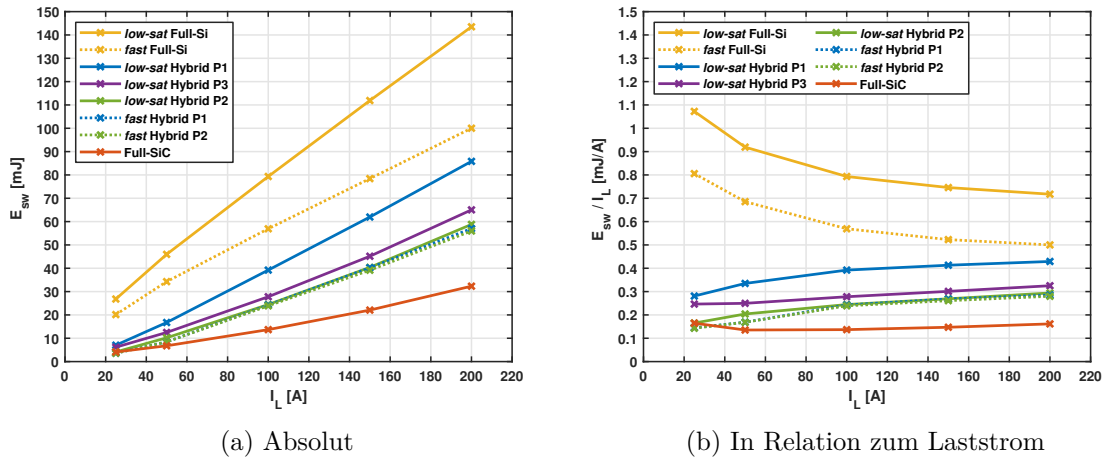


Abbildung 4.83: Schaltverluste aller vermessenen Schaltertopologien im Vergleich unter Nennbedingungen

Lastströmen eine geringe Beteiligung am Laststrom, beim Abschalten wird jedoch kurz vor der Spannungsflanke wieder überproportional viel Ladungsträgerplasma eingebracht. Trotz langer Verzögerungszeit liegen die Schaltverluste hier also eher dicht bei Pulsmuster 1 als bei Pulsmuster 2. Mit zunehmendem Laststrom und größerer Beteiligung am Durchlass entfernen sich die Kurven des Hybridschalters vom Full-SiC.

5 Leistungsdichte und Wirkungsgrad

In diesem Kapitel wird das Potenzial des Hybridschalters durch die Berechnung eines maximalen Ausgangsstroms und des Wirkungsgrads eines Moduls mit Hybridschalter ausgewertet und erneut mit den alternativen Schaltern Full-Si und Full-SiC verglichen. In Kapitel 4 wurden die Durchlass- und Schalteigenschaften des Hybridschalters erläutert und verglichen. Die verschiedenen Schalter erreichen unterschiedliche Durchlassspannungen und Schaltverluste. Die im skalierten Aufbau erzielten Ergebnisse werden rechnerisch auf die in 3.4 beschriebenen Module skaliert. Die Schaltervarianten unterscheiden sich als Modul neben ihren elektrischen Eigenschaften auch in ihren Chipflächen und daher auch in ihren thermischen Eigenschaften.

Für eine Bewertung wurde ein netzseitiger, dreiphasiger Spannungszwischenkreisumrichter mit leistungsstarker Wasserkühlung gewählt, wie er z.B. bei Windenergieanlagen zum Einsatz kommt.

Mit den vermessenen Ausgangskennlinien und Schaltverlusten der Halbleiter wird für ein Modul die mittlere Verlustleistung innerhalb einer Periode der Grundfrequenz (50 Hz) in Abhängigkeit des Laststroms berechnet. Mit thermischen Widerständen, abgeleitet aus Messdaten eines kommerziell erhältlichen Full-Si Moduls, wird berechnet, bei welchem Ausgangsstrom eine Sperrschichttemperatur von 125 °C erreicht wird.

5.1 Berechnung des maximalen Ausgangsstroms eines Moduls

Als Eingangsgrößen für die Berechnung der maximalen Ausgangsströme dienen vermessene Durchlasskennlinien, gemessene Schaltverluste und Chipflächen. Für die Berechnung wird vollständige Symmetrie beider Schalter eines Moduls angenommen. Totzeiten, Verzögerungszeiten und minimale Einschalt Dauern werden vernachlässigt.

Die Ausgangskennlinien wurden kontinuierlich vermessen (siehe Abbildung 4.1) und werden entsprechend des Skalierungsfaktors (Faktor 8 für den Hybridschalter) auf ein Modul skaliert.

Das thermische Verhalten eines Moduls ist von den verwendeten Chipflächen abhängig. Im Gegensatz zu einem hybriden Schalter aus diskreten Halbleitern existiert in einem Leistungsmodul eine thermische Kopplung zwischen den verwendeten Halbleitern. Diese Kopplung zwischen IGBT und MOSFET bzw. Diode wird bei der Berechnung der Sperrschichttemperatur durch die Verwendung einer Kopplungsmatrix berücksichtigt (Gleichung 5.1). Alle

thermischen Widerstände beziehen sich auf die jeweilige Sperrschichttemperatur T_j und die Kühlwassertemperatur T_a .

$$\begin{bmatrix} T_{j,\text{IGBT}} \\ T_{j,\text{MOSFET}} \end{bmatrix} = T_a + \begin{bmatrix} R_{\text{th,II}} & R_{\text{th,IM}} \\ R_{\text{th,MI}} & R_{\text{th,MM}} \end{bmatrix} \cdot \begin{bmatrix} \bar{P}_{\text{IGBT}} \\ \bar{P}_{\text{MOSFET}} \end{bmatrix} \quad (5.1)$$

Die thermischen Widerstände der Kopplungsmatrix wurden aus bekannten Kopplungsfaktoren und Chipflächen eines Full-Si Moduls des Typs FF1800XTR17T2P5 mit Wasserkühlung abgeleitet und anteilig mit den Chipflächen der untersuchten Halbleiter skaliert. Die Faktoren $R_{\text{th,II}}$, $R_{\text{th,MM}}$ werden durch eine anteilige Skalierung mit den verwendeten Chipflächen angepasst (Gleichungen 5.2 und 5.3). Die nur anteilige Skalierung der thermischen Widerstände soll berücksichtigen, dass durch unterschiedliche Chipflächen der thermische Widerstand zwischen Chip und Substrat beeinflusst wird, der restliche Modulaufbau, die thermische Anbindung an den Kühlkörper und der Kühlkörper selbst jedoch unverändert bleiben (siehe auch Abschnitt A.14 im Anhang). Die Kopplungsfaktoren $R_{\text{th,IM}}$, $R_{\text{th,MI}}$ werden nicht mit der Chipfläche skaliert. Die resultierenden thermischen Widerstände sind als Abschätzung zu verstehen. In einem Leistungsmodul bestehen Abhängigkeiten vom tatsächlichen Modullayout, dem Modulaufbau, dem verwendeten Kühlkörper sowie der thermischen Anbringung.

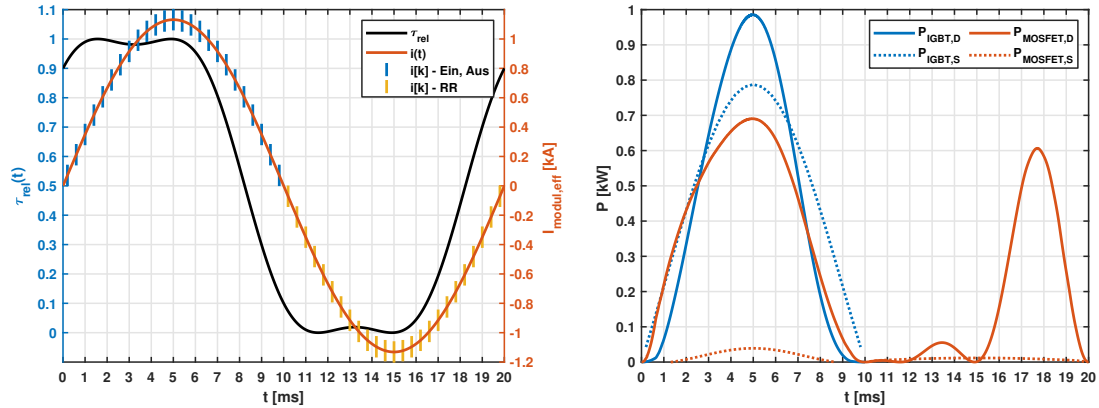
$$R_{\text{th,II}} = (R_{\text{th,II,FF1800}} - R_{\text{th,DI}}) \cdot \frac{A_{\text{IGBT,FF1800}}}{A_{\text{Si}}} + R_{\text{th,IM}} \quad (5.2)$$

$$R_{\text{th,MM}} = (R_{\text{th,DD,FF1800}} - R_{\text{th,DI}}) \cdot \frac{A_{\text{Diode,FF1800}}}{A_{\text{SiC}}} + R_{\text{th,MI}} \quad (5.3)$$

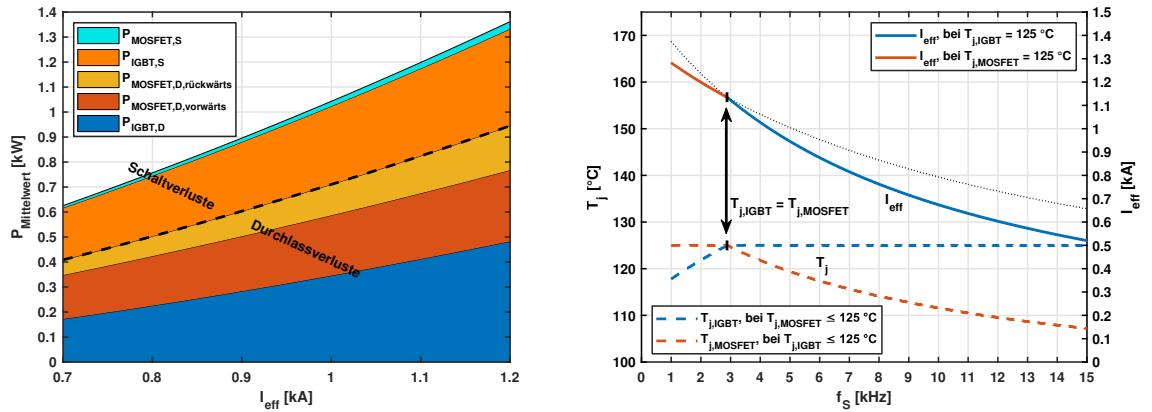
Die resultierenden thermischen Widerstände sind in Tabelle 5.1 aufgelistet. Die aufgelisteten Werte berücksichtigen, dass die Fläche des IGBTs im generischen Modul kleiner ist als im Referenzmodul. Weiterhin ist die Fläche des SiC-MOSFETs im Hybridschalter geringfügig größer als die Si-Diode im Full-Si ($R_{\text{th,MM}} < R_{\text{th,DD}}$). Die SiC-Fläche im Full-SiC Modul fällt größer aus als die Fläche des IGBTs im Hybridmodul ($R_{\text{th,MM}} < R_{\text{th,II}}$).

Tabelle 5.1: Widerstände der thermischen Kopplungsmatrix in K/kW

	$R_{\text{th,II}}$	$R_{\text{th,IM}} \mid R_{\text{th,ID}}$	$R_{\text{th,MI}} \mid R_{\text{th,DI}}$	$R_{\text{th,MM}} \mid R_{\text{th,DD}}$
Full-Si	64	33	36	87
Hybrid	64	33	36	85
Full-SiC	-	-	-	61



(a) Relative Einschaltdauer und Ströme für die Berechnung der Schaltverluste (b) Durchlass- und Schaltverluste im Verlauf einer Grundschwingung



(c) Verluste bei verschiedenen Ausgangsströmen eines Moduls (d) Maximaler Ausgangsstrom und Sperrschichttemperaturen

Abbildung 5.1: Berechnung des maximalen Ausgangsstroms eines Moduls mit *low-sat* Hybridschalter bei Verwendung von Pulsmuster 3, (Wechselrichter, Super-Sinus-Dreieck Modulation, $M = 2/\sqrt{3}$, $\cos \varphi = 0.85$, $T_a = 55^\circ\text{C}$, $I_{Modul,eff} = 800\text{ A}$ (a, b), $f_s = 2.5\text{ kHz}$ (a, b, c))

Abbildung 5.1a zeigt die relative Einschaltdauer und die Ströme für die Berechnung der Schaltverluste im zeitlichen Verlauf. Die Durchlassverluste (P_D) und Schaltverluste (P_S) im Verlauf einer Periode der Grundfrequenz, die sich für einen *low-sat* Hybridschalter mit Pulsmuster 3 ergeben, sind in Abbildung 5.1b dargestellt. Die mathematische Beschreibung befindet sich im Anhang in Abschnitt A.15. Durch den Wechselrichterbetrieb treten deutlich mehr Verluste während der positiven Halbwelle des Ausgangsstroms auf. Es wird von einem sinusförmigen, symmetrischen Ausgangsstrom ausgegangen, die Stromwelligkeit wird vernachlässigt. Für die Berechnung des maximalen Ausgangsstroms werden Durchlass- und Schaltverluste über eine Grundschwingungsperiode gemittelt, der Einfluss der Temperaturwelligkeit im Verlauf einer Grundschwingung wird nicht betrachtet.

Die mittlere Verlustleistung in Abhängigkeit des Ausgangsstroms ist in Abbildung 5.1c abgebildet. Bei einem Ausgangsstrom von $I_{\text{eff}} = 1 \text{ kA}$ und einer Schaltfrequenz von $f_S = 2.5 \text{ kHz}$ machen die Schaltverluste $1/3$ der gesamten Verluste aus, sie fallen nahezu vollständig im IGBT an. Die Durchlassverluste verteilen sich jedoch gleichermaßen auf IGBT und MOSFET. Auch wenn der IGBT bei hohen Strömen einen deutlichen Anteil an den Durchlassverlusten im Vorwärtsbetrieb hat, entstehen im MOSFET zusätzlich Verluste im Diodenbetrieb, trotz der Wahl eines Arbeitspunktes mit geringer Diodenleitdauer.

In Abbildung 5.1d ist der maximale Ausgangsstrom aufgetragen, der zu einer Sperrschichttemperatur von 125°C führt, separat für den IGBT und den MOSFET des Hybridschalters. Die Schaltverluste werden nahezu ausschließlich im IGBT umgesetzt. Ein Anstieg der Verluste mit zunehmender Schaltfrequenz führt zu einem Abfall der Kurve des IGBTs. Durch die thermische Kopplung sinkt auch der Kurvenverlauf des MOSFETs.

Der thermische Widerstand des MOSFETs ist aufgrund der geringeren Chipfläche größer als beim IGBT. Das führt trotz geteilter Durchlassverluste dazu, dass bei sehr geringen Frequenzen der MOSFET bereits bei geringerem Ausgangsstrom als der IGBT die gewählte Sperrschichttemperatur erreicht. Bei einer Schaltfrequenz von ca. 2.9 kHz erreichen beide Halbleiter bei einem Ausgangsstrom von 1.14 kA eine Sperrschichttemperatur von 125°C .

Abbildung 5.1d zeigt zusätzlich die Sperrschichttemperatur von IGBT und MOSFET, wenn der jeweils andere Halbleiter den Ausgangsstrom bereits limitiert. Bei einer Schaltfrequenz von 10 kHz erreicht der IGBT bei einem Ausgangsstrom von 0.67 kA die maximale Sperrschichttemperatur, während die errechnete Temperatur des MOSFETs bei 110°C liegt. Die der Berechnung zugrunde liegenden Verluste wurden bei $T_j = 125^\circ\text{C}$ ermittelt. Eine geringere Sperrschichttemperatur führt zu einem geringeren $R_{\text{DS,on}}$ im MOSFET, einer Verschiebung des Laststroms im Durchlass vom IGBT in den MOSFET und zu einer Senkung der Schaltverluste im IGBT. Bei großer Abweichung der Schaltfrequenz vom Arbeitspunkt gleicher Sperrschichttemperatur handelt es sich daher um eine konservative Abschätzung.

5.2 Maximaler Ausgangsstrom verschiedener Module

Mit dem in Abschnitt 5.1 beschriebenen Verfahren können die maximalen Ausgangsströme aller untersuchten Schalter berechnet werden (siehe Abbildung 5.2). Dabei zeigen sich je nach Schaltfrequenz deutliche Unterschiede. Gewählt ist ein Arbeitspunkt im Wechselrichterbetrieb mit maximaler Aussteuerung und einem Leistungsfaktor $\cos \varphi = 0.85$.

Die Full-Si Schalter erreichen die niedrigsten Modulströme, lediglich der *low-sat* Full-Si Schalter schneidet bei niedrigen Schaltfrequenzen besser ab als die *fast* Hybridschalter. Ihr Ausgangsstrom ist in dem gewählten Arbeitspunkt durch die Sperrschichttemperatur der IGBTs limitiert. Der *fast* Full-Si Schalter erreicht bei hohen Schaltfrequenzen nur

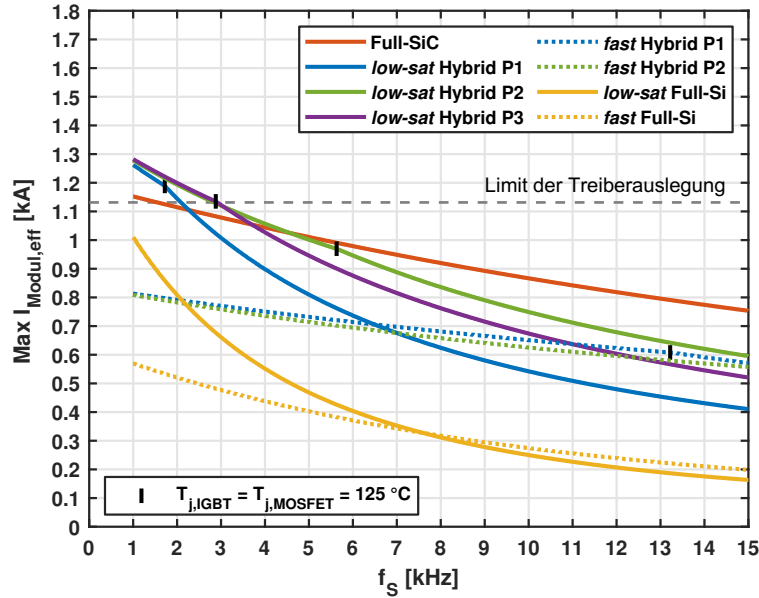


Abbildung 5.2: Maximaler Ausgangsstrom eines Moduls (Wechselrichter, Super-Sinus-Dreieck Modulation, $M = 2/\sqrt{3}$, $\cos \varphi = 0.85$, $T_a = 55 \text{ }^\circ\text{C}$)

einen geringfügig höheren Ausgangsstrom als der *low-sat* Full-Si. Im Vergleich zum *low-sat* Full-Si wurden durch die Kombination mit der gleichen Si-Diode nur die Ausschaltverluste reduziert. Der Schalter weist bei hohen Durchlassverlusten des IGBTs weiterhin eine hohe Abhängigkeit von der Schaltfrequenz auf.

Die höchsten Ausgangsströme werden bei hohen Schaltfrequenzen durch den Full-SiC Schalter erreicht, jedoch wird dieser bei Frequenzen ≤ 4.5 kHz durch den *low-sat* Hybridschalter übertroffen.

Beim *fast* Hybridschalter zeigt sich hier erneut, dass die Verwendung von Pulsmuster 2 für den *fast* Hybrid nicht lohnenswert erscheint. Auch mit Pulsmuster 1 liegt der *fast* Hybrid bei Schaltfrequenzen ≤ 11 kHz unter dem Ausgangsstrom des *low-sat* Hybrids P2 und dauerhaft unter dem *low-sat* Hybrid P1. Eine Verwendung des *fast* Hybrid P1 ist daher nur bei sehr hohen Schaltfrequenzen attraktiv, wenn ein *low-sat* Hybrid P2 z.B. aufgrund von Inter-Chip Oszillationen nicht in Betracht gezogen wird.

Weiterhin sind beim Hybridschalter die Punkte gleicher Sperrschichttemperatur von IGBT und MOSFET markiert. Bei geringen Schaltfrequenzen begrenzt der SiC-MOSFET, bei hohen ist der Ausgangsstrom durch den IGBT limitiert. Beim *fast* Hybridschalter begrenzt über einen weiten Frequenzbereich der SiC-MOSFET den Ausgangsstrom. Bei diesem Schalter übernimmt der MOSFET im Durchlass einen deutlich größeren Anteil am Laststrom als beim *low-sat* Hybrid.

Beim *low-sat* Hybrid unterscheiden sich je nach verwendetem Schaltmuster für das Abschalten die Punkte gleicher Temperatur. Ausgehend von Pulsmuster 1 verschiebt sich zu Pulsmuster 2 dieser Punkt zu höheren Frequenzen. Die gesamten Schaltverluste werden reduziert, jedoch fallen auch Schaltverluste im MOSFET an, sodass der SiC-MOSFET bei geringen Schaltfrequenzen limitiert. Von Pulsmuster 2 zu 3 steigen die Schaltverluste in Summe zwar an, jedoch werden sie auf den IGBT verschoben. Bei Schaltfrequenzen ≤ 2.9 kHz liegt durch die Reduktion der Verluste im MOSFET der Ausgangsstrom minimal höher als bei Pulsmuster 2, bei größeren Frequenzen erreicht jedoch der IGBT durch den Anstieg der Schaltverluste bereits bei geringeren Ausgangsströmen als bei Pulsmuster 3 die maximal erlaubte Sperrschichttemperatur.

Der *low-sat* Hybridschalter erreicht mit Pulsmuster 2 und 3 bei einer Schaltfrequenz von 2.5 kHz mit $I_{\text{Modul,eff}} = 1.16$ kA einen um 60 % höheren Ausgangsstrom als der *low-sat* Full-Si Schalter ($I_{\text{Modul,eff}} = 0.73$ kA) und damit auch 6 % mehr Ausgangsstrom als der Full-SiC Schalter ($I_{\text{Modul,eff}} = 1.1$ kA). Der *low-sat* Hybrid P1 erreicht mit $I_{\text{Modul,eff}} = 1.07$ kA einen 47 % höheren Ausgangsstrom als der Full-Si Schalter und liegt 2 % unter dem Full-SiC.

Weiterhin ist in Abbildung 5.2 das Limit der Treiberauslegung eingezeichnet. Die Treiberauslegung erfolgte für einen Maximalstrom, der einem Momentanwert des Laststroms im Modul von 1.6 kA entspricht (siehe Kapitel 3.4). Bei einer Super-Sinus Modulation müssen alle Werte des Ausgangsstroms geschaltet werden können. Mit dem Maximalstrom der Treiberauslegung als Spitzenwert eines sinusförmigen Ausgangsstroms ergibt sich ein Effektivwert von 1.13 kA als Limit der Treiberauslegung. Bei Schaltfrequenzen von $f_S < 2.9$ kHz überschreitet der maximale Ausgangsstrom vom Hybridschalter mit Pulsmuster 2 oder 3 bereits dieses Limit. Eine Diskussion des Überschreitens dieses Limits folgt in Kapitel 5.9.

5.3 Wirkung des Schaltsignalversatzes auf den maximalen Ausgangsstrom

In Kapitel 4 (4.4.6, 4.5.6) wurde dargelegt, dass sowohl beim Abschalten mit Pulsmuster 2 als auch mit Pulsmuster 3 durch den Schaltsignalversatz t_V die Ausschaltverluste beeinflusst werden. Gleichermaßen entscheidet der Schaltsignalversatz, wie sich die Abschaltverluste auf IGBT und MOSFET verteilen. Daher wirkt sich der Schaltsignalversatz auch auf den maximal möglichen Ausgangsstrom aus und darauf, welcher Halbleiter zuerst die maximal erlaubte Sperrschichttemperatur erreicht.

In Abbildung 5.3 ist für die unterschiedlichen Pulsmuster beim Abschalten für den *low-sat* Hybrid der maximale Ausgangsstrom abgebildet, sowohl für $f_S = 2.5$ kHz als auch für $f_S = 10$ kHz. Ebenfalls wird angezeigt, welcher Halbleiter durch Erreichen einer Sperrschichttemperatur von 125 °C den Ausgangsstrom limitiert. Bei einer Schaltfrequenz von

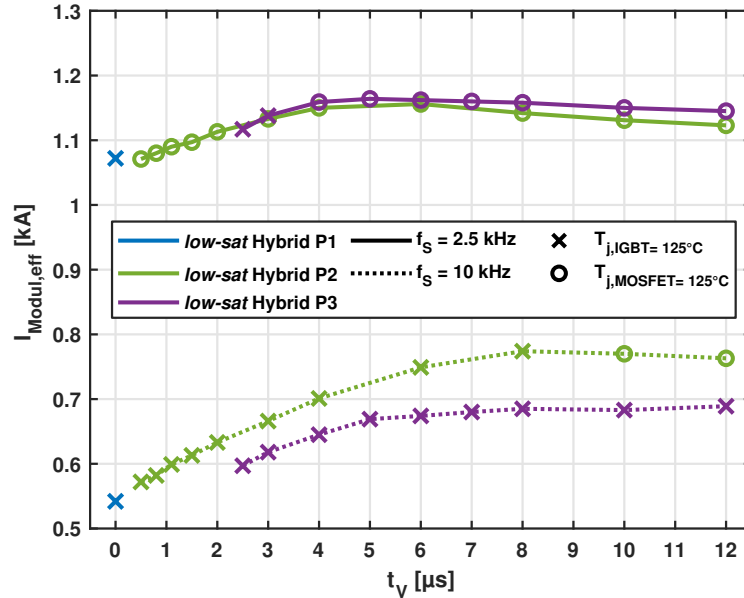


Abbildung 5.3: Wirkung des Schaltsignalversatzes t_V auf den maximalen Ausgangsstrom des Hybridschalters (Wechselrichter, Super-Sinus-Dreieck Modulation, $M = 2/\sqrt{3}$, $\cos \varphi = 0.85$, $T_a = 55^\circ\text{C}$)

$f_S = 2.5 \text{ kHz}$ limitiert beim *low-sat* Hybrid P2 bei allen Werten für t_V der SiC-MOSFET. Wird Pulsmuster 3 verwendet, liegen die Schaltverluste zwar höher, werden aber im IGBT umgesetzt. Bei diesem Pulsmuster limitiert bei geringen Werten für t_V der IGBT. Ab einem Versatz von $t_V \geq 4 \mu\text{s}$ begrenzt jedoch der SiC-MOSFET, der Ausgangsstrom kann gesteigert werden. Das Maximum liegt sowohl für Pulsmuster 2 als auch Pulsmuster 3 im Bereich von 4 bis $6 \mu\text{s}$. In diesem Bereich wird gerade die maximal zulässige Flankensteilheit erreicht (siehe Kapitel 4.4.3).

Bei $f_S = 10 \text{ kHz}$ limitiert auch bei Erreichen der maximalen Flankensteilheit der IGBT, das Maximum verschiebt sich zu höheren Werten für t_V , bei denen der Schalter von einer Verschiebung der Verluste vom IGBT auf den MOSFET profitiert. Bei der Wahl des optimalen Schaltsignalversatzes ist folglich auch die Schaltfrequenz zu berücksichtigen. Um den *low-sat* Hybrid mit anderen Schaltern zu vergleichen, wurde für Pulsmuster 2 und 3 ein Schaltsignalversatz von $t_V = 6 \mu\text{s}$ ausgewählt.

5.4 Auswahl eines IGBTs für den Hybridschalter

In Kapitel 4.7 wurde gezeigt, dass der *low-sat* Hybrid die gleichen niedrigen Schaltverluste wie der *fast* Hybrid erreichen kann, wenn zum Abschalten das Pulsmuster 2 verwendet wird. Aus diesem Ergebnis wird abgeleitet, dass bei der vorgegebenen Flankensteilheit unabhängig von der Auslegung des IGBTs die Schaltverluste auf dieses Niveau reduziert werden können.

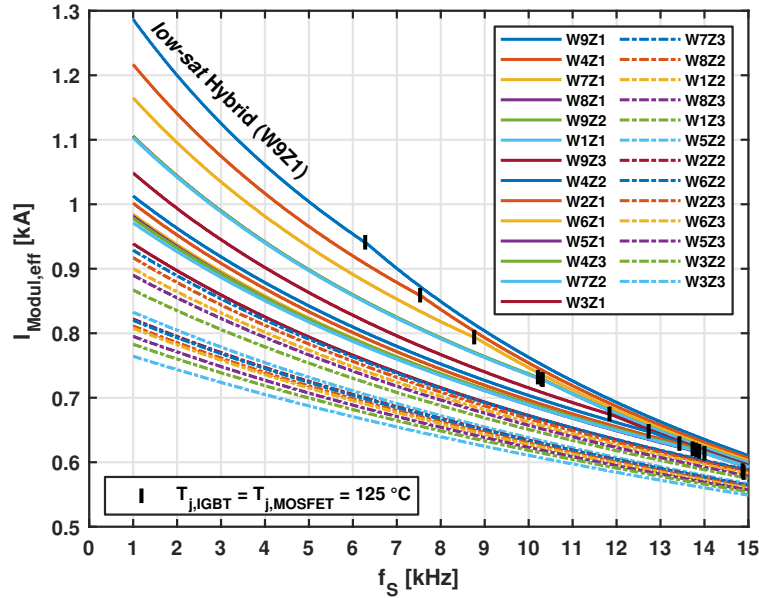


Abbildung 5.4: Abschätzung des maximalen Ausgangsstroms eines generischen Hybridmoduls mit unterschiedlichen Si-IGBTs (Wechselrichter, Super-Sinus-Dreieck Modulation, $M = 2/\sqrt{3}$, $\cos \varphi = 0.85$, $T_a = 55 \text{ }^\circ\text{C}$)

Auf Basis dieser Annahme kann für alle in Kapitel 3.2 aufgelisteten IGBTs der maximale Modulstrom berechnet werden (siehe Abbildung 5.4). Hierfür wurde der Mittelwert der Schaltverluste vom *low-sat* Hybrid P2 und *fast* Hybrid P2 verwendet und mit den Ausgangskennlinien jedes IGBTs kombiniert.

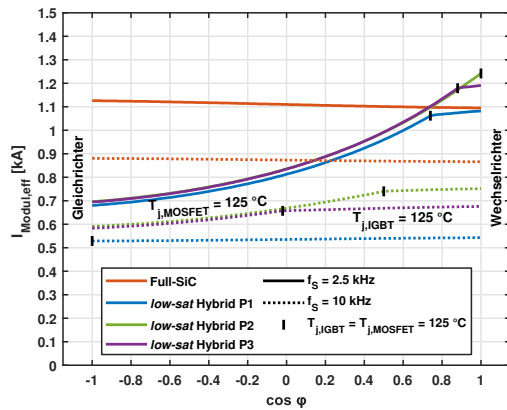
Die hier berechneten Hybridschalter weisen die gleichen mittleren Schaltverluste von Pulsmuster 2 auf. Sie unterscheiden sich in ihren Durchlassverlusten und der Verteilung der Durchlassverluste auf IGBT und MOSFET aufgrund unterschiedlicher Ausgangskennlinien.

Der höchste Modulstrom wird mit dem *low-sat* IGBT W9Z1 erreicht. Bei der Verwendung von IGBTs mit höherer Durchlassspannung übernimmt der SiC-MOSFET einen höheren Anteil des Laststroms im Durchlass. Der Punkt gleicher Sperrschichttemperatur wandert zu höheren Schaltfrequenzen. Trotzdem werden auch bei Schaltfrequenzen, in denen der IGBT bereits limitiert ($f_s \geq 6.2 \text{ kHz}$), die höchsten Ausgangsströme durch den *low-sat* Hybrid mit IGBT W9Z1 erreicht.

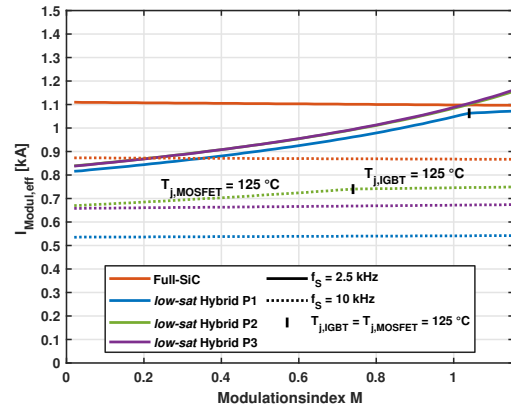
IGBTs mit höherer Durchlassspannung als der IGBT W9Z1 haben zwar einen geringeren Anteil an den Durchlassverlusten des Hybridschalters, jedoch führt deren Verwendung zu einem geringeren Wirkungsgrad des Schalters. Die Verschiebung des Laststroms von IGBT zu MOSFET kompensiert nicht die insgesamt höheren Durchlassverluste.

5.5 Vorteilhafte Arbeitspunkte für den Hybridschalter

Der in dieser Arbeit vorgestellte Hybridschalter verwendet keine dedizierte Diode. Dies wirkt sich vorteilhaft auf seine Ausgangscharakteristik im Wechselrichterbetrieb aus, da die gesamte Chipfläche am Durchlass beteiligt ist. Die Rückwärtsleitfähigkeit wird durch den SiC-MOSFET bereitgestellt, der nur ungefähr ein Drittel der verwendeten Chipfläche ausmacht. Hierdurch ist der Hybridschalter vor allem für die Verwendung als Wechselrichter geeignet bzw. generell für einen Betrieb mit wenig Diodenleitdauer.

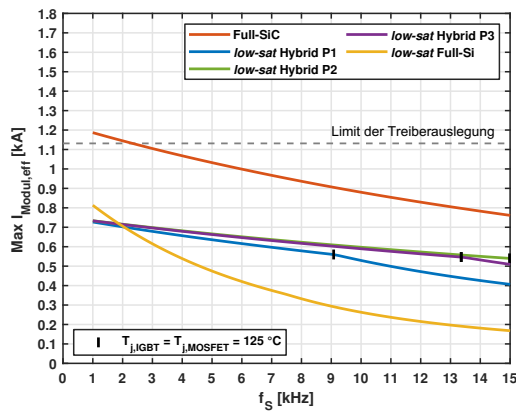


(a) $M = 2/\sqrt{3}$, $\cos \varphi \in [-1, 1]$

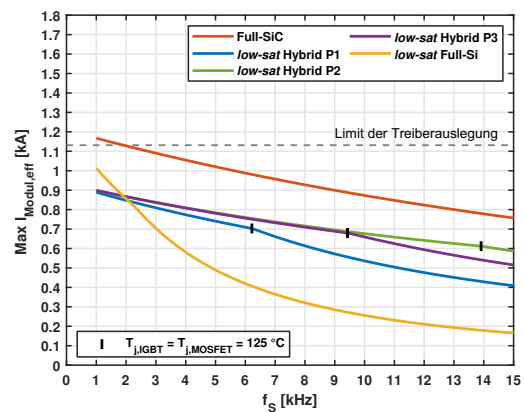


(b) Wechselrichter, $M \in [0, 2/\sqrt{3}]$, $\cos \varphi = 0.85$

Abbildung 5.5: Maximaler Ausgangsstrom bei Variation der Diodenleitdauer durch (a) Leistungsfaktor $\cos \varphi$, (b) Modulationsindex M (Super-Sinus-Dreieck Modulation, $T_a = 55^\circ\text{C}$)



(a) Gleichrichter, $M = 2/\sqrt{3}$, $\cos \varphi = -0.85$



(b) Wechselrichter, $M = 0.1$, $\cos \varphi = 0.85$

Abbildung 5.6: Maximaler Ausgangsstrom in Abhängigkeit der Schaltfrequenz bei hoher Diodenleitdauer durch (a) Gleichrichterbetrieb, (b) geringem Modulationsindex M (Super-Sinus-Dreieck Modulation, $T_a = 55^\circ\text{C}$)

In Abbildung 5.5a ist der maximale Ausgangsstrom eines Moduls in Abhängigkeit vom Leistungsfaktor $\cos \varphi$ dargestellt, in Abbildung 5.5b in Abhängigkeit vom Modulationsindex M .

Eine hohe Diodenleitdauer bei einem geringen $\cos \varphi$ oder geringem Modulationsindex hat auf ein Full-SiC Modul nur geringe Auswirkungen. Die Durchlassverluste verringern sich beim SiC-MOSFET in Rückwärtsrichtung geringfügig aufgrund eines leicht reduzierten $R_{DS,on}$ bei hohen Strömen (siehe Kapitel 4.2). Bei $I_{Modul,eff} = 1 \text{ kA}$ und $\cos \varphi = -1$ betragen die Durchlassverluste ungefähr 94 % der Durchlassverluste im Vergleich zu $\cos \varphi = 1$. Der maximale Ausgangsstrom fällt dementsprechend bei Gleichrichterbetrieb mit $\cos \varphi = -1$ um 3 % höher aus als bei Wechselrichterbetrieb mit $\cos \varphi = 1$.

Im Hybridmodul ist im Diodenbetrieb die Stromdichte in der SiC-Chipfläche doppelt so hoch wie im Full-SiC. Es fallen höhere Durchlassverluste in einer geringeren SiC-Chipfläche an. Bei geringem Leistungsfaktor oder im Gleichrichterbetrieb erreicht im Hybridschalter der SiC-MOSFET daher deutlich vor dem IGBT die maximal zulässige Sperrschichttemperatur und limitiert den Modulstrom. So erreicht der *low-sat* Hybrid im Gleichrichterbetrieb bei einem Leistungsfaktor von $\cos \varphi = -1$ nur ungefähr 60 % des Ausgangsstroms eines Full-SiC Moduls. Ein *low-sat* Full-Si Modul liegt jedoch mit 55 % weiterhin niedriger als der Hybridschalter. Abbildung 5.6 zeigt, wie bei hoher Diodenleitdauer und bei geringer Schaltfrequenz der maximale Ausgangsstrom dicht an dem eines Full-Si Moduls liegt. Bei einer hohen Schaltfrequenz werden mit dem Hybridschalter dennoch bis zu Faktor 3 höhere Ausgangsströme als mit einem Full-Si Modul erreicht. Die Schaltfrequenz, bei der Si-IGBT und SiC-MOSFET mit maximalem Ausgangsstrom gleiche Sperrschichttemperatur erreichen, verschiebt sich bei hoher Diodenleitdauer zu höheren Werten.

Im Wechselrichterbetrieb profitiert der Hybridschalter von der Ausgangskennlinie des *low-sat* IGBTs sowie von der Beteiligung der ganzen Chipfläche am Durchlass. In Arbeitspunkten, bei denen der SiC-MOSFET in seiner Betriebstemperatur eine Reserve vorweist und der IGBT limitiert, ist eine geringe Sensitivität des Ausgangsstroms gegenüber dem Leistungsfaktor zu erkennen. Limitiert der IGBT, hat das Pulsmuster 2 einen Vorteil gegenüber dem Pulsmuster 3.

Der Vorteil der bipolaren Ausgangskennlinie des IGBTs kommt beim Hybrid insbesondere bei hohen Ausgangsströmen zum Tragen. So ermöglicht eine Absenkung der Kühlwassertemperatur dem Hybridschalter seine maximale Ausgangsleistung stärker zu steigern als ein Full-SiC Modul (siehe Abbildung A.28 im Anhang).

Es ergeben sich gegenüber einem Full-SiC Schalter vorteilhafte Betriebspunkte für den Hybridschalter bei hohem Leistungsfaktor im Wechselrichterbetrieb, hohem Modulationsindex und hoher Kühlleistung.

5.6 Variation der thermischen Widerstände und thermischen Kopplung

Die berechneten hybriden Module unterscheiden sich vom Full-SiC Modul in der Summe der verwendeten Chipflächen. Das Full-SiC Modul verwendet ungefähr nur zwei Drittel der Chipfläche eines hybriden Moduls (siehe Kapitel 3.4). Durch die größere Chipfläche kann das hybride Modul eine größere Verlustleistung abführen. Wie stark sich dieser Vorteil auf den maximalen Ausgangsstrom auswirkt, ist davon abhängig, wie stark der gesamte thermische Widerstand allein von der Chipfläche beeinflusst wird und wie stark IGBT und MOSFET thermisch miteinander gekoppelt sind.

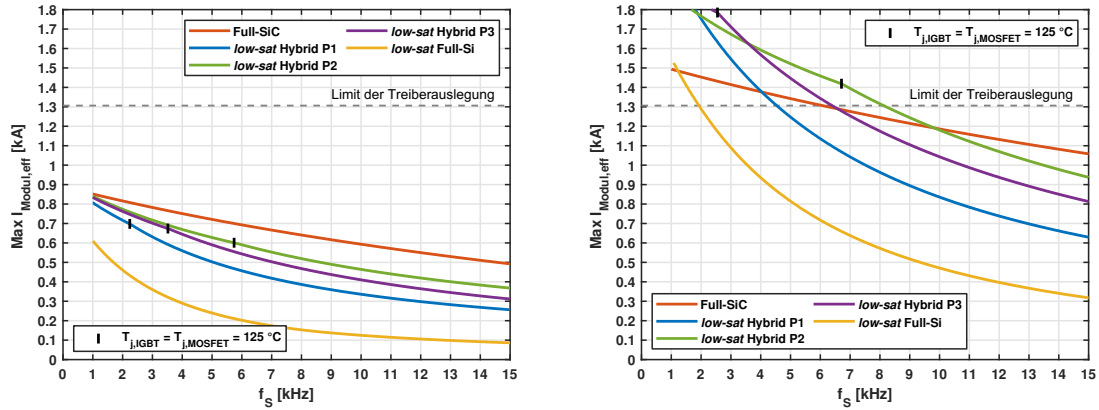
Zur Untersuchung der thermischen Kopplung wurde bei der Berechnung des maximalen Ausgangsstroms zusätzlich ein serieller thermischer Widerstand $R_{th,S}$ eingeführt, durch den die gesamte Verlustleistung des Moduls fließt (siehe Gleichungen 5.4 und 5.5). Bei diesem Widerstand handelt es sich um eine mathematische Variation der thermischen Kopplungsmatrix, um die Auswirkung auf den maximalen Ausgangsstrom der unterschiedlichen Module abzuschätzen.

Ein hoher Widerstand $R_{th,S}$ verringert die maximal mögliche Verlustleistung des Moduls und erhöht die thermische Kopplung zwischen IGBT und MOSFET. Er spiegelt die Eigenschaften z.B. einer schlechten thermischen Anbindung zwischen Modul und Kühlkörper bzw. der Verwendung eines luftgekühlten Umrichters wider. Wird dagegen ein negativer Wert für $R_{th,S}$ verwendet, reduziert sich der gesamte thermische Widerstand und es verringert sich die thermische Kopplung. Es werden die Eigenschaften von z.B. einer direkten Wasserkühlung nachgebildet.

$$\begin{bmatrix} T_{j,IGBT} \\ T_{j,MOSFET} \end{bmatrix} = T_a + \begin{bmatrix} R_{th, II} & R_{th, IM} \\ R_{th, MI} & R_{th, MM} \end{bmatrix} \cdot \begin{bmatrix} \bar{P}_{IGBT} \\ \bar{P}_{MOSFET} \end{bmatrix} + R_{th,S} \cdot (\bar{P}_{IGBT} + \bar{P}_{MOSFET}) \quad (5.4)$$

$$= T_a + \begin{bmatrix} R_{th, II} + R_{th,S} & R_{th, IM} + R_{th,S} \\ R_{th, MI} + R_{th,S} & R_{th, MM} + R_{th,S} \end{bmatrix} \cdot \begin{bmatrix} \bar{P}_{IGBT} \\ \bar{P}_{MOSFET} \end{bmatrix} \quad (5.5)$$

Der maximale Ausgangsstrom bei hoher Kopplung ($R_{th,S} = 50 \text{ K/kW}$) und niedriger Kopplung ($R_{th,S} = -25 \text{ K/kW}$) ist in Abbildung 5.7 dargestellt. Die sich bei diesen Werten für den Hybridschalter ergebenden Widerstände der thermischen Kopplungsmatrix sind in Tabelle 5.2 aufgelistet. Bei hohem thermischen Widerstand und hoher thermischer Kopplung reduziert sich der Vorteil einer großen Chipfläche. In Abbildung 5.7a reduziert


 (a) Hohe Kopplung mit $R_{th,S} = 50 \text{ K/kW}$

 (b) Geringe Kopplung mit $R_{th,S} = -25 \text{ K/kW}$

 Abbildung 5.7: Maximaler Ausgangsstrom bei hohem bzw. geringem seriellen, thermischen Widerstand $R_{th,S}$ (Wechselrichter, Super-Sinus-Dreieck Modulation, $M = 2/\sqrt{3}$, $\cos \varphi = 0.85$, $T_a = 55 \text{ }^\circ\text{C}$)

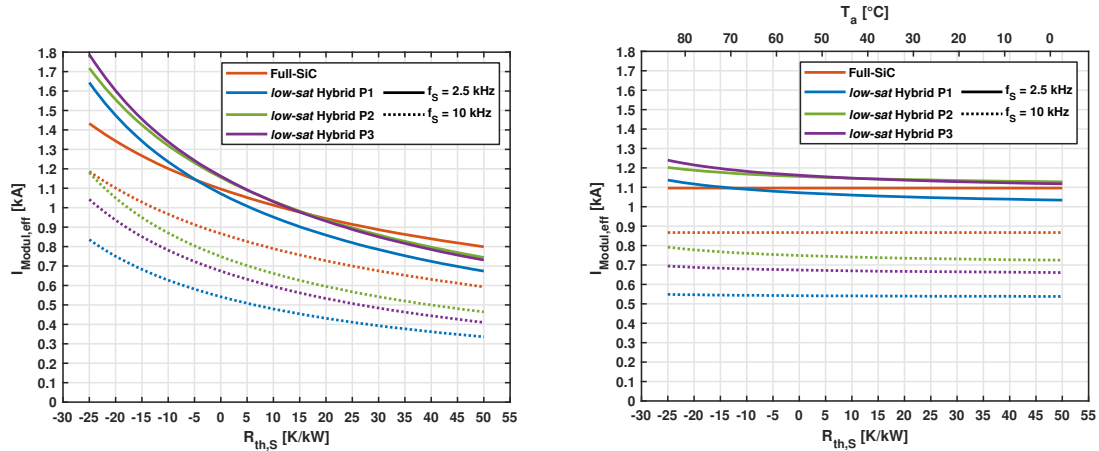
sich bei allen Modulen der maximale Ausgangsstrom. Die Kurvenläufe der Hybridschalter liegen bei allen Schaltfrequenzen unterhalb des Full-SiC, aber dennoch deutlich höher im Vergleich zum Full-Si Modul.

Tabelle 5.2: In Abbildung 5.7 für den Hybridschalter verwendete thermische Widerstände in K/kW

	$R_{th,II} + R_{th,S}$	$R_{th,IM} + R_{th,S}$	$R_{th,MI} + R_{th,S}$	$R_{th,MM} + R_{th,S}$
$R_{th,S} = 50 \text{ K/kW}$	114	83	86	135
$R_{th,S} = -25 \text{ K/kW}$	39	8	11	60

Bei einem geringen thermischen Widerstand und einer geringeren Kopplung wirkt sich die unterschiedliche Chipfläche deutlich aus. In Abbildung 5.7b erreichen die Hybridschalter bei niedrigen Frequenzen deutlich mehr Ausgangsstrom als der Full-SiC Schalter. Schnittpunkte der Kurvenverläufe von Hybridschalter und Full-SiC verschieben sich im Vergleich zu einem $R_{th,S} = 0$ (Abbildung 5.2) zu höheren Werten. Die Schaltfrequenz gleicher Sperrschichttemperatur nimmt von Abbildung 5.7a zu Abbildung 5.7b beim *low-sat* Hybrid P2 um ca. 1 kHz zu, während sie sich beim *low-sat* Hybrid P3, in dem weniger Verluste im MOSFET anfallen, um ca. 1 kHz reduziert.

In Abbildung 5.8a ist der maximale Ausgangsstrom bei einer konstanten Schaltfrequenz und einer Variation des thermischen Widerstands $R_{th,S}$ dargestellt. Bei negativen Werten von $R_{th,S}$ ist zu sehen, wie der maximale Ausgangsstrom stark ansteigt. Bei $f_s = 2.5 \text{ kHz}$ übersteigt der Ausgangsstrom der Hybridschalter den Ausgangsstrom des SiC-MOSFET, während er bei $f_s = 10 \text{ kHz}$ für alle Werte von $R_{th,S}$ darunter liegt.


 (a) Konstante Temperatur $T_a = 55\text{ °C}$

 (b) Konstante Verlustleistung des Full-SiC durch angepasste Temperatur T_a

Abbildung 5.8: Maximaler Ausgangsstrom in Abhängigkeit des seriellen thermischen Widerstands $R_{th,S}$ (Wechselrichter, Super-Sinus-Dreieck Modulation, $M = 2/\sqrt{3}$, $\cos \varphi = 0.85$, $T_a = 55\text{ °C}$)

Bei hoher Kühlleistung steigert sich der maximale Ausgangsstrom des Hybridschalters stärker als im Full-SiC. Durch den sich stark ändernden Maximalstrom ist in Abbildung 5.8a die Auswirkung der thermischen Kopplung mit einer starken Änderung des maximalen Ausgangsstroms überlagert. Eine isoliertere Betrachtung der thermischen Kopplung ist möglich, wenn gemeinsam mit dem thermischen Widerstand $R_{th,S}$ die Temperatur T_a angepasst wird. In Abbildung 5.8b wurde die Temperatur T_a so angepasst, dass im Full-SiC ein konstanter Ausgangsstrom für alle Werte von $R_{th,S}$ erreicht wird.

Es ist vor allem bei $f_s = 2.5\text{ kHz}$ zu erkennen, dass bei einem zunehmenden Wert von $R_{th,S}$ der Ausgangsstrom aller Hybridschalter absinkt. Mit einem zunehmenden thermischen Gesamtwiderstand verringert sich der Vorteil einer größeren Chipfläche. Bei $R_{th,S} = -25\text{ K/kW}$ und einer Schaltfrequenz von 2.5 kHz liegt der maximale Ausgangsstrom des *low-sat* Hybrid P3 trotz höherer Gesamtverluste über dem des *low-sat* Hybrid P2. In beiden Hybridschaltern begrenzt der SiC-MOSFET den maximalen Ausgangsstrom. Bei geringer thermischer Kopplung macht sich bemerkbar, dass im *low-sat* Hybrid P3 die Verluste im SiC-MOSFET des Hybridschalters geringer ausfallen. Bei einer höheren thermischen Kopplung ist es weniger signifikant, in welchem Halbleiter die Verluste anfallen, sodass sich die Kurvenverläufe angleichen. Bei einer Schaltfrequenz von 10 kHz limitiert im Hybridschalter der IGBT den maximalen Ausgangsstrom. Der *low-sat* Hybrid P2 profitiert bei einer geringen thermischen Kopplung davon, dass in seinem IGBT geringere Verluste anfallen als im IGBT des *low-sat* Hybrid P3.

Der Hybridschalter kann insbesondere bei einer leistungsstarken Kühlung von seiner größeren Chipfläche profitieren. Die Verteilung der Verluste auf IGBT und MOSFET wirkt sich bei geringer thermischer Kopplung stärker aus als bei hoher thermischer Kopplung.

5.7 Vorteilhaftes Modulationsverfahren

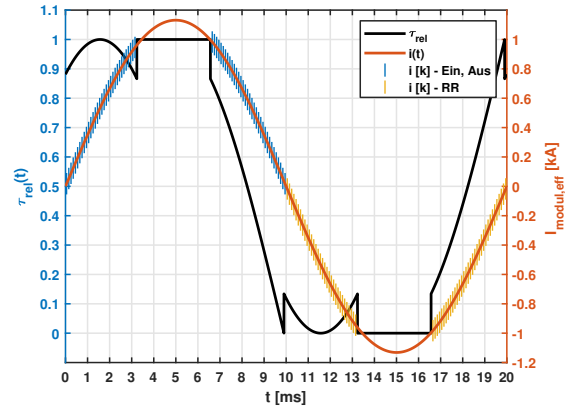
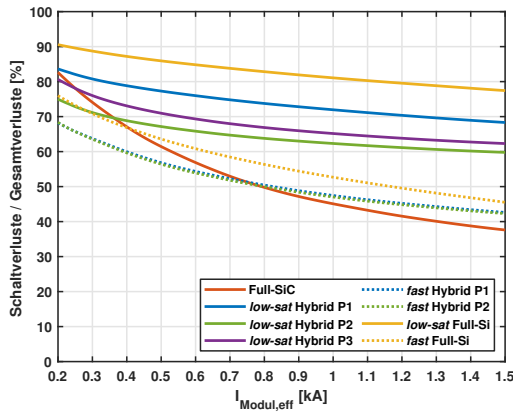
Bei einem Hybridmodul haben die Schaltverluste einen höheren Anteil an den Gesamtverlusten als bei einem Full-SiC Modul. Eine Reduktion der Schaltvorgänge durch eine diskontinuierliche Pulsweitenmodulation ist daher insbesondere für den Hybridschalter attraktiv.

In Abbildung 5.9a ist für eine Schaltfrequenz von $f_S = 10 \text{ kHz}$ und Super-Sinus Modulation der Anteil der Schaltverluste für verschiedene Modultypen dargestellt. Bei einem Laststrom von $I_{\text{Modul,eff}} = 1 \text{ kA}$ machen bei einem Full-SiC Modul die Schaltverluste 45 % der Gesamtverluste aus, während sie beim *low-sat* Hybridschalter je nach verwendetem Pulsmuster zwischen 62 % und 72 % liegen.

In Abbildung 5.9b ist die relative Einschaltdauer bei der Verwendung einer Flattop Modulation dargestellt. Bei dieser Form der Raumzeigermodulation wird der Schaltzustand einer Phase für einen Bereich des Phasenwinkels von 60° konstant gehalten. Dieser Bereich wird vorzugsweise auf das Maximum des sinusförmigen Ausgangsstroms gelegt, sodass bei hohem Laststrom im Modul keine Schaltvorgänge durchgeführt werden. Die hier dargestellte Modulation entspricht einer nach rechts verschobenen Flattop Raumzeigermodulation aus [135]. Bei dieser Modulation wird wie bei der Super-Sinus-Dreieck Modulation bei einem Modulationsindex $M \leq 2/\sqrt{3}$ eine sinusförmige verkettete Spannung erzeugt. Nachteil einer Flattop Modulation ist ein höherer Oberschwingungsgehalt [136].

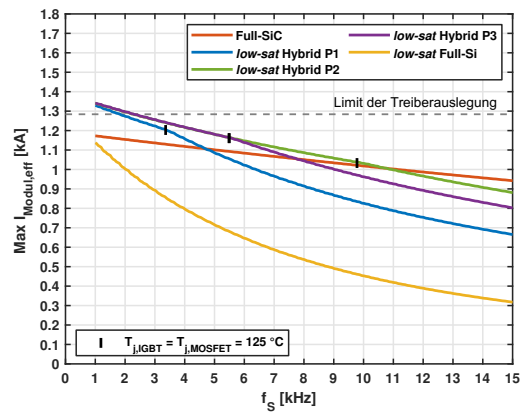
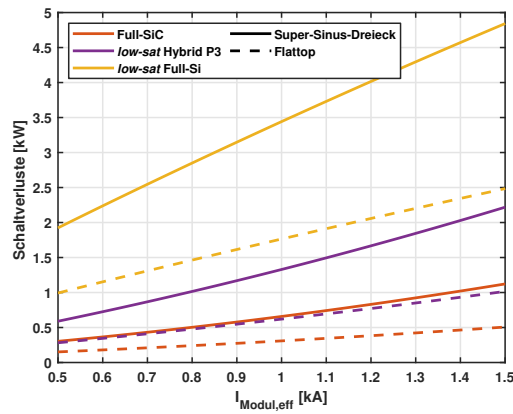
Bei allen Modulvarianten können durch die Anwendung der Flattop Modulation die Schaltverluste reduziert werden. In Abbildung 5.9c ist zu erkennen, dass sich die Schaltverluste stark reduzieren. Bei einem Modulstrom von $I_{\text{Modul,eff}} = 1 \text{ kA}$ reduzieren sich die Schaltverluste von Full-SiC Schalter und *low-sat* Hybridschalter mit Pulsmuster 3 auf jeweils 47 % der Schaltverluste im Vergleich zur Super-Sinus-Dreieck Modulation. Es ist zu erkennen, dass die absolute Reduktion der Verluste beim Hybridschalter jedoch größer ausfällt als beim Full-SiC Schalter.

In Abbildung 5.9d ist der maximale Ausgangsstrom eines Moduls bei der Verwendung von Flattop Modulation abgebildet. Bei allen Schaltern kann der maximale Ausgangsstrom im Vergleich zur Super-Sinus-Dreieck Modulation gesteigert werden. Durch die Reduktion der Schaltverluste fallen Durchlassverluste stärker ins Gewicht. Bei Verwendung der Flattop Modulation kann der Ausgangsstrom daher beim Hybridschalter stärker erhöht werden als beim Full-SiC. Der Schnittpunkt mit *low-sat* Hybrid P2 verschiebt sich von $f_S = 5 \text{ kHz}$ auf $f_S = 10 \text{ kHz}$. Der *low-sat* Hybridschalter erreicht nun in einem größeren Frequenzbereich



(a) Anteil der Schaltverluste bei Super-Sinus-Dreieck Modulation

(b) Relative Einschaltdauer und Ströme für die Berechnung der Schaltverluste



(c) Reduktion der absoluten Schaltverluste durch Flattop Modulation

(d) Maximaler Modulstrom mit Flattop Modulation

Abbildung 5.9: Reduktion der Schaltverluste durch Flattop Modulation (Wechselrichter, $f_s = 10 \text{ kHz}$, $M = 2/\sqrt{3}$, $\cos \varphi = 0.85$, $T_a = 55^\circ \text{C}$)

höhere Ausgangsströme als der Full-SiC Schalter. Weil sich beim Hybridschalter die Schaltverluste auf den IGBT konzentrieren, verschiebt sich die Schaltfrequenz mit gleicher Sperrschichttemperatur ebenfalls zu höheren Frequenzen.

Da bei der Flattop Modulation der Bereich des Phasenwinkels ohne Schaltvorgänge vorzugsweise auf das Maximum des Ausgangsstroms gelegt wird, erhöht sich auch der maximale Effektivstrom, der mit der angewendeten Treiberauslegung geschaltet werden kann. Aus Abbildung 5.9b wird ersichtlich, dass die höchsten Momentanwerte des sinusförmigen Ausgangsstroms nicht geschaltet werden müssen. Voraussetzung ist jedoch ein $|\cos \varphi| \geq 0.5$, so ist gegeben, dass der Spitzenwert des Ausgangsstroms in einer Phase auch in einen Bereich der Ausgangsspannung fällt, in dem in dieser Phase ein konstanter Schaltzustand möglich ist. Bei dem in Abbildung 5.9d verwendeten $\cos \varphi = 0.85$ muss erst bei einem

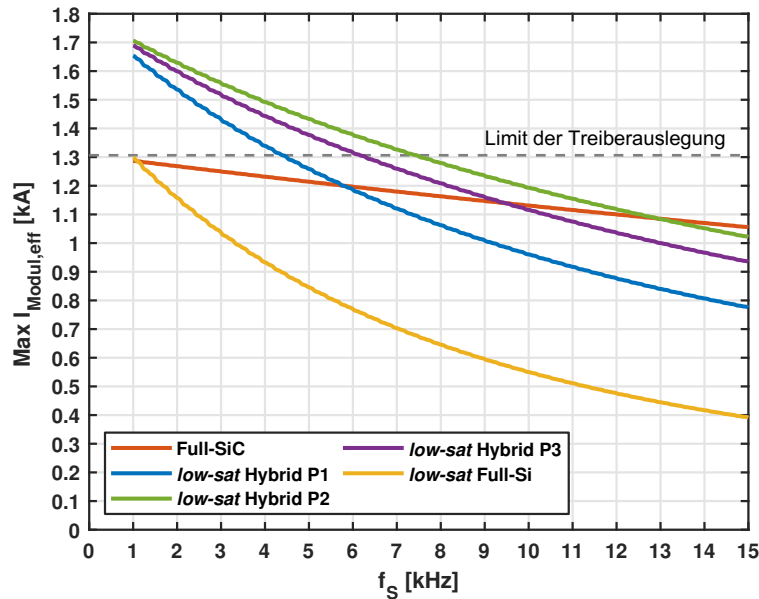


Abbildung 5.10: Maximierung des Ausgangsstroms eines Moduls durch Flattop Modulation, $M = 2/\sqrt{3}$, $\cos \varphi = 1$, $T_a = 40^\circ\text{C}$ (Wechselrichter)

Effektivstrom von $I_{\text{Modul,eff}} = 1.28\text{ kA}$ ein maximaler Momentanwert von 1.6 kA geschaltet werden, dies entspricht dem maximalen Strom der Treiberauslegung.

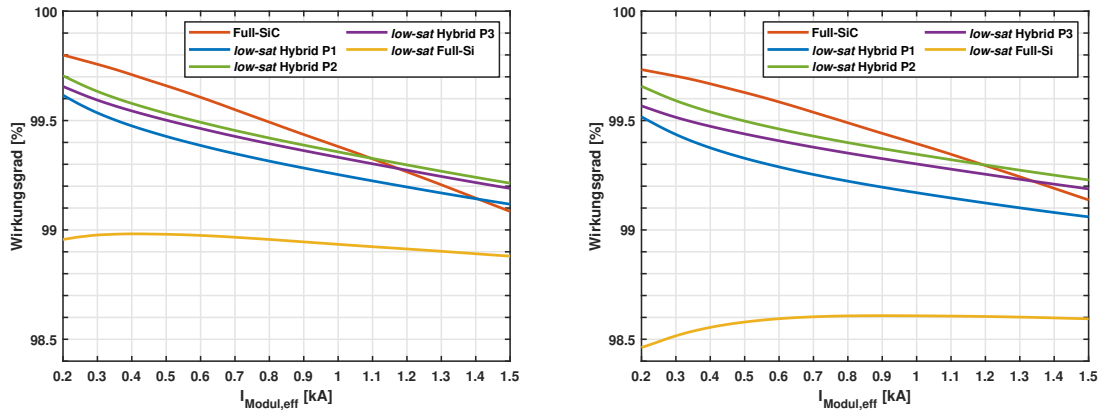
Der maximale Ausgangsstrom des Hybridschalters kann durch Kombination von Flattop Modulation und vorteilhaften Arbeitspunkten erhöht werden. Abbildung 5.10 zeigt den maximalen Ausgangsstrom bei Verwendung von Flattop Modulation, einem Leistungsfaktor von $\cos \varphi = 1$ und einer Kühlwassertemperatur von $T_a = 40^\circ\text{C}$. Bei einer Schaltfrequenz von $f_s = 2.5\text{ kHz}$ erreicht der *low-sat* Hybrid P2 einen Modulstrom von 1.6 kA , während der Full-SiC bereits bei 1.25 kA limitiert ist (Vergleiche 1.16 kA beim *low-sat* Hybrid P2 und 1.1 kA beim Full-SiC in Abbildung 5.2). Es lässt sich mit dem Hybridschalter trotz der Verwendung von nur 50% der SiC-Fläche eines Full-SiC Moduls ein um 28% höherer Ausgangsstrom erzielen. Auch mit dem *low-sat* Hybrid P3, bei dem das harte Schalten vom IGBT durchgeführt wird, ist bei einer Schaltfrequenz von $f_s = 10\text{ kHz}$ der gleiche Ausgangsstrom wie beim Full-SiC Schalter zu erreichen. Gegenüber dem Full-Si Schalter wird bei dieser Schaltfrequenz der mögliche Ausgangsstrom ungefähr verdoppelt. Bei einem $\cos \varphi = 1$ beträgt der maximale Effektivstrom, der von der verwendeten Treiberauslegung abgedeckt ist $I_{\text{Modul,eff}} = 1.31\text{ kA}$. Bei einer Schaltfrequenz von $f_s = 2.5\text{ kHz}$ übersteigen die maximalen Ausgangsströme der Hybridschalter jedoch den maximalen Strom der Treiberauslegung, bei einer Schaltfrequenz von $f_s = 10\text{ kHz}$ liegen alle Kurven unterhalb des Limits.

Durch die hohen Ausgangsströme übernimmt der IGBT einen hohen Anteil am Durchlass. Bereits bei geringen Schaltfrequenzen ist der maximale Modulstrom durch den Si-IGBT limitiert. Der Modulstrom, bei dem der SiC-MOSFET die maximale Sperrschichttemperatur

erreicht, verläuft jedoch dicht über dem Limit des IGBTs. So liegt er bei einer Schaltfrequenz von $f_S = 2.5 \text{ kHz}$ beim *low-sat* Hybrid P2 lediglich 20 A höher als das Limit vom IGBT. Die errechneten Sperrschichttemperaturen von IGBT und MOSFET liegen nur wenige Kelvin auseinander.

5.8 Wirkungsgrad

In Abbildung 5.11 ist der Wirkungsgrad eines dreiphasigen Wechselrichters bei Verwendung unterschiedlicher Module in Abhängigkeit des Modulstroms dargestellt. Bei einem Modulstrom von $I_{\text{Modul,eff}} = 1.1 \text{ kA}$ erreicht bei Super-Sinus-Dreieck Modulation (Abbildung 5.11a) sowohl der Full-SiC Schalter als auch der Hybridschalter mit Puls muster 2 und 3 einen Wirkungsgrad von 99.3 %. Der Wirkungsgrad des *low-sat* Full-Si Schalters liegt dabei lediglich bei knapp unter 99 %. Bei einem geringeren Laststrom liegt der Wirkungsgrad des Full-SiC Moduls höher als beim Hybridschalter, bei höheren Lastströmen niedriger. Bei geringen Lastströmen weist auch der Hybridschalter geringe Schaltverluste auf, diese liegen aber dennoch höher als beim Full-SiC Schalter - ebenso die Durchlassverluste. Bei hohen Modulströmen hat der Hybridschalter den Vorteil der niedrigen Durchlassverluste des *low-sat* IGBTs, dies gleicht sogar die im Vergleich zum Full-SiC höheren Schaltverluste aus.



(a) Wirkungsgrad bei Super-Sinus-Dreieck Modulation, $f_S = 2.5 \text{ kHz}$, $M = 2/\sqrt{3}$, $\cos \varphi = 0.85$ (b) Wirkungsgrad bei Flattop Modulation, $f_S = 10 \text{ kHz}$, $M = 2/\sqrt{3}$, $\cos \varphi = 1$

Abbildung 5.11: Wirkungsgrad der verschiedenen Module im Vergleich ($T_j = 125 \text{ }^\circ\text{C}$)

Bei einer Flattop Modulation und einem für den Hybridschalter vorteilhaften Parametersatz, aber einer hohen Schaltfrequenz von $f_S = 10 \text{ kHz}$ ergibt sich für den Full-SiC Schalter und Hybridschalter ein ähnlicher Verlauf des Wirkungsgrades (siehe Abbildung 5.11b). Einen Wirkungsgrad von 99.3 % erreichen Full-SiC und *low-sat* Hybrid P2 bei $I_{\text{Modul,eff}} = 1.2 \text{ kA}$. Auch der *low-sat* Hybrid P1 weist hier einen Wirkungsgrad über 99.1 % auf, während der *low-sat* Full-Si durch höhere Schaltverluste bei dieser Schaltfrequenz auf 98.6 % absinkt.

Die Wirkungsgrade der *low-sat* Hybridschalter mit unterschiedlichen Pulsmustern unterscheiden sich nur durch unterschiedliche Schaltverluste. Der Anteil der Schaltverluste an den Gesamtverlusten nimmt bei hoher Schaltfrequenz trotz Flattop Modulation zu.

5.9 Hohe Stromdichten bei Steigerung der Leistungsdichte

In diesem Kapitel wurde gezeigt, dass der in dieser Arbeit betrachtete Hybridschalter in einem wassergekühlten Wechselrichter deutlich höhere Ausgangsströme erreichen kann als ein Full-Si Modul und sogar bei einer Schaltfrequenz von 10 kHz noch gleichauf mit einem Full-SiC Modul liegt. Ein Modul mit Hybridschalter kann im Vergleich zu einem Full-Si Modul aufgrund seines Wirkungsgrads und thermischen Eigenschaften die Leistungsdichte eines Umrichters deutlich steigern. Jedoch muss hierbei eine höhere Stromdichte bei der Auslegung der verwendeten Halbleiter berücksichtigt werden.

Die Charakterisierung der in dieser Arbeit untersuchten Halbleiter erfolgte unter gleichen Randbedingungen der Treiberauslegung und für gleichen Laststrom. Die im skalierten Aufbau vermessenen Arbeitspunkte entsprechen einem Laststrom im Modul im Bereich von 0.2 kA bis 1.6 kA. Daraus folgt, dass bei Super-Sinus Modulation mit der verwendeten Treiberauslegung ein sinusförmiger Ausgangsstrom eines Moduls bis zu $I_{\text{Modul,eff}} = 1.13$ kA (Spitzenwert 1.6 kA) geschaltet werden kann. Bei einer Flattop Modulation erhöht sich der Effektivwert in Abhängigkeit vom $\cos \varphi$ auf bis zu $I_{\text{Modul,eff}} = 1.31$ kA, da bei hohen $\cos \varphi$ der Spitzenwert des sinusförmigen Ausgangsstroms nicht geschaltet werden muss. Für Ausgangsströme oberhalb dieses Bereichs können die Schaltverlustkurven zwar extrapoliert werden, basieren dann jedoch auf einer Treiberauslegung mit zu niedrigem Maximalstrom.

Durch die Wahl einer niedrigen Schaltfrequenz und Randbedingungen wie eine niedrige Kühlwassertemperatur, ein hoher Leistungsfaktor im Wechselrichterbetrieb und ein hoher Modulationsindex sind nach thermischer Bewertung Ausgangsströme oberhalb des Limits der Treiberauslegung möglich. In diesem Fall ist der gewählte maximale Laststrom der Treiberauslegung von $I_{\text{Modul}} = 1.6$ kA zu niedrig angesetzt.

Eine Anpassung der Treiberauslegung auf höhere Ausgangsströme resultiert in höheren Schaltverlusten. Wird der IGBT eines Full-Si Schalters in einem Hybridschalter bei größerer Stromdichte verwendet, muss beachtet werden, dass bei höherer Stromdichte auch ein Auftreten von dynamischer Avalanche begünstigt wird [41]. Das hat beim Abschalten vor allem direkte Auswirkungen auf den *low-sat* Hybrid mit Pulsmuster 1. Bei diesem limitiert dynamischer Avalanche die Flankensteilheit (siehe Tabelle 4.1), die bei höheren Stromdichten weiter reduziert werden muss.

Bei Pulsmuster 2 und 3 wurde gezeigt, dass sich durch den verwendeten Schaltsignalversatz t_V die Ladungsträgerdichte im IGBT vor der Spannungsflanke reduziert und so auch nach einer ausreichend hohen Zeit t_V die angestrebte Spannungssteilheit ohne das Auftreten von

dynamischem Avalanche erreicht werden kann. Eine Erhöhung des Schaltsignalversatzes für eine ausreichende Reduktion der Ladungsträgerdichte bei höherem Laststrom führt zu einer linearen Erhöhung der zusätzlichen Durchlassverluste im SiC-MOSFET vor der Spannungsflanke. Weitere Steigerungen der Schaltverluste gegenüber einer Extrapolation wären in geringerem Ausmaß bei allen Schaltern durch eine nötige Anpassung der Active-Clamping Schaltung zu erwarten.

In einem Hybridmodul führt die SiC-Chipfläche im Durchlass im Diodenmodus den gesamten Laststrom, der SiC-MOSFET weist die doppelte Stromdichte eines Full-SiC Moduls auf. Auch in Vorwärtsrichtung wird bei der Verwendung von Pulsmuster 2 oder 3 der SiC-MOSFET kurzzeitig vom gesamten Laststrom durchflossen. Bei einem Hybridmodul ist daher eine geringere Stoßstromfestigkeit zu erwarten als bei einem Full-SiC Modul. Weiterhin wird bei hohen Stromdichten das Auftreten von bipolarer Degradation in der Bodydiode vom SiC-MOSFET begünstigt [137], sodass der im Hybridmodul verwendete SiC-MOSFET auf die höheren Stromdichten im Hybridmodul ausgelegt werden muss.

6 Ereignisgesteuerte Treiberschaltung und gesteigerte Kurzschlussfestigkeit

In diesem Kapitel wird eine ereignisgesteuerte Treiberschaltung für den Si-SiC Hybrid-schalter präsentiert, die die Ansteuerung des Hybridschalters mit einem gemeinsamen Treibersignal ermöglicht, die Schaltreihenfolge erzeugt und im Kurzschlussfall den Kurzschlussstrom auf den IGBT begrenzt. Die Treiberschaltung wurde nach der in Kapitel 3.3 beschriebenen Methode der skalierten Messungen mit gleichem Skalierungsfaktor ($N_S = 8$) experimentell validiert.

In Kapitel 2.4 wurden bereits in der Literatur verwendete Ansteuerungskonzepte vorgestellt. Während die experimentellen Untersuchungen des Schaltverhaltens in Kapitel 4 mit separaten Treibern nach dem in Abbildung 2.2b dargestellten Ansteuerungskonzept durchgeführt wurden, verwendet der in diesem Kapitel vorgestellte Treiber ein Ansteuerungskonzept, das lediglich ein einzelnes Eingangssignal benötigt (siehe Abbildung 2.2c).

In Abbildung 6.1 ist das Konzept des Treibers dargestellt. Es wird ein herkömmlicher externer Treiber mit separaten Gatewiderständen für das Ein- und Ausschalten des Leistungsschalters verwendet und um eine ereignisgesteuerte Treiberschaltung ergänzt. Die experimentelle Validierung erfolgte mit einem skaliertem Versuchsaufbau, der das Konzept aus Abbildung 6.1 widerspiegelt. Die ereignisgesteuerte Treiberschaltung befindet sich zwischen externem, herkömmlichem Treiber und den Gateanschlüssen der Halbleiter innerhalb des Leistungsmoduls und ermöglicht eine gemeinsame Ansteuerung von Si-IGBT und SiC-MOSFET. Durch die Verwendung von einer begrenzten Anzahl an Schaltungskomponenten besteht die Möglichkeit einer Integration in ein Leistungsmodul. In diesem Fall kann für den Hybridschalter ein Leistungsmodul mit Standardterminals verwendet werden. Die ereignisgesteuerte Treiberschaltung kann auch als Teil einer externen Treiberschaltung ausgeführt werden, benötigt dann jedoch ein Leistungsmodul mit separaten Gateanschlüssen für IGBT und MOSFET.

Die hier vorgestellte Treiberschaltung erzeugt die versetzte Schaltreihenfolge von Pulsmuster 1 für den Hybridschalter. Beim Einschalten wird der SiC-MOSFET verzögert eingeschaltet. Im Gegensatz zu den in der Literatur beschriebenen Treibern für Hybridschalter (siehe Kapitel 2.4) zeichnet sich die hier vorgestellte Treiberschaltung dadurch aus, dass das Einschalten des SiC-MOSFETs nicht durch eine zeitliche Verzögerung erfolgt, sondern nur unter der Bedingung, dass der Spannungsabfall über den IGBT unter die positive treibende Gatespannung fällt. Daraus folgt, dass bei einer Entsättigung des IGBTs im Kurzschlussfall vom Typ I der MOSFET ausgeschaltet bleibt. Durch eine weitere Schaltung

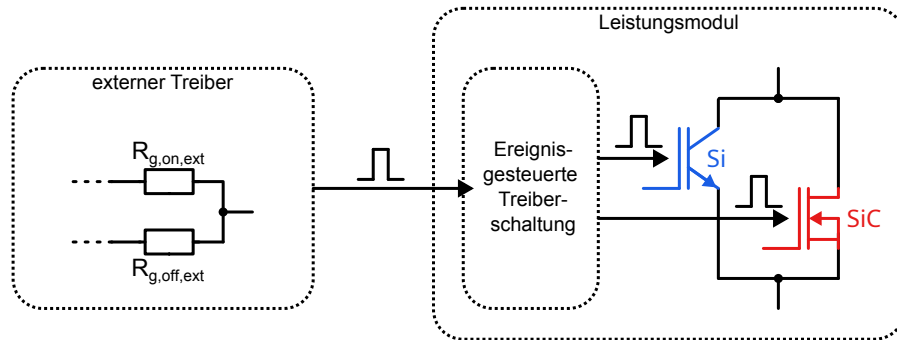


Abbildung 6.1: Ansteuerung eines Leistungsmoduls mit Si-SiC Hybridschalter mit integrierter, ereignisgesteuerter Treiberschaltung

wird auch beim Auftreten eines hohen dI/dt der SiC-MOSFET aktiv abgeschaltet. Sowohl beim Kurzschlussfall I als auch beim Kurzschlussfall II wird der Kurzschlussstrom auf den Si-IGBT begrenzt.

6.1 Ereignisgesteuerte Treiberschaltung

Der Schaltplan der Treiberschaltung ist in Abbildung 6.2 dargestellt. Der Emitteranschluss des externen Treibers ist mit dem Hilfsanschluss des Si-IGBTs verbunden. Für eine skalierte Messung wurden die Induktivitäten $L_{g,sk}$ eingefügt.

Der interne Gatewiderstand des IGBTs (nicht eingezeichnet) wird durch den Widerstand R_4 erhöht, um beim Abschalten die Gatespannungen von MOSFET und IGBT zu entkoppeln. Sowohl beim Einschalten als auch beim Ausschalten wird das Gate des IGBTs über diesen zusätzlichen Widerstand geladen bzw. entladen. Hierdurch wird sichergestellt, dass der MOSFET vor dem IGBT abschaltet, entsprechend dem Pulsmuster 1.

Beim Ausschalten wird das Gate des MOSFETs über die Diode D_1 entladen. Der Ausschaltwiderstand setzt sich aus dem internen Widerstand und dem gemeinsamen Widerstand des externen Treibers zusammen.

Beim Einschalten des Hybridschalters sperrt die Diode D_1 und verhindert das unmittelbare Aufladen des Gates vom MOSFET. Es wird vorerst nur der IGBT über den Widerstand R_4 eingeschaltet. Das Gate des MOSFETs kann nur über den Transistor T_1 geladen werden. Dessen Basis ist über die Diode D_3 am Kollektor des IGBTs angeschlossen. Diese Diode muss die gleiche Spannungsklasse wie die Leistungshalbleiter aufweisen, führt jedoch nur den Basisstrom des Transistors T_1 . Sie ist das einzige hochsperrende Bauteil der Treiberschaltung.

Damit der Transistor T_1 und damit auch der SiC-MOSFET einschaltet, muss die Bedingung erfüllt sein, dass die Kollektorspannung des IGBTs unter die treibende Spannung des externen Treibers gesunken ist (vereinfacht) und sich der Durchlassspannung annähert.

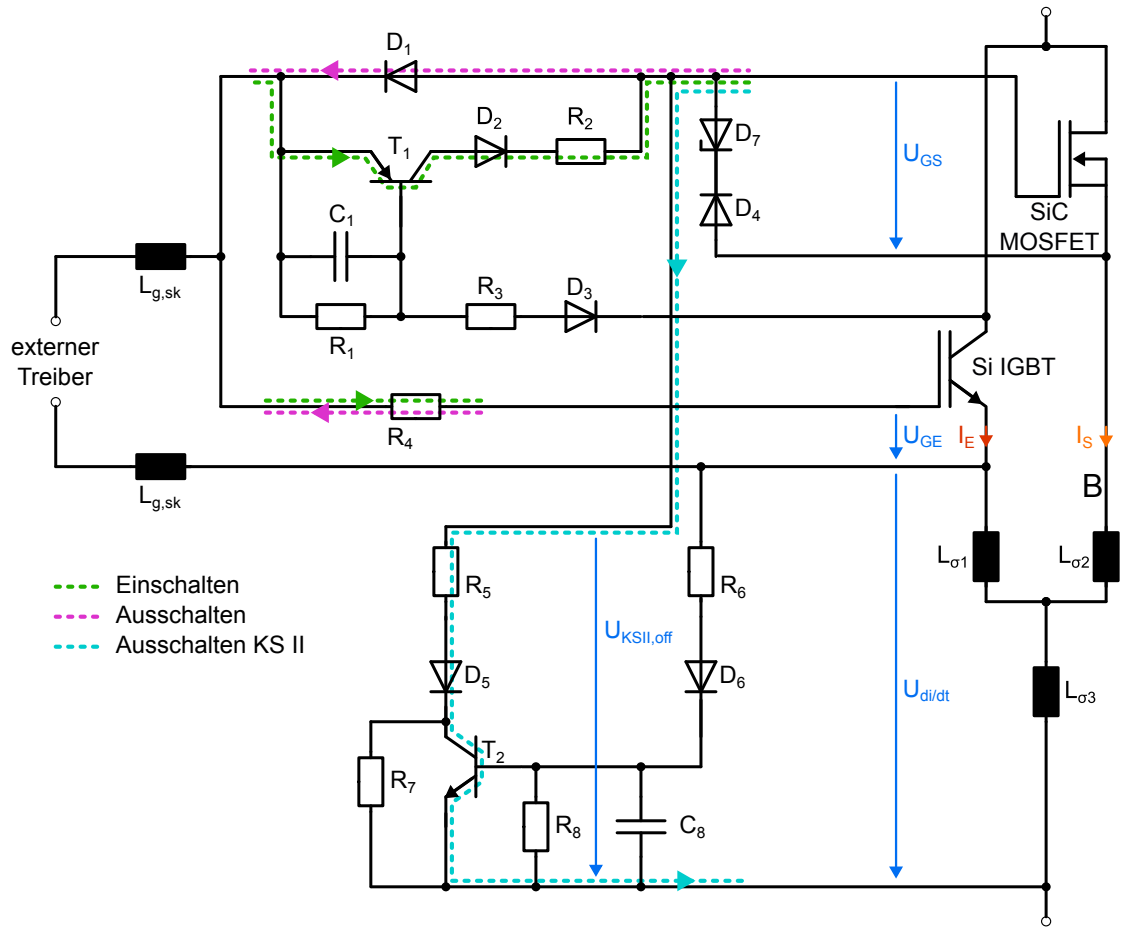


Abbildung 6.2: Schaltplan der ereignisgesteuerten Treiberschaltung

Die Einschaltverzögerung und Einschaltgeschwindigkeit des SiC-MOSFETs kann durch C_1 , R_2 und R_3 justiert werden. Der Widerstand R_1 entlädt die Kapazität C_1 , während der Hybridschalter im ausgeschalteten Zustand ist.

Die Zenerdiode D_7 begrenzt die negative Spannung am Gate des MOSFETs. Die Diode D_4 blockiert die positive Treiberspannung.

Tritt im Kurzschlussfall ein hohes dI/dt auf, kann dieser über die auftretende Spannung an den Streuinduktivitäten $L_{\sigma 1}$ und $L_{\sigma 3}$ detektiert werden ($U_{di/dt}$). Diese Spannung schaltet den Transistor T_2 ein, der das Gate des SiC-MOSFETs über R_5 entlädt. Die Empfindlichkeit der Schaltung kann über R_6 , R_8 und C_8 eingestellt werden.

Die Dioden D_5 und D_6 sperren eine negative Spannung $U_{KSII,off}$ bzw. $U_{di/dt}$, die bei einem negativen dI/dt während des Ausschaltens oder Reverse-Recovery an den Streuinduktivitäten auftritt. Der hochohmige Widerstand R_7 definiert ein Potential zwischen Diode D_5 und T_2 , wenn beide Bauelemente sperren.

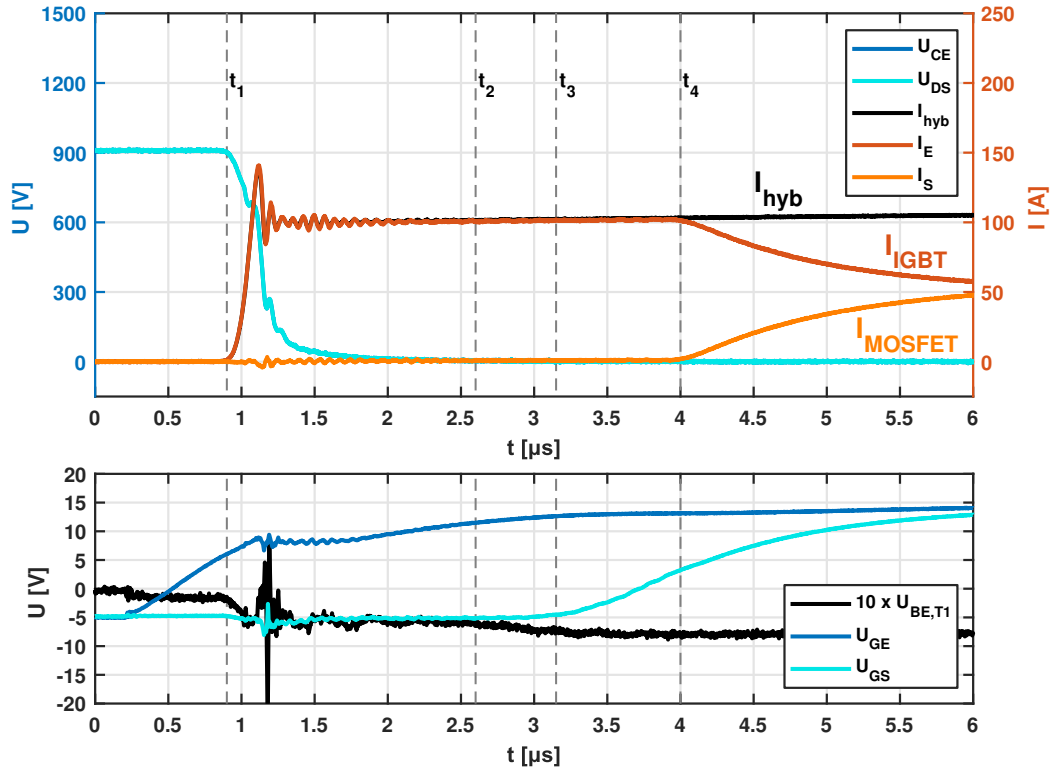


Abbildung 6.3: Einschalten des Hybridschalters mit ereignisgesteuertem Treiber unter Nennbedingungen ($low\text{-}sat$ Hybrid, $I_L = 100\text{ A}$, $U_{DC} = 900\text{ V}$, $T_j = 125\text{ }^\circ\text{C}$)

6.2 Normales Einschalten

Das Einschalten des $low\text{-}sat$ Hybrids mit dem in diesem Kapitel vorgestellten Treiber ist in Abbildung 6.3 dargestellt. Neben den Transienten der Gatespannung wird die Basis-Emitter Spannung am Transistor T1 gezeigt ($U_{BE,T1}$). Sobald der externe Treiber den Einschaltvorgang einleitet, beginnt die Gatespannung des IGBTs zu steigen. Durch die Diode D_1 wird verhindert, dass gleichzeitig auch das Gate des MOSFETs umgeladen wird. Der SiC-MOSFET wird erst $3\text{ }\mu s$ nach dem IGBT eingeschaltet.

Zum Zeitpunkt t_1 beginnt der IGBT Laststrom aufzunehmen. Die Diode D_1 befindet sich aufgrund der immer noch hohen Spannung U_{CE} im Sperrzustand, die Gatespannung des MOSFETs bleibt konstant auf -5 V . Die Basis-Emitter Spannung am Transistor beginnt dennoch zu sinken. Dies kann durch die parasitäre Kapazität der Diode D_3 erklärt werden, die durch einen Abfall der Spannung U_{CE} umgeladen wird. Die Ladung der parasitären Kapazität wird durch die Kapazität C_1 aufgenommen, sodass ein verfrühtes Einschalten des Transistors T_1 verhindert wird.

Zum Zeitpunkt t_2 hat sich die Spannung U_{CE} des $low\text{-}sat$ IGBTs stark genug reduziert, sodass die Diode D_3 in Vorwärtsrichtung leitfähig wird. Die Kapazität C_1 wird weiter geladen, bis zum Zeitpunkt t_3 ein Basisstrom durch den Transistor T_1 zu fließen beginnt.

Der Transistor T_1 schaltet ein, das Gate des MOSFETs wird umgeladen. Zum Zeitpunkt t_4 wird die Thresholdspannung des SiC-MOSFETs erreicht, der Laststrom beginnt vom IGBT in den MOSFET zu kommutieren.

Die ereignisgesteuerte Treiberschaltung stellt sicher, dass die Einschaltverluste im IGBT umgesetzt werden. Der Zeitpunkt, zu dem der SiC-MOSFET eingeschaltet wird, ist davon abhängig, wann ein Basisstrom durch den Transistor T_1 fließen kann. Hierfür muss die Bedingung aus Gleichung 6.1 erfüllt werden. Die Spannung U_{CE} des IGBTs muss unter die Treiberspannung gefallen sein, abzüglich der Spannungsabfälle am externen Gatewiderstand sowie der Schwellspannungen des Transistors T_1 und der Diode D_3 . Vernachlässigt wird der Spannungsabfall an der skalierten parasitären Induktivität.

$$U_{CE} < U_{\text{Treiber,extern}} - U_{Rg,extern} - U_{T1,th} - U_{D3} \quad (6.1)$$

Nachdem diese Bedingung erfüllt ist, wird der zeitliche Abstand bis zum Einschalten des MOSFETs durch den Ladezustand von C_1 und den Widerständen R_2 und R_3 bestimmt, über die sich der Gatestrom des SiC-MOSFET und der Basisstrom von T_1 einstellen lassen.

Es ergibt sich eine Abhängigkeit des Einschaltzeitpunktes vom MOSFET von mehreren Parametern. In Abbildung 6.4 ist das Einschalten in Abhängigkeit vom Laststrom, der Temperatur des Treibers, von der Auswahl des Transistors T_1 sowie der Kapazität C_1 dargestellt.

Die Zeit, bis die Spannung U_{CE} beim Einschalten weit genug abgefallen ist, damit Bedingung 6.1 erfüllt wird, ist vom Laststrom abhängig. In Abbildung 6.4a ist zu erkennen, dass bei steigendem Laststrom der MOSFET zu einem späteren Zeitpunkt eingeschaltet wird. Auch die Verwendung eines IGBTs mit einer Auslegung für schnelles Schalten und einer höheren Durchlassspannung würde zu einem späteren Einschalten des MOSFETs führen.

Wird die Treiberschaltung in ein Modul integriert, ist von einer Betriebstemperatur nahe der Chiptemperatur auszugehen. In Abbildung 6.4b ist der Einfluss der Temperatur der Treiberschaltung auf das Einschalten zu sehen. Mit steigender Temperatur schaltet der MOSFET früher ein. Dies kann z.B. durch die Temperaturabhängigkeit der parasitären Kapazität der Diode D_3 oder des Verstärkungsfaktors des Transistors T_1 erklärt werden. Bei einer Temperatur von 90°C steigt bereits während der Spannungsflanke des IGBTs die Gatespannung U_{GS} des MOSFETs an, obwohl die Spannung des IGBTs noch über der Treiberspannung liegt. Der Strom durch die parasitäre Kapazität von D_3 reicht aus, um den Transistor T_1 kurzzeitig einzuschalten. Trotz frühem Anstieg der Gatespannung

6 Ereignisgesteuerte Treiberschaltung und gesteigerte Kurzschlussfestigkeit

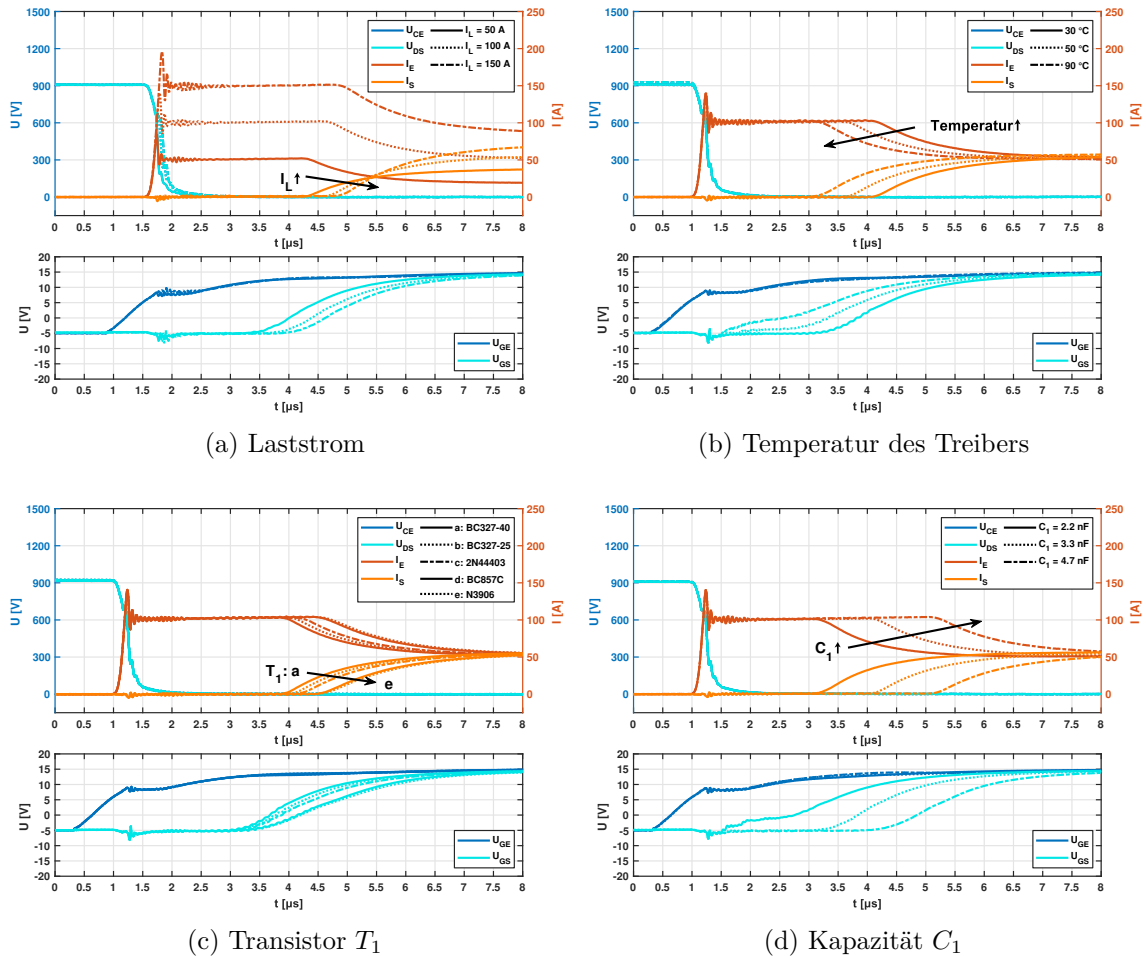


Abbildung 6.4: Einfluss verschiedener Parameter auf das Einschalten des Hybridschalters mit ereignisgesteuertem Treiber

des MOSFETs wird dieser erst $2\ \mu\text{s}$ nachdem die Spannung des IGBTs abgefallen ist eingeschaltet.

In Abbildung 6.4c ist das Einschalten mit einer Auswahl von Kleinsignaltransistoren für T_1 gezeigt. Der Einschaltzeitpunkt aller Messungen befindet sich trotz Variation des Transistors innerhalb eines Zeitintervalls von $0.5\ \mu\text{s}$.

Der geringste zeitliche Abstand zwischen dem Einschalten von IGBT und MOSFET ist bei geringem Laststrom, hoher Zwischenkreisspannung und hoher Temperatur zu erwarten. Solange jedoch bei diesem Arbeitspunkt sichergestellt wird, dass der MOSFET erst bei geringer Spannung eingeschaltet wird (Nullspannungsschalten), werden die Schaltverluste nicht maßgeblich beeinflusst. Eine zusätzliche Verzögerung beim Einschalten des MOSFETs um mehrere $100\ \text{ns}$ führt lediglich zu einem geringen Anstieg der Durchlassverluste. Dem ist jedoch auch hinzuzufügen, dass bei einer länger anhaltenden hohen Stromdichte im IGBT

dessen Plasmakonzentration schneller aufgebaut wird und dieser früher seinen statischen Durchlasszustand erreicht.

Eine Einstellung des Einschaltzeitpunktes kann durch die Auswahl von C_1 oder R_3 erfolgen. In Abbildung 6.4d wird gezeigt, wie durch eine Erhöhung von C_1 der Einschaltzeitpunkt verzögert wird. Gleiche Ergebnisse lassen sich durch eine Variation von R_3 erzielen. Ebenfalls lässt sich mit dem Widerstand R_2 nach dem Einschalten von Transistor T_1 der Gatestrom des SiC-MOSFETs beeinflussen.

6.3 Ausschalten

Das Ausschalten des *low-sat* Hybrids mit ereignisbasiertem Treiber ist in Abbildung 6.5 dargestellt. Es werden eine vergleichbare Spannungssteilheit und damit auch gleiche Schaltverluste erreicht wie beim Ausschalten mit separaten Treibern mit Pulsmuster 1 (vergleiche Abbildung 4.7). Unterschiede sind jedoch im Verlauf der Gatespannung des SiC-MOSFETs und der Kommutierung des Laststroms vom MOSFET auf den IGBT zu erkennen.

Nachdem der Ausschaltvorgang durch den externen Treiber eingeleitet wurde, fällt die Gatespannung des SiC-MOSFETs stärker ab als beim Si-IGBT. Der MOSFET besitzt eine geringere Eingangskapazität und wird mit geringerem Gatewiderstand abgeschaltet. Der Strom beginnt vom MOSFET auf den IGBT zu kommutieren. Zum Zeitpunkt t_1 ist ein Anstieg der Gatespannung des MOSFETs zu beobachten, während gleichzeitig das di/dt des Kommutierungsvorgangs zurückgeht.

Durch den Anschluss des Treibers an das Emitterpotential des IGBTs entsteht durch die parasitären Induktivitäten $L_{\sigma 1}$ und $L_{\sigma 2}$ eine Gegenkopplung des di/dt des Laststroms auf die Gatespannung des SiC-MOSFETs. Die Gatespannung des SiC-MOSFETs kann durch Gleichung 6.2 beschrieben werden. Ein reduzierter Schaltplan des ereignisgesteuerten Treibers zu Gleichung 6.2 befindet sich im Anhang in Abbildung A.29. Ein negatives di/dt im Lastpfad des SiC-MOSFETs und ebenso ein positives di/dt im Lastpfad des IGBTs führen zu einer Anhebung der Gatespannung des MOSFETs. Der Kommutierungsvorgang wird ausgebremst und dauert länger als bei separaten Treibern. Es entsteht ein softer Kommutierungsvorgang ohne Überstromspitze und mit nur sehr geringen Oszillationen.

$$U_{GS} = U_{D1} + U_{Rg,extern} + U_{Treiber,extern} + 2U_{Lg,sk} + U_{L\sigma 1} - U_{L\sigma 2} \quad (6.2)$$

$$U_{L\sigma 1} = L_{\sigma 1} \cdot \frac{di_E}{dt} \quad (6.3)$$

$$U_{L\sigma 2} = L_{\sigma 2} \cdot \frac{di_S}{dt} \quad (6.4)$$

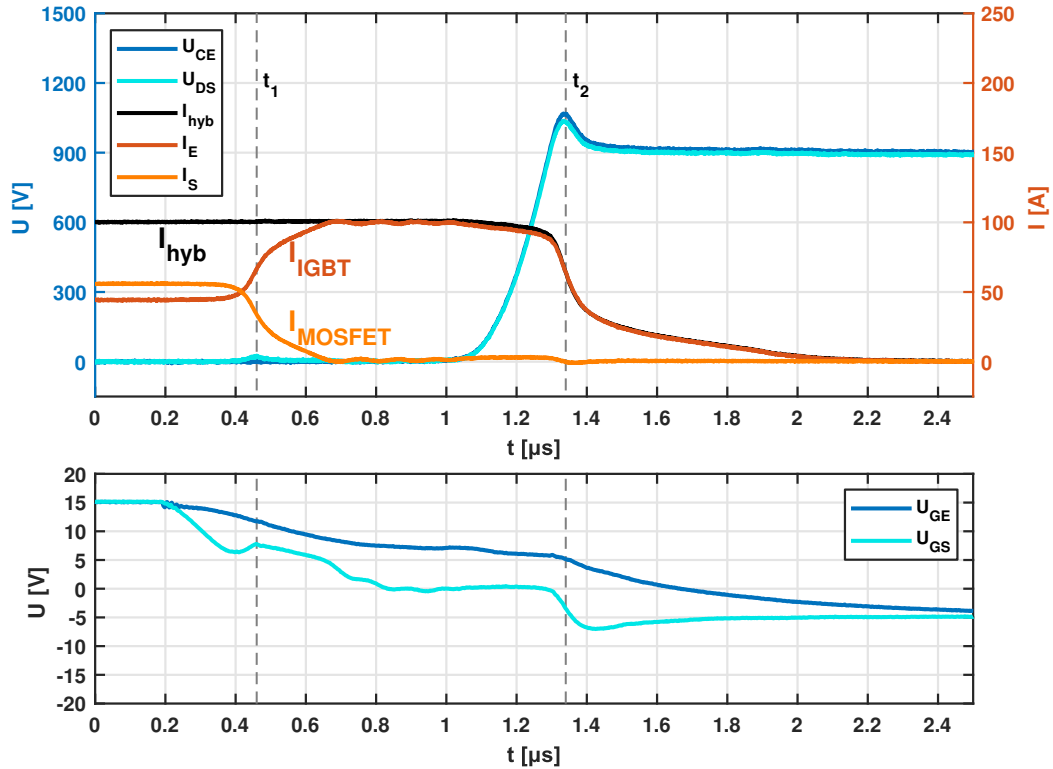


Abbildung 6.5: Ausschalten des Hybridschalters mit ereignisgesteuertem Treiber unter Nennbedingungen (*low-sat* Hybrid, $I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$)

Eine Justierung der Kommutierungsgeschwindigkeit ist durch die Anpassung des externen Gatewiderstands möglich. Wird dabei die Summe aus externem Gatewiderstand und Widerstand R_3 konstant gehalten, bleibt die Abschaltgeschwindigkeit des IGBTs nahezu unverändert [15].

Nach der Kommutierung des Laststroms auf den IGBT wird das Gate des MOSFETs noch nicht auf die negative Treiberspannung entladen, da durch den Gatestrom des IGBTs am gemeinsamen Widerstand des externen Treibers ein Spannungsabfall entsteht.

Zum Zeitpunkt t_2 tritt ein hohes negatives di/dt beim Abschalten des Laststroms auf. Auch hier ist eine Rückwirkung auf das Gate des MOSFETs zu erkennen. Dessen Gatespannung sinkt unter die negative Treiberspannung von -5 V . Diese negative Spannungsspitze wird durch die Zenerdiode D_7 limitiert. Anschließend wird die Gatespannung auf die statische Treiberspannung zurückgeführt.

Im hier verwendeten skalierten Aufbau beträgt die Streuinduktivität $L_{\sigma 1} \approx 15 \text{ nH}$ und $L_{\sigma 2} \approx 20 \text{ nH}$. Diese Werte sind als hoch einzuschätzen und durch die Verwendung von separaten Substraten von IGBT und MOSFET begründet. Es kann davon ausgegangen werden, dass die hier im skalierten Aufbau auftretende Rückkopplung innerhalb eines realen Leistungsmoduls geringer ausfällt, wenn IGBT und MOSFET dicht beieinander

positioniert werden und die Streuinduktivitäten zwischen Halbleiter und gemeinsamen Lastpfad kleiner sind.

6.4 Reverse-Recovery

Die Rückwirkung des Laststroms auf die Gatespannung, die beim Ausschalten beobachtet werden kann, tritt ebenfalls beim Reverse-Recovery auf. In Abbildung 6.6 ist das Reverse-Recovery mit ereignisgesteuertem Treiber unter Nennbedingungen dargestellt. Zum Zeitpunkt t_1 beginnt die Spannung U_{GS} des SiC-MOSFETs zu sinken. Das Gate des MOSFETs wird während des di/dt des Laststroms entladen. Die Gatespannung des MOSFETs ist zum Zeitpunkt t_2 auf -9 V gefallen. Durch das folgende Umladen der Millerkapazität ist ein Anstieg der Gatespannung zu sehen. Im Vergleich zum Schalten mit separaten Treibern (siehe Abbildung 4.70) wird hier durch den größeren Abstand zur Thresholdspannung ein parasitäres Aufsteuern des MOSFETs unwahrscheinlicher.

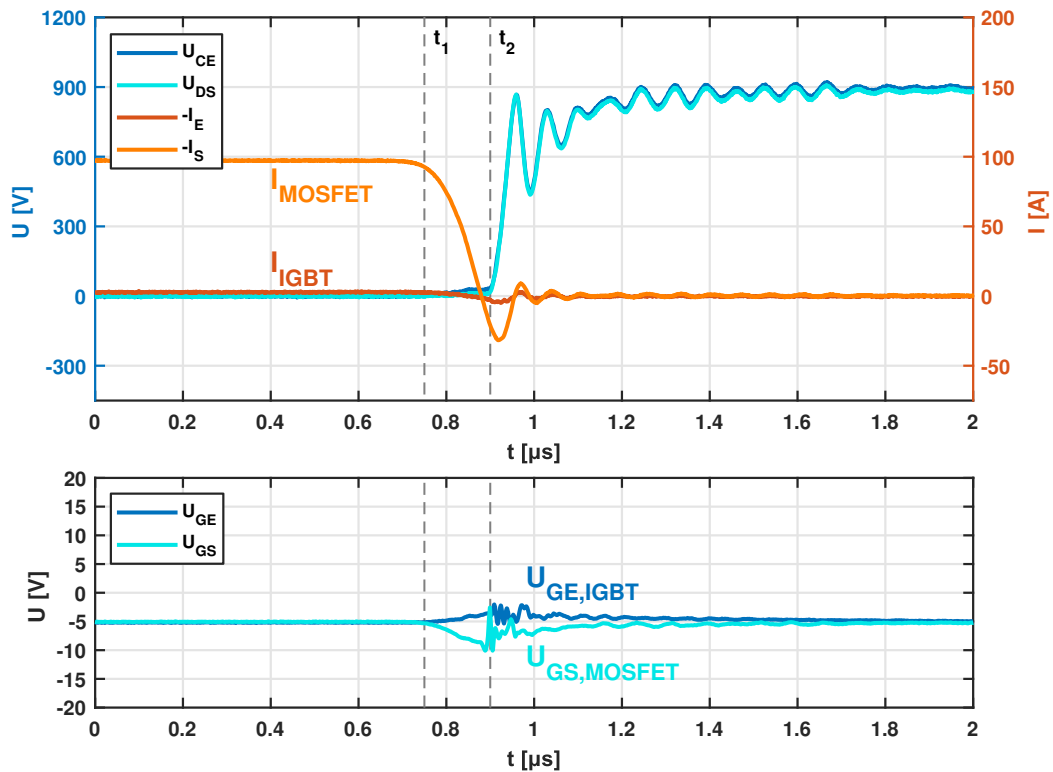


Abbildung 6.6: Reverse-Recovery des Hybridschalters mit ereignisgesteuertem Treiber unter Nennbedingungen (*low-sat* Hybrid, $I_L = 100\text{ A}$, $U_{DC} = 900\text{ V}$, $T_j = 125\text{ °C}$)

6.5 Kein Einschalten des SiC-MOSFETs im Kurzschlussfall I

Nur wenige Publikationen zeigen das Kurzschlussverhalten eines Si-SiC Hybridschalters ([32], [73], [83], [84]). Bei einem niederinduktiven Kurzschluss vom Typ I können Si-

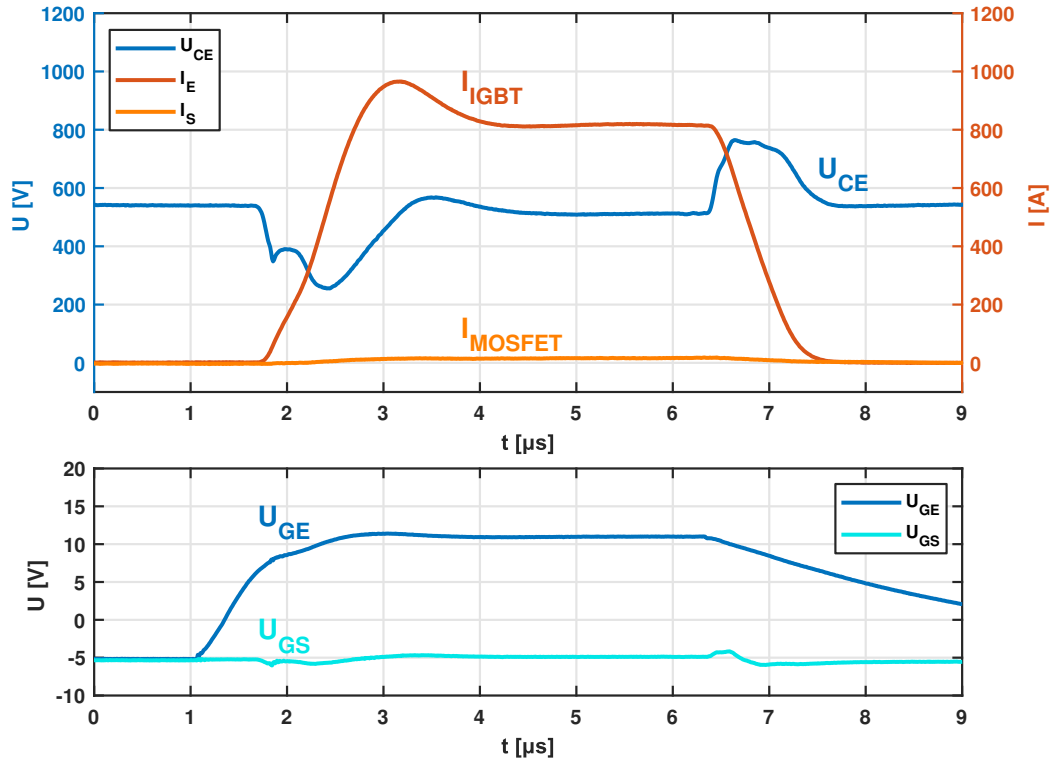


Abbildung 6.7: Kein Einschalten des SiC-MOSFETs im Kurzschlussfall I (*low-sat* IGBT W9Z1, $2 \times$ SiC-MOSFET, $U_{DC} = 550$ V, $U_{\text{Treiber,extern}} = 11$ V, $T_j = 25^\circ\text{C}$)

IGBT und SiC-MOSFET als unabhängig voneinander betrachtet werden. Beide Schalter durchlaufen individuell den Kurzschluss, der Kurzschlussstrom des Moduls besteht aus der Summe der Kurzschlussströme der individuellen Halbleiter [32]. Die Kurzschlussrobustheit eines hybriden Moduls ist in diesem Fall durch den am wenigsten robusten Halbleiter bestimmt. Im Allgemeinen weisen SiC-MOSFETs eine kürzere Kurzschlussfestigkeitszeit auf als Si-IGBTs [138].

Eine Kurzschlussmessung des Hybridschalters vom Typ I ist in Abbildung 6.7 zu sehen. Bei $t = 1 \mu\text{s}$ wird der Hybridschalter auf einen bestehenden Kurzschluss eingeschaltet. Durch die ereignisgesteuerte Treiberschaltung wird nur der IGBT eingeschaltet. Die Spannung U_{CE} bricht durch das hohe dI/dt ein, bleibt jedoch durch die Entsättigung des IGBTs dauerhaft über dem Niveau der Treiberspannung. Der Transistor T_1 sperrt durchgehend und das Gate des SiC-MOSFETs wird nie umgeladen. Bei $t = 6.5 \mu\text{s}$ wird der Kurzschluss durch den externen Treiber mit einem hohen Gatewiderstand abgeschaltet.

Eine Entsättigungserkennung ist ein übliches Verfahren, um den Kurzschluss eines IGBTs zu detektieren. Hierbei wird der Schalter eingeschaltet und wenn nach einer Ausblendzeit weiterhin hohe Spannung anliegt, wird von einem Kurzschluss ausgegangen. Die ereignisgesteuerte Treiberschaltung schaltet den SiC-MOSFET dagegen erst ein, wenn ein Kurzschluss bereits ausgeschlossen wurde. Eine beim herkömmlichen Kurzschlussstreiber

übliche Ausblendzeit wird von der ereignisgesteuerten Treiberschaltung nicht verwendet. Die eigentliche Kurzschlusserkennung und Abschaltung des Hybridschalters muss vom externen Treiber vorgenommen werden.

6.6 Abschalten des SiC-MOSFETs im Kurzschlussfall II

Ein Kurzschluss Typ II tritt auf, während sich IGBT und MOSFET im eingeschalteten Zustand befinden. In diesem Fall reicht es nicht aus, das Einschalten des MOSFETs mit Transistor T_1 zu verhindern, um den Kurzschlussstrom auf den IGBT zu begrenzen. Daher wird der SiC-MOSFET aktiv durch Transistor T_2 abgeschaltet.

Der ansteigende Kurzschlussstrom erzeugt einen Spannungsabfall an der parasitären Induktivität im Lastpfad innerhalb des Moduls. Das grundsätzliche Prinzip, hierdurch einen Kurzschluss zu detektieren, wurde bereits in der Literatur sowohl für Si-IGBT [139] als auch für SiC-MOSFET demonstriert [140].

Der transiente Verlauf während des Kurzschlusses vom Typ II ist in Abbildung 6.8 dargestellt. Zum Zeitpunkt t_1 wird mit einem externen Schalter der Kurzschluss eingepreßt. Sowohl der Strom durch den IGBT als auch durch den MOSFET beginnt anzusteigen. Das dI/dt des Kurzschlussstroms ist durch die Induktivität des gesamten Kurzschlusspfades bestimmt, also dadurch, wie dicht am Umrichter der Kurzschluss auftritt. Die hier im skalierten Aufbau verwendeten $2\ \mu\text{H}$ entsprechen $0.25\ \mu\text{H}$ auf Modulebene.

Der Kurzschluss wird am Spannungsabfall an den parasitären Induktivitäten im Lastpfad ($U_{di/dt}$) erkannt. Zum Zeitpunkt t_2 wird dadurch der Transistor T_2 eingeschaltet, dieser beginnt das Gate über den Widerstand R_5 zu entladen. Die Spannung U_{R5} über diesen Widerstand wurde im Verlauf des Kurzschlusses gemessen und ist neben den Gatespannungen dargestellt. Sie zeigt an, dass ein Strom aus dem Gate des SiC-MOSFETs in den Anschlusspunkt am Lastpfad fließt.

Die Gatespannung des SiC-MOSFETs beginnt zu fallen und der SiC-MOSFET wird nach ungefähr $300\ \text{ns}$ abgeschaltet. Der Strom des MOSFETs kommutiert ab t_3 in den IGBT, der den gesamten Kurzschlussstrom übernimmt. Das negative dI/dt von I_S führt zu einer Rückwirkung auf die Spannung U_{R5} , die langsamer ansteigt. Sowohl die Spannung $U_{KSII,off}$, die die Entladung des Gates treibt, als auch die Spannung $U_{di/dt}$, die den Basisstrom von T_2 treibt, werden durch diese Rückwirkung reduziert (siehe Gleichungen 6.5 und 6.6). Die für die Detektion des Kurzschlusses relevante Summe aus $L_{\sigma 1}$ und $L_{\sigma 3}$ im skalierten Aufbau beträgt $25\ \text{nH}$, das entspricht ungefähr $3\ \text{nH}$ in einem Leistungsmodul.

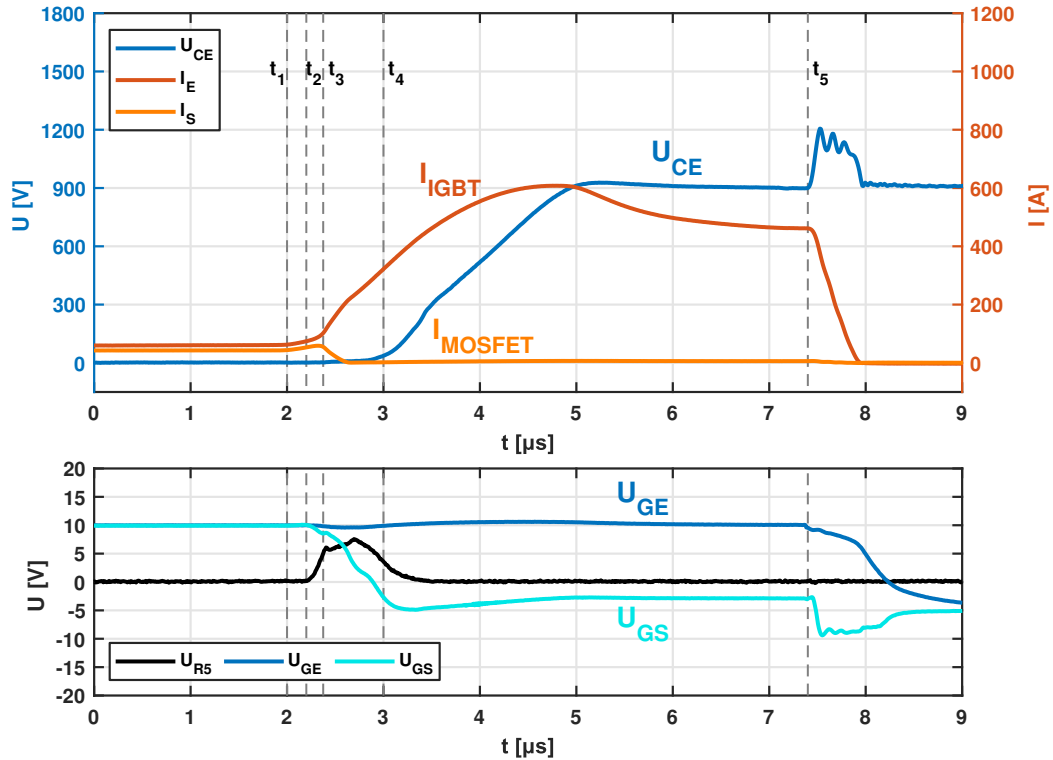


Abbildung 6.8: Begrenzung des Kurzschlussstroms auf den IGBT im Kurzschlussfall II (*fast* IGBT W6Z3, 1 × SiC-MOSFET, $U_{DC} = 900\text{ V}$, $U_{\text{Treiber,extern}} = 10\text{ V}$, $T_j = 25\text{ }^\circ\text{C}$, skalierte Kurzschlussinduktivität: $2\text{ }\mu\text{H}$)

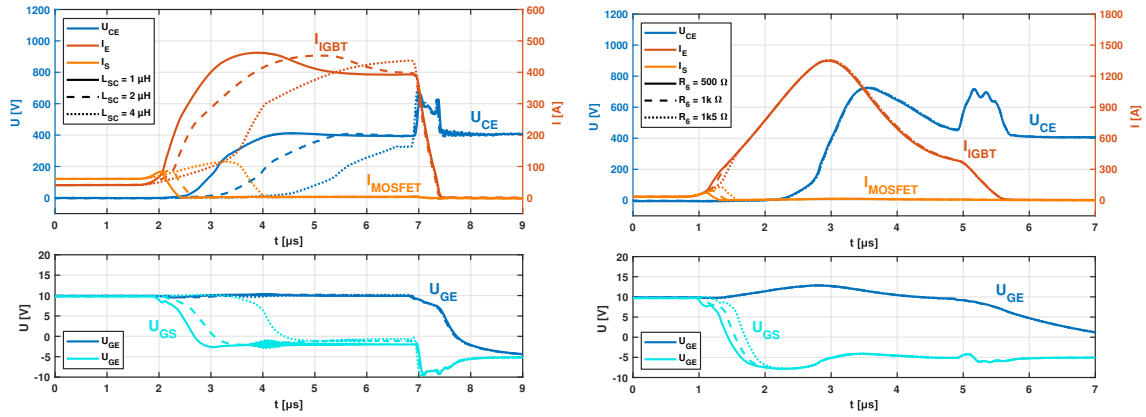
$$U_{\text{KSII,off}} = U_{\text{GS}} + L_{\sigma 2} \cdot \frac{di_{\text{S}}}{dt} + L_{\sigma 3} \cdot \frac{d(i_{\text{E}} + i_{\text{S}})}{dt} \quad (6.5)$$

$$U_{\text{di/dt}} = L_{\sigma 1} \cdot \frac{di_{\text{E}}}{dt} + L_{\sigma 3} \cdot \frac{d(i_{\text{E}} + i_{\text{S}})}{dt} \quad (6.6)$$

Trotz eingeschaltetem externen Treiber wird die Gatespannung des SiC-MOSFETs auf -5 V entladen. Sobald durch den ansteigenden Kurzschlussstrom die Spannung über dem IGBT über die Treiberspannung ansteigt, sperrt der Transistor T_1 , sodass kein Strom vom externen Treiber in das Gate des SiC-MOSFETs fließt.

Zum Zeitpunkt t_4 entsättigt der IGBT, die Spannung U_{CE} beginnt zu steigen. Die ab diesem Zeitpunkt entstehende hohe Verlustleistung konzentriert sich auf den IGBT. Zum Zeitpunkt t_5 wird der Kurzschluss durch den externen Treiber abgeschaltet.

Die Zeit zwischen Auftreten des Kurzschlusses und Abschalten des SiC-MOSFETs ist vom dI/dt des Kurzschlussstroms abhängig. Bei einer sehr hohen Kurzschlussinduktivität mit reduziertem dI/dt ist die Spannung $U_{\text{di/dt}}$ entsprechend geringer und es dauert länger, bis der Transistor T_2 eingeschaltet wird. In Abbildung 6.9a ist der Kurzschlussfall II mit einer



(a) Variation der Kurzschlussinduktivität (*fast* IGBT W6Z3, 1 × SiC-MOSFET)

(b) Einstellung des Basisstroms T_2 (*low-sat* IGBT W9Z1, 2 × SiC-MOSFET)

Abbildung 6.9: Kurzschluss Typ II mit verschiedenen Kurzschlussinduktivitäten L_{SC} und Einstellung der Empfindlichkeit der Detektion

Variation der Kurzschlussinduktivität L_{SC} abgebildet. Bei einer Kurzschlussinduktivität von $L_{SC} = 4 \mu\text{s}$ dauert es $2 \mu\text{s}$ bis der MOSFET abgeschaltet wird. Doch durch die hohe Kurzschlussinduktivität entsättigt der Hybridschalter auch erst, nachdem der Strom bereits in den IGBT kommutiert ist.

Die Empfindlichkeit, bei welchem dI/dt bzw. nach welcher Zeit der SiC-MOSFET abgeschaltet wird, kann z.B. über den Widerstand R_6 eingestellt werden. In Abbildung 6.9b wird gezeigt, wie eine Reduktion des Widerstands den MOSFET entsprechend früher ausschaltet. Die Sensitivität der Treiberschaltung beim Abschalten eines Kurzschluss II gegenüber Laststrom, der Streuinduktivität $L_{\sigma,3}$ im Lastpfad, dem Entladewiderstand und der Auswahl des Kleinsignaltransistors T_2 fällt gering aus. Gemessene transiente Verläufe im Kurzschlussfall II mit Parametervariation sind im Anhang in Abbildung A.30 dargestellt.

Befindet sich das dI/dt während des regulären Einschaltens in dem Bereich, der als Kurzschluss erkannt werden soll, schaltet auch hier der Transistor T_2 ein. Bei einem bereits ausgeschaltetem SiC-MOSFET ist jedoch die treibende Spannung $U_{KSII,off}$ bereits sehr niedrig, der Spannungsabfall an den parasitären Induktivitäten muss die externe negative Treiberspannung entsprechend übersteigen. Kommt es dennoch zu einem Entladestrom, begrenzt die Diode D_7 die negative Gatespannung des MOSFETs. In Abbildung 6.10 ist das Einschalten des *low-sat* Hybrids bei einer Detektion des dI/dt bei regulärem Einschalten zu sehen. Zum Zeitpunkt t_1 wird kurzzeitig das Gate des MOSFETs weiter entladen. Zum Zeitpunkt t_2 wird der MOSFET regulär eingeschaltet.

Durch die hier vorgestellte Treiberschaltung wird auch im Kurzschlussfall II der Kurzschlussstrom auf den IGBT begrenzt. Bei einfachen, separaten Gatetreibern werden sowohl IGBT als auch MOSFET von einem hohen Kurzschlussstrom durchflossen. Durch die Begrenzung des Kurzschlussstroms auf den IGBT wird zusätzlich auch dessen Höhe re-

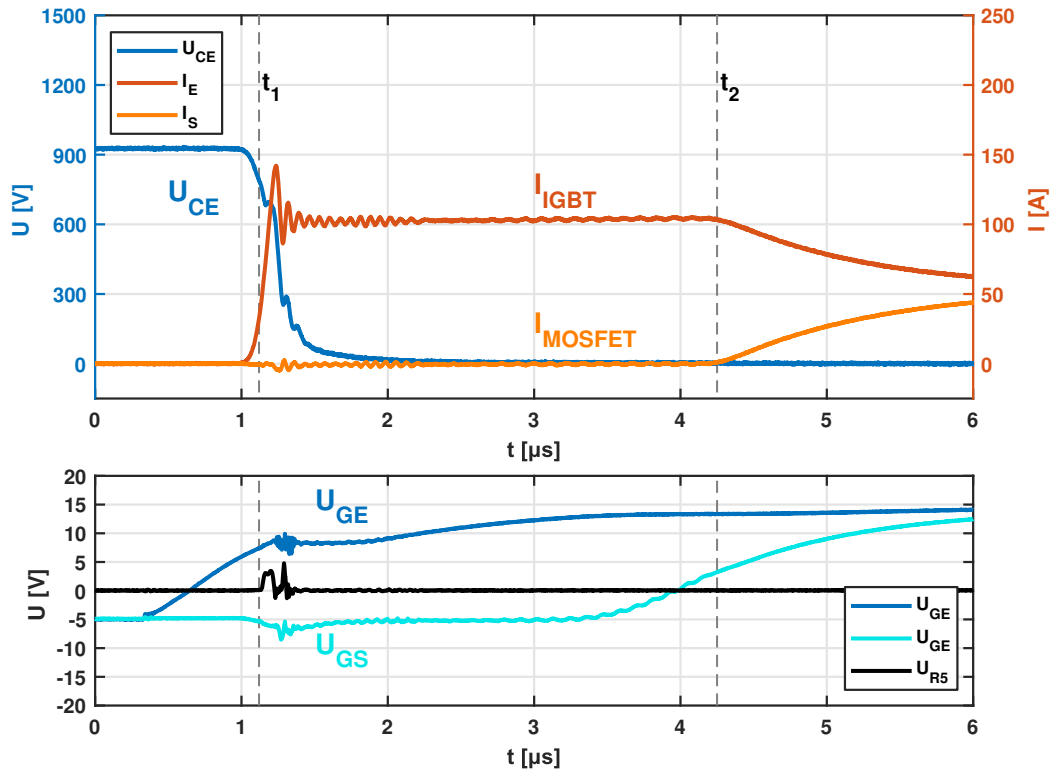


Abbildung 6.10: Detektion des di/dt und Einschalten von T_2 beim Einschalten des Hybridschalters mit ereignisgesteuertem Treiber ($low-sat$ Hybrid, $I_{hyb} = 100$ A, $U_{DC} = 900$ V, $T_j = 125$ °C)

duziert. Durch einen geringeren statischen Kurzschlussstrom reduziert sich ebenfalls die Überspannungsspitze beim Abschalten mit gleicher Abschaltzeit [16].

6.7 Diskussion der Verwendung einer ereignisgesteuerten Treiberschaltung

In diesem Kapitel wird eine Treiberschaltung vorgestellt, die für den Hybridschalter aus einem gemeinsamen Treibersignal ein Pulsmuster mit Nullspannungsschalten für den SiC-MOSFET erzeugt. Die Treiberschaltung schaltet den SiC-MOSFET verzögert ein und nur dann, wenn der IGBT nicht entsättigt. Im Fall eines Kurzschlusses vom Typ II wird der MOSFET aktiv ausgeschaltet. Ein Kurzschlussstrom wird nur auf den IGBT begrenzt. Die Kurzschlussfestigkeit des Hybridschalters ist dadurch einzig und allein durch den Si-IGBT definiert. Si-IGBTs besitzen generell eine höhere Kurzschlussfestigkeit als SiC-MOSFETs.

Die hier vorgestellte Schaltung ist dazu gedacht, den Kurzschluss auf den Si-IGBT zu begrenzen, aber nicht abzuschalten. Sie bietet jedoch aufgrund einer begrenzten Anzahl von Kleinsignalbauteilen das Potenzial, in ein Leistungsmodul integriert zu werden. Die sichere Erkennung und Abschaltung des Kurzschlusses muss von einem externen Treiber

übernommen werden. Treiberschaltungen für einen Si-IGBT, die einen Kurzschluss eines IGBT erkennen und abschalten können, sind kommerziell erhältlich. Schaltungen für *low-sat* IGBT mit hohem Entsättigungsstrom sind bereits aus der Literatur bekannt [141], [142], [143].

Bei einer Kurzschlussdetektion über die parasitäre Induktivität im Lastpfad besteht die Möglichkeit, dass bei Oszillationen des Laststroms fälschlicherweise ein Kurzschluss erkannt wird. Wird die Abschaltung des SiC-MOSFETs fälschlicherweise ausgelöst, wird zwar der MOSFET abgeschaltet, aber der IGBT verbleibt im leitenden Zustand. Nachdem die Oszillationen abgeklungen sind und der IGBT nicht entsättigt, wird der MOSFET über Transistor T_1 erneut eingeschaltet. Der Hybridschalter bleibt durchgehend eingeschaltet, es entstehen lediglich für die Dauer der Oszillationen erhöhte Durchlassverluste.

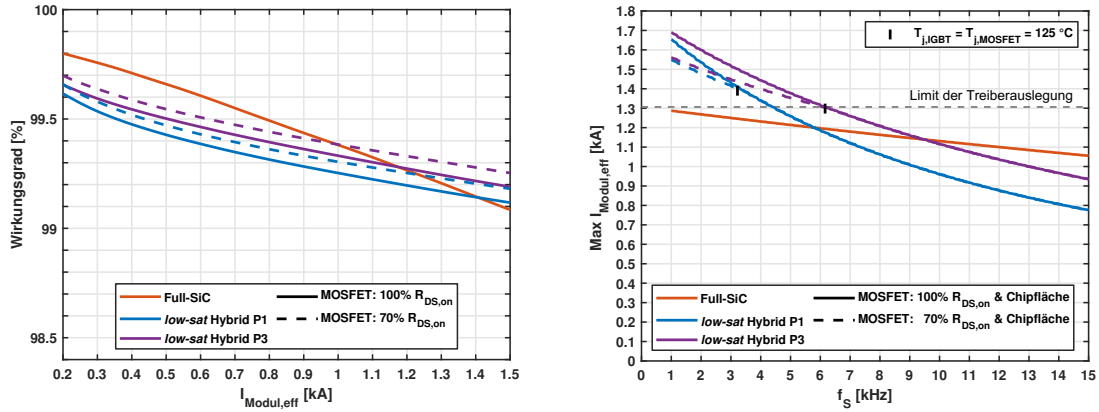
Eine Integration der Treiberschaltung in ein Leistungsmodul ermöglicht die Ansteuerung des Hybridschalters über einen einzelnen Gateanschluss, sodass für den Hybridschalter ein herkömmliches Gehäuse eines Leistungsmoduls verwendet werden kann. Laut [73] ist die Verwendung einer einfachen Ansteuerung, die sich nicht von der Ansteuerung eines Full-Si oder Full-SiC Modul unterscheidet, ein wichtiger Faktor für die Einführung hybrider Leistungsmodule in den Markt. Die Integration der hier vorgestellten Treiberschaltung in ein Modul und das grundsätzliche Prinzip, den Kurzschluss auf den IGBT zu begrenzen, sind jedoch nicht aneinander gebunden.

Die hier demonstrierte ereignisgesteuerte Treiberschaltung erzeugt für das Abschalten das Pulsmuster 1. Eine im Modul integrierte Treiberschaltung mit einer zeitlich verzögerten Abschaltung des SiC-MOSFETs, wie es für Pulsmuster 2 nötig wäre, wurde in der Literatur bereits in [39] demonstriert. Für die Verwendung des Pulsmusters 3 wäre ein komplexerer Treiber notwendig. Ein Konzept hierfür wäre ein externer Treiber mit FPGA, der ein Leistungsmodul mit separaten Anschlüssen treibt sowie über eine Entsättigungserkennung und dI/dt -Detektion verfügt. Dieser Treiber könnte die Funktionalitäten der ereignisgesteuerten Treiberschaltung mit Pulsmuster 3 und einer Kurzschlussabschaltung vereinen.

Bei Pulsmuster 2 oder Pulsmuster 3 ist beim regulären Abschalten einige Mikrosekunden nur der SiC-MOSFET eingeschaltet. Ein Kurzschluss innerhalb dieses Zeitintervalls wird durch die hier vorgestellte ereignisgesteuerte Treiberschaltung nicht auf den IGBT begrenzt. Bei einem Schaltversatz von $6\ \mu\text{s}$ und einer Schaltfrequenz von $10\ \text{kHz}$ wäre der Hybridschalter zu $6\ \%$ der Betriebszeit vulnerabel.

6.8 Gesteigerter Wirkungsgrad durch SiC-MOSFET ohne Kurzschlussfestigkeit

Die Kurzschlussfestigkeit eines SiC-MOSFETs ist von dessen Sättigungsstrom abhängig. Eine Reduktion des Sättigungsstroms führt zu einer geringeren Verlustleistung und längerer



(a) Wirkungsgrad des *low-sat* Hybrids mit 70 % $R_{\text{DS,on}}$ und 100 % SiC-Fläche (Wechselrichter, Super-Sinus-Dreieck Modulation, $f_s = 2.5 \text{ kHz}$, $M = 2/\sqrt{3}$, $\cos \varphi = 0.85$) (b) Ausgangsstrom des *low-sat* Hybrids mit 70 % $R_{\text{DS,on}}$ und 70 % SiC-Fläche (Wechselrichter, Flattop Modulation, $M = 2/\sqrt{3}$, $\cos \varphi = 1$, $T_a = 40^\circ \text{C}$)

Abbildung 6.11: Verwendung eines SiC-MOSFETs ohne Kurzschlussfestigkeit und mit reduziertem $R_{\text{DS,on}}$ im *low-sat* Hybridschalter

Widerstandszeit. Der Sättigungsstrom lässt sich durch die Parameter Thresholdspannung, Kanalbreite, Struktur zur Gateschirmung oder Treiberspannung beeinflussen. Bei all diesen Parametern muss ein Kompromiss zwischen $R_{\text{DS,on}}$ und Kurzschlussfestigkeit gefunden werden [144]. In [83], [84] wird beispielsweise zur Erhöhung der Kurzschlussrobustheit des Hybridschalters eine Absenkung der Treiberspannung des SiC-MOSFETs empfohlen.

Wird durch die ereignisgesteuerte Treiberschaltung der Kurzschlussstrom auf den IGBT begrenzt, muss beim SiC-MOSFET keinerlei Anforderung an dessen Kurzschlussfestigkeit gestellt werden. Durch ein angepasstes Chipdesign oder auch durch eine Erhöhung der Treiberspannung kann der $R_{\text{DS,on}}$ abgesenkt werden. Diese Parameter beeinflussen den Kanalwiderstand des SiC-MOSFETs, der jedoch nur einen Teil des gesamten Durchlasswiderstands des SiC-MOSFETs ausmacht. Insbesondere bei hohen Sperrspannungen dominiert die Driftregion ([2], [145]), eine Absenkung des $R_{\text{DS,on}}$ kann daher nur begrenzt erfolgen.

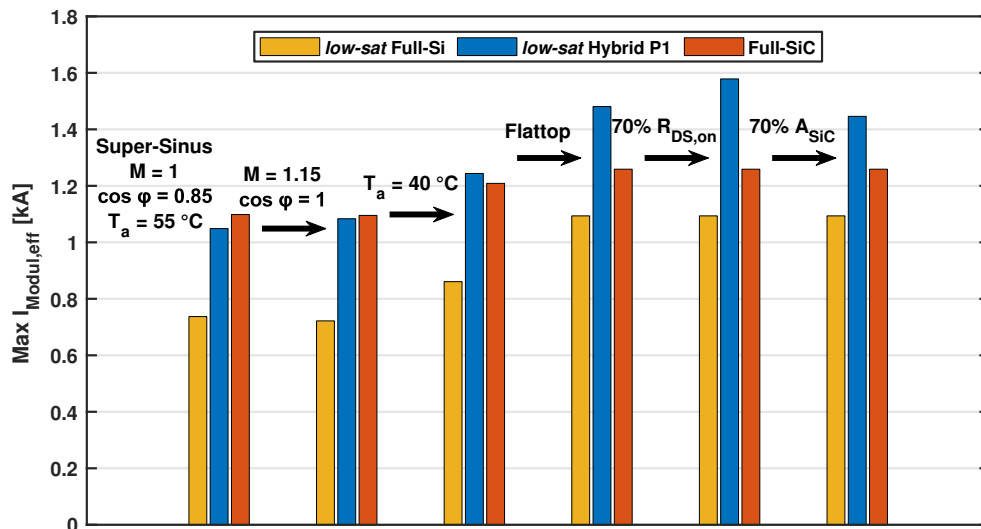
Der gesteigerte Wirkungsgrad eines Hybridschalters mit reduziertem $R_{\text{DS,on}}$ wird in Abbildung 6.11a dargestellt. Hierfür wurde angenommen, dass der $R_{\text{DS,on}}$ durch eine Erhöhung der Kanalweite und der Treiberspannung um insgesamt 30 % abgesenkt werden kann. Auswirkungen auf das Schaltverhalten durch eine Änderung der Kapazitäten des Halbleiters und einer anderen statischen Stromverteilung innerhalb des Hybridschalters wurden nicht mit einbezogen, es wurden zur Berechnung die Schaltverluste des Hybridschalters mit 100 % $R_{\text{DS,on}}$ verwendet. Der *low-sat* Hybridschalter mit Pulsmuster 3 erreicht bereits bei $I_{\text{Modul,eff}} \approx 1 \text{ kA}$ den gleichen Wirkungsgrad wie ein Full-SiC Modul im Vergleich zu $\approx 1.2 \text{ kA}$ bei 100 % $R_{\text{DS,on}}$.

Alternativ zu einem gesteigerten Wirkungsgrad kann zusätzlich die Chipfläche des SiC-MOSFETs auf 70 % reduziert werden, sodass der $R_{DS,on}$ des gesamten Moduls konstant gehalten wird. Durch die gemeinsam mit dem $R_{DS,on}$ reduzierte SiC-Chipfläche bleiben die Durchlassverluste unverändert, jedoch erhöht sich der thermische Widerstand des SiC-MOSFETs und damit dessen Sperrschichttemperatur. Eine reduzierte SiC-MOSFET Fläche ist daher nachteilig in allen Arbeitspunkten, in denen zuvor bereits der SiC-MOSFET limitiert hat. Weist der SiC-MOSFET jedoch Reserven in seiner Sperrschichttemperatur auf, kann die gleiche Leistungsdichte bei reduzierter SiC-Fläche erreicht werden. Dies ist vorteilhaft für den Ausgangsstrom des *low-sat* Hybridschalter mit Flattop Modulation, wenig Diodenleitdauer und geringer Kühlwassertemperatur, der bei allen Schaltfrequenzen vom IGBT limitiert wird (siehe Abbildung 5.10).

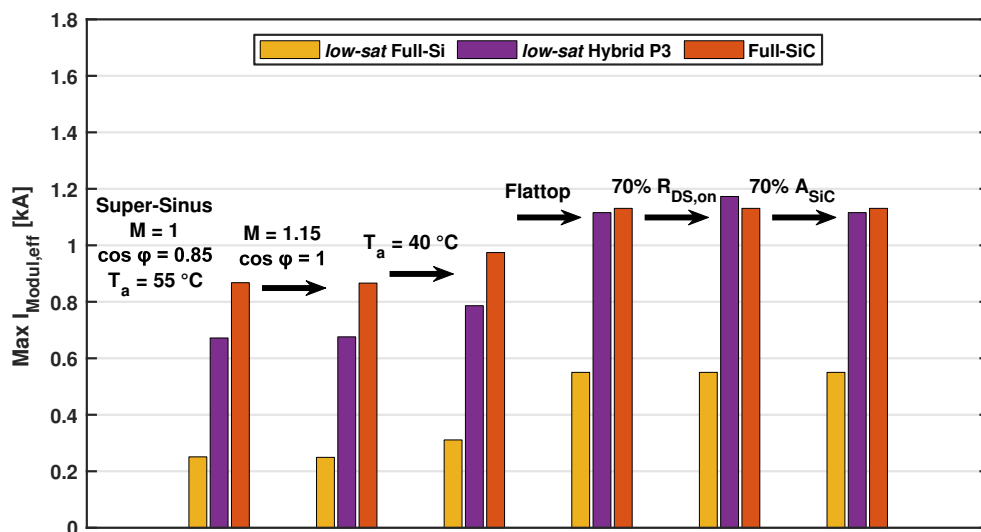
Die erneute Berechnung des Ausgangsstroms bei gleichen Randbedingungen, aber mit auf 70 % reduzierten $R_{DS,on}$ eines Einzelchips und gleichzeitig auf 70 % reduzierten SiC-Fläche (35 % der SiC-Chipfläche des Full-SiC Moduls) ist in Abbildung 6.11b dargestellt. Die Schaltfrequenz, bei der gleiche Sperrschichttemperatur auftritt, verschiebt sich zu höheren Schaltfrequenzen und liegt bei Pulsmuster 3 bei ca. 6 kHz. Unterhalb dieser Schaltfrequenz sinkt der maximale Ausgangsstrom ab, oberhalb dieser Frequenz verlaufen die Kurven mit und ohne reduzierter Chipfläche und $R_{DS,on}$ deckungsgleich. In beiden Fällen limitiert bei hohen Schaltfrequenzen der IGBT, in dem in beiden Fällen die gleichen Verluste anfallen. Es wird unverändert bei einer Schaltfrequenz von 6 kHz bei Pulsmuster 1 bzw. 9.5 kHz bei Pulsmuster 3 der gleiche Ausgangsstrom eines Full-SiC Moduls erreicht. Die Reduktion des maximalen Ausgangsstroms beschränkt sich auf niedrige Schaltfrequenzen, bei denen der Kurvenverlauf über dem Limit der Treiberauslegung liegt. Während der maximale Ausgangsstrom der Hybridschalter bei einer Schaltfrequenz von 10 kHz unterhalb des Limits der Treiberauslegung liegt, werden bei einer Schaltfrequenz von 2.5 kHz deutlich höhere Werte erreicht. Wird als Randbedingung eine höhere Kühlwassertemperatur von $T_a = 55^\circ\text{C}$ gewählt, sinkt der maximale Ausgangsstrom aller Module ab und ist auch bei einer Schaltfrequenz von 2.5 kHz durch das Limit der Treiberauslegung abgedeckt (siehe Abbildung A.31 im Anhang).

Abbildung 6.12 fasst den Einfluss von Betriebsbedingungen und Modulation auf den maximalen Ausgangsstrom des Hybridschalters zusammen und ergänzt die Verwendung eines SiC-MOSFETs mit reduziertem $R_{DS,on}$. Bei einer Schaltfrequenz von 2.5 kHz (Abbildung 6.12a) ist die Verwendung des Pulsmusters 1 empfohlen. Dieses Pulsmuster wird von der in diesem Kapitel vorgestellten Treiberschaltung verwendet. Durch die aufwändigeren Pulsmuster 2 und 3 lässt sich bei dieser Schaltfrequenz der Ausgangsstrom nur sehr gering steigern. Bei einer Verwendung von nur 35 % der SiC-Chipfläche eines Full-SiC Moduls wird eine Steigerung des Ausgangsstroms von 15 % gegenüber einem Full-SiC Modul bzw. 32 % gegenüber einem Full-Si Modul erreicht.

Bei einer Schaltfrequenz von 10 kHz (Abbildung 6.12b) ist die Verwendung des Pulsmusters 3 empfohlen, das geringe Schaltverluste aufweist. Jedoch ist zu beachten, dass hierfür eine aufwändigere Treiberschaltung verwendet werden muss. Bei einer Verwendung von nur 35% der SiC-Chipfläche eines Full-SiC Moduls wird der gleiche maximale Ausgangsstrom eines Full-SiC Moduls erzielt, das entspricht einer Verdopplung gegenüber einem Full-Si Modul.



(a) $f_S = 2.5 \text{ kHz}$



(b) $f_S = 10 \text{ kHz}$

Abbildung 6.12: Vorteilhafte Betriebspunkte und Steigerung der Leistungsdichte des Hybridschalters

7 Zusammenfassung

In der vorliegenden Arbeit wird ein Hybridschalter in der 1.7 kV-Spannungsklasse bestehend aus der Parallelschaltung von Si-IGBT und SiC-MOSFET untersucht. Für die experimentelle Untersuchung des Hybridschalters wird ein skaliertes Messaufbau für Einzelchips auf separaten Substraten verwendet, der das elektrische Verhalten eines Leistungsmoduls nachbildet. Der Anteil der SiC-Chipfläche im Hybridschalter beträgt ein Drittel, halb so viel SiC-Chipfläche wie im zum Vergleich betrachteten Full-SiC Modul verwendet wird.

Das Anwenden der gleichen Methodik auf Hybridschalter, Full-Si und Full-SiC Schalter sowie identische Randbedingungen für eine Treiberauslegung ermöglichen einen objektiven Vergleich des Hybridschalters mit den herkömmlichen Schaltervarianten. Auf diese Weise lässt sich das Potenzial eines hybriden Leistungsmoduls quantifizieren. Ein kompakter Vergleich des *low-sat* Hybridschalters mit *low-sat* Full-Si und Full-SiC ist in Tabelle 7.1 dargestellt.

Die Stromaufteilung im Durchlass des Hybridschalters ist durch die Auslegung von IGBT und MOSFET geprägt und von Temperatur und Laststrom abhängig. Da die Stromaufteilung die statische Plasmakonzentration im IGBT bestimmt, wirken sich alle Einflussparameter der Ausgangskennlinie auch auf das Schaltverhalten aus.

Eine Besonderheit der gewählten Treiberauslegung ist die Begrenzung der maximalen Flankensteilheit auf 15 kV/ μ s. Für das Abschalten werden drei unterschiedliche Pulsmuster detailliert untersucht. Beim einfach umzusetzenden Pulsmuster 1 wird der IGBT zum harten Abschalten verwendet. Durch die Aufteilung des Laststroms im Durchlass und dem Abschalten mit vollem Laststrom erreicht der IGBT eine deutliche Steigerung seiner Flankensteilheit und eine Reduktion der Verluste im Vergleich zu einem Full-Si Schalter.

Pulsmuster 2 und Pulsmuster 3 verwenden beim Abschalten eine mehrere Mikrosekunden lange Phase, in der der Laststrom auf den MOSFET kommutiert und im IGBT die statische Ladungsträgerdichte vor der Spannungsflanke weiter abgesenkt wird. Hierdurch lässt sich die Flankensteilheit weiter deutlich steigern. Selbst der *low-sat* Hybrid, der einen IGBT mit sehr geringer intrinsischer Flankensteilheit verwendet, kann so auf Flankensteilheiten über dem gesetzten Limit beschleunigt werden.

Pulsmuster 2 verwendet den MOSFET zum harten Abschalten und birgt dabei die Herausforderung, dass im Modul- und Chipdesign Maßnahmen gegen Inter-Chip Oszillationen getroffen werden müssen. Es werden die geringsten Schaltverluste erreicht, die aber zum Teil in der SiC-Chipfläche anfallen.

Tabelle 7.1: Zusammenfassender Vergleich des *low-sat* Hybridschalters mit Full-Si und Full-SiC Schalter

Parameter	Full-Si	Hybrid			Full-SiC
		P1	P2	P3	
Durchlass – Transistor (I_N)	100 %		80 % Vorteil bei $I_L \uparrow$		84 % Vorteil bei $I_L \downarrow$
Durchlass – Diode (I_N)	100 % Vorteil bei $I_L \uparrow \uparrow$		133 % halbe SiC-Fläche		66 %
Schaltverluste (I_N)	100 %	49 %	31 %	35 %	17 %
Schaltversatz	–	0 μ s	6 μ s	6 μ s	–
t_{OSZ} – Einschalten	keine		keine bis 1.1 μ s		1.1 μ s bis 1.6 μ s
t_{OSZ} – Ausschalten	keine	keine	0.1 μ s bis 0.8 μ s	keine bis 0.7 μ s	0.9 μ s bis 3 μ s
Inter-Chip Oszillationen	Nein	Nein	Ja	Nein	Ja
Treiber	einfach	aufwändig	aufwändiger	aufwändiger	einfach
Kurzschlussfestigkeit	gegeben	wie IGBT, mit Zusatzschaltung	wie IGBT, mit Zusatzschaltung	wie IGBT, mit Zusatzschaltung	gering
Wirkungsgrad	geringer	hoch Vorteil bei $I_L \uparrow$			hoch Vorteil bei $I_L \downarrow$
$\max I_{Modul,eff}$	mittel für $f_s \downarrow$ gering für $f_s \uparrow$	sehr hoch für $f_s \downarrow$ mittel für $f_s \uparrow$	sehr hoch für $f_s \downarrow$ hoch für $f_s \uparrow$	sehr hoch für $f_s \downarrow$ hoch für $f_s \uparrow$	hoch für $f_s \downarrow$ hoch für $f_s \uparrow$

Pulsmuster 3 verwendet zum harten Abschalten wiederum den IGBT. Vor der Spannungsflanke kommutiert der Laststrom kurzzeitig in den IGBT. Dies führt zwar zu einem erneuten dynamischen Plasmaaufbau im IGBT und zu höheren Schaltverlusten als bei Pulsmuster 2, die Schaltverluste werden jedoch vollständig im IGBT umgesetzt und sind im Vergleich zu Pulsmuster 1 oder einem Full-Si Schalter dennoch stark reduziert. Inter-Chip Oszillationen treten nicht auf.

Es wird festgestellt, dass das in der Literatur vorherrschende Pulsmuster 2 nur dann lohnenswert ist, wenn nicht bereits durch Pulsmuster 1 die maximale Flankensteilheit erreicht wird. Gleiches gilt für Pulsmuster 3. Bei gleicher Flankensteilheit unterscheiden sich die Abschaltverluste der Pulsmuster in Summe nur gering.

Die Schaltgeschwindigkeit des Einschaltens ist durch das Reverse-Recovery der Bodydiode bestimmt, die Einschaltverluste unterscheiden sich kaum zwischen den unterschiedlichen Hybridschaltern aufgrund gleicher Einschaltgeschwindigkeit. Der Hybridschalter profitiert stark von der sehr geringen Ladung der SiC-Bodydiode beim Reverse-Recovery.

Für den Hybridschalter werden eine Vielzahl von IGBTs mit unterschiedlicher Auslegung in Betracht gezogen. Es zeigt sich jedoch, dass ein auf Durchlass optimierter *low-sat* IGBT am besten für einen Hybridschalter geeignet ist. Bei Anwendung von Pulsmuster 2 erreicht der *low-sat* Hybrid in Summe die gleichen niedrigen Schaltverluste wie der *fast* Hybrid, sodass aufgrund der deutlich geringeren Durchlassspannung der *low-sat* Hybrid vorzuziehen ist. Die insgesamt niedrigsten Schaltverluste werden durch den Full-SiC erreicht, auch wenn der Hybridschalter auf die gleiche Spannungssteilheit beschleunigt werden kann.

Die bipolare Ladung des IGBTs im Hybridschalter ist beim Abschalten in Bezug auf die Schaltverluste ein Nachteil, wirkt sich jedoch vorteilhaft auf die Oszillationsdauer aus. Insbesondere beim *low-sat* Hybrid P1 wird ein sehr softes Schaltverhalten ohne Oszillationen erzielt. Oszillationen, die bei Pulsmuster 2 und Pulsmuster 3 auftreten können, sind im gleichen Arbeitspunkt deutlich stärker gedämpft als beim Full-SiC.

Der *low-sat* Hybrid P1 ist in seiner Abschaltgeschwindigkeit so wie auch der *low-sat* Full-Si durch dynamischen Avalanche limitiert. In dieser Arbeit wird gezeigt, dass jedoch auch beim Pulsmuster 2 dynamischer Avalanche auftritt. Dieser wirkt sich auf die Schaltkurven anders aus als bei einem Full-Si Schalter oder einem Hybrid mit Pulsmuster 1. Statt einer Reduktion der Spannungssteilheit wurde bei Pulsmuster 2 ein dynamischer Anstieg des Kollektorstroms im IGBT während der Spannungsflanke als Indikator für dynamischen Avalanche identifiziert. Auch in diesem Fall ist eine Reduktion der Schaltgeschwindigkeit eine geeignete Gegenmaßnahme. Wird der Schaltsignalversatz ausreichend hoch gewählt, kann mit Pulsmuster 2 und Pulsmuster 3 die maximale erlaubte Flankensteilheit erreicht werden, ohne dass dynamischer Avalanche auftritt.

Aus den ermittelten Schaltverlusten und Durchlasskennlinien wird rechnerisch der Wirkungsgrad und der maximale Ausgangsstrom eines hybriden Leistungsmoduls im Wechselrichterbetrieb in Abhängigkeit von der Schaltfrequenz berechnet. Dabei werden die verwendeten Chipflächen und die thermische Kopplung zwischen IGBT und MOSFET innerhalb eines hybriden Leistungsmoduls mit einbezogen.

Während der Full-SiC-Schalter bei niedrigen Lastströmen einen leicht höheren Wirkungsgrad aufweist, ist der Hybridschalter bei hohen Lastströmen trotz höherer Schaltverluste durch seine niedrige Durchlassspannung im Vorteil.

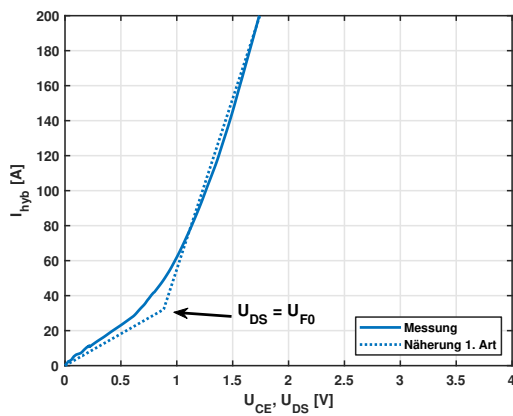
Da der Hybridschalter zudem im Diodenmodus im Nachteil ist, weil er eine kleinere SiC-Chipfläche für die Rückwärtsleitfähigkeit verwendet, ergeben sich Betriebsbedingungen, die für den Hybridschalter gut geeignet sind. Wenig Diodenleitdauer bei hohem Leistungsfaktor im Wechselrichterbetrieb, ein hoher Modulationsindex und allgemein ein hoher Ausgangsstrom sind für den Hybridschalter im Vergleich günstige Betriebsbedingungen. Er erreicht bei geringer Schaltfrequenz höhere Ausgangsströme als ein Full-SiC Schalter. Wird ein diskontinuierliches Modulationsverfahren verwendet, das die Anzahl an Schalthandlungen reduziert, dominiert das vorteilhafte Durchlassverhalten des Hybridschalters. Hierdurch erreicht der *low-sat* Hybrid P3 auch bei einer hohen Schaltfrequenz von 10 kHz den gleichen Ausgangsstrom wie der Full-SiC Schalter.

Für die Ansteuerung eines hybriden Leistungsmoduls ist grundsätzlich ein höherer Aufwand als bei einem Full-Si oder Full-SiC notwendig. In dieser Arbeit wird eine Treiberschaltung vorgestellt, die das Potenzial besitzt, in ein Leistungsmodul integriert zu werden. Ein Leistungsmodul mit der herkömmlichen Anzahl an Terminals kann verwendet werden. Diese Treiberschaltung steuert den Hybridschalter mit einem einzelnen Eingangssignal an und erzeugt Nullspannungsschalten für den SiC-MOSFET. Im Kurzschlussfall wird der Kurzschlussstrom auf den IGBT des Hybridschalters begrenzt. Die Kurzschlussfestigkeit des Hybridschalters ist durch den IGBT bestimmt. Es kann ein SiC-MOSFET mit reduzierter Kurzschlussfestigkeit und dadurch verringertem Durchlasswiderstand verwendet werden. Der Wirkungsgrad des Hybridschalters kann dadurch weiter gesteigert oder die verwendete SiC-Chipfläche reduziert werden.

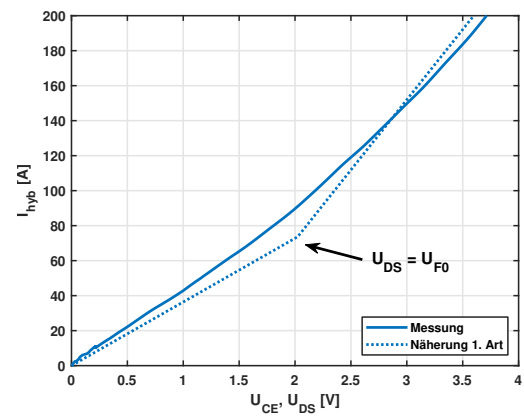
Der in dieser Arbeit vorgestellte Hybridschalter bedarf eines höheren Aufwands in der Ansteuerung. Er verwendet aber deutlich weniger SiC-Chipfläche als der zum Vergleich herangezogene Full-SiC Schalter. Es wurden Betriebsbedingungen identifiziert, in denen der Hybridschalter den Full-SiC Schalter sogar in Effizienz und maximalem Ausgangsstrom übertrifft. Er weist ein besseres Schaltverhalten in Bezug auf Oszillationen auf und erreicht mit der vorgestellten Treiberschaltung die Kurzschlussfestigkeit eines IGBTs.

A Anhang

A.1 Lineare Näherung der Durchlasskennlinie



(a) *low-sat* Hybrid



(b) *fast* Hybrid

Abbildung A.1: Lineare Näherung der Durchlasskennlinien des Hybridschalters durch lineare Regression der gemessenen Kennlinien von IGBT und MOSFET im Bereich von 0 A bis 200 A mit der Methode der kleinsten Quadrate

A.2 Intrinsisches Abschalten des Hybridschalters und nur des Si-IGBTs

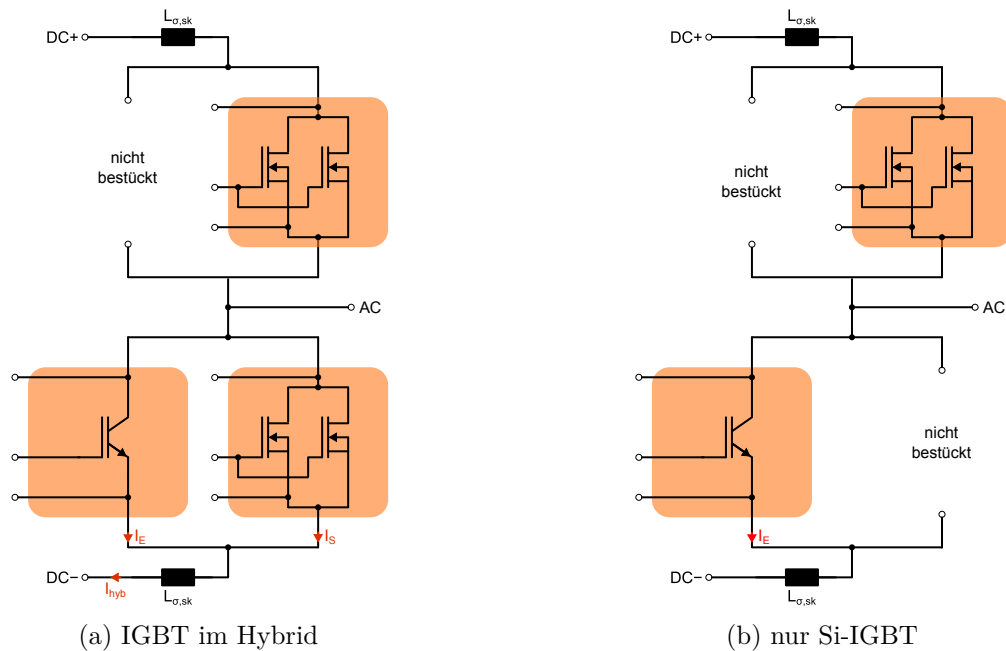


Abbildung A.2: Messkonfiguration für das intrinsische Abschalten des IGBTs mit und ohne parallelen SiC-MOSFET. Freilauf durch SiC-MOSFET

A.3 Dynamischer Avalanche im IGBT W3Z3

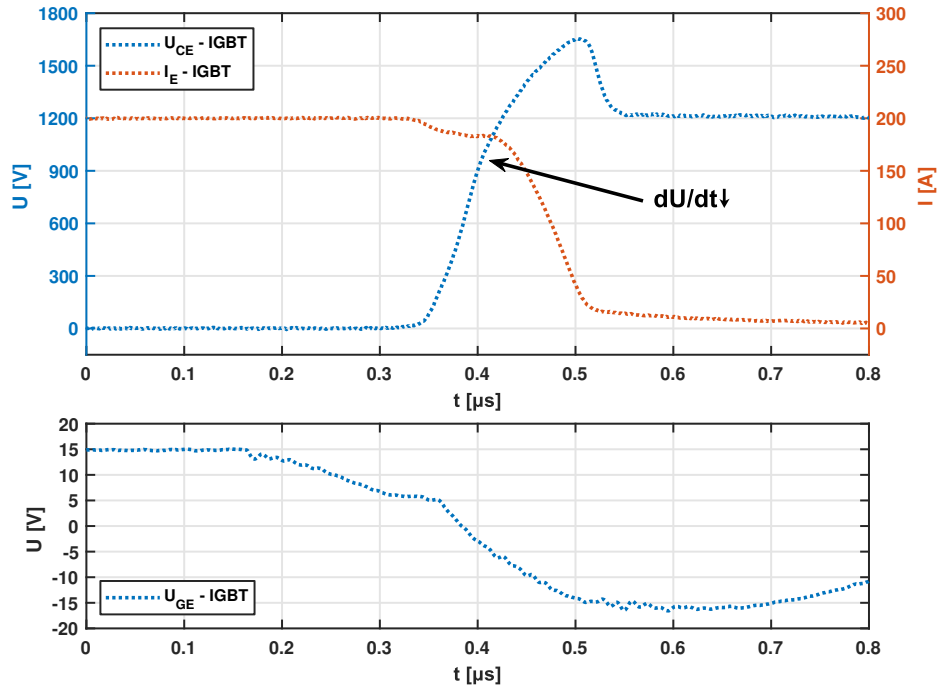


Abbildung A.3: Dynamischer Avalanche beim intrinsischen Abschalten des schnellsten IGBT W3Z3 ($I_{\text{hyb}} = 200 \text{ A}$, $U_{\text{DC}} = 1200 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$). Rückgang des dU/dt vor Erreichen der Zwischenkreisspannung

A.4 TCAD-Simulation des Hybridschalters

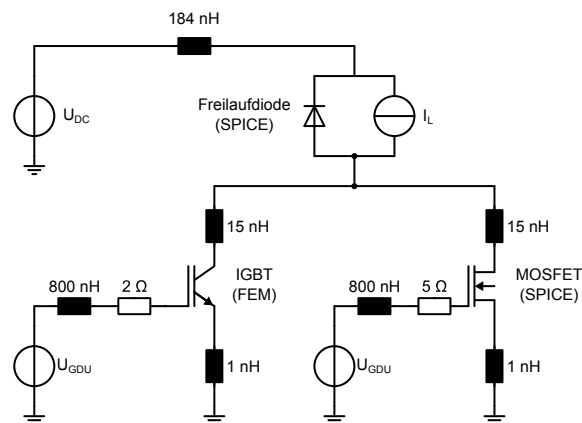


Abbildung A.4: Schaltplan zur FEM-Simulation des Si-IGBTs im Hybridschalter

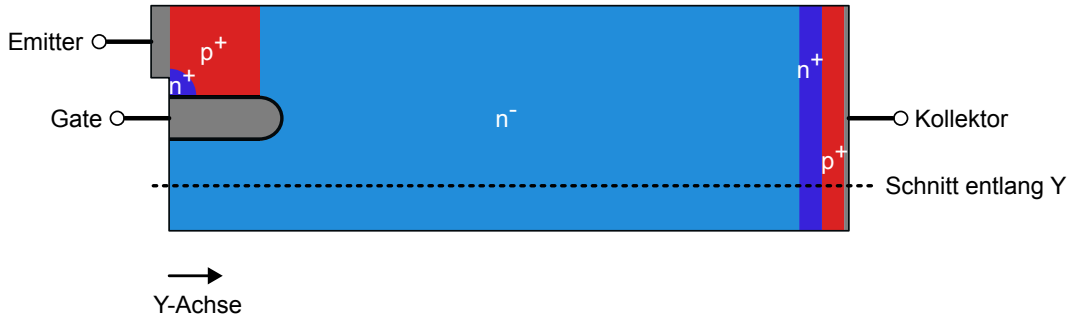


Abbildung A.5: Schnittachse durch das FEM-Modell des IGBTs zur Extraktion der elektrischen Feldstärke und Ladungsträgerdichte

A.5 Abschalten des Full-Si Schalters mit Treiberauslegung für einen objektiven Vergleich

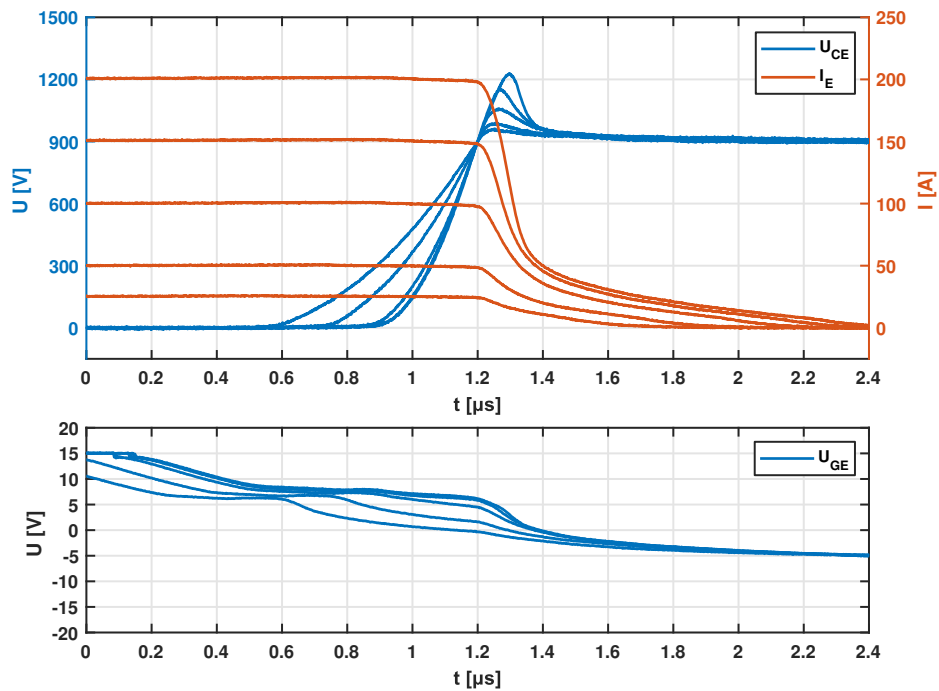


Abbildung A.6: Abschalten des *low-sat* IGBTs mit Treiberauslegung für einen objektiven Vergleich bei einem Laststrom von 25 A bis 200 A (IGBT W9Z1, $I_L = 25 \text{ A bis } 200 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 25 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = 0 \text{ } \mu\text{s}$)

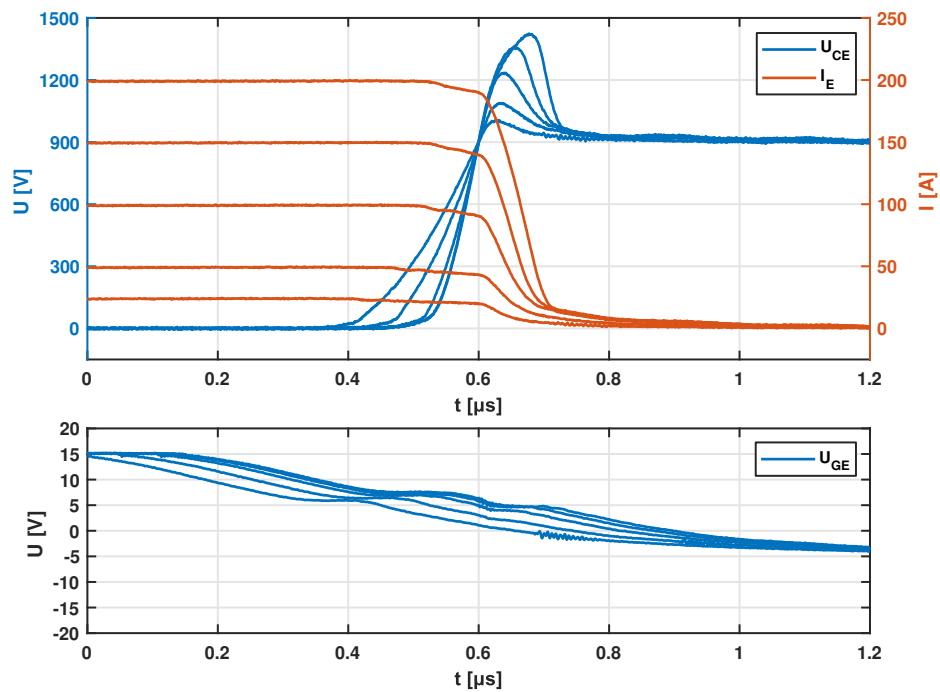


Abbildung A.7: Abschalten des *fast* IGBTs mit Treiberauslegung für einen objektiven Vergleich bei einem Laststrom von 25 A bis 200 A (IGBT W6Z3, $I_L = 25 \text{ A}$ bis 200 A , $U_{DC} = 900 \text{ V}$, $T_j = 25^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = 6 \mu\text{s}$)

A.6 Abschalten des Full-SiC Schalters mit Treiberauslegung für einen objektiven Vergleich

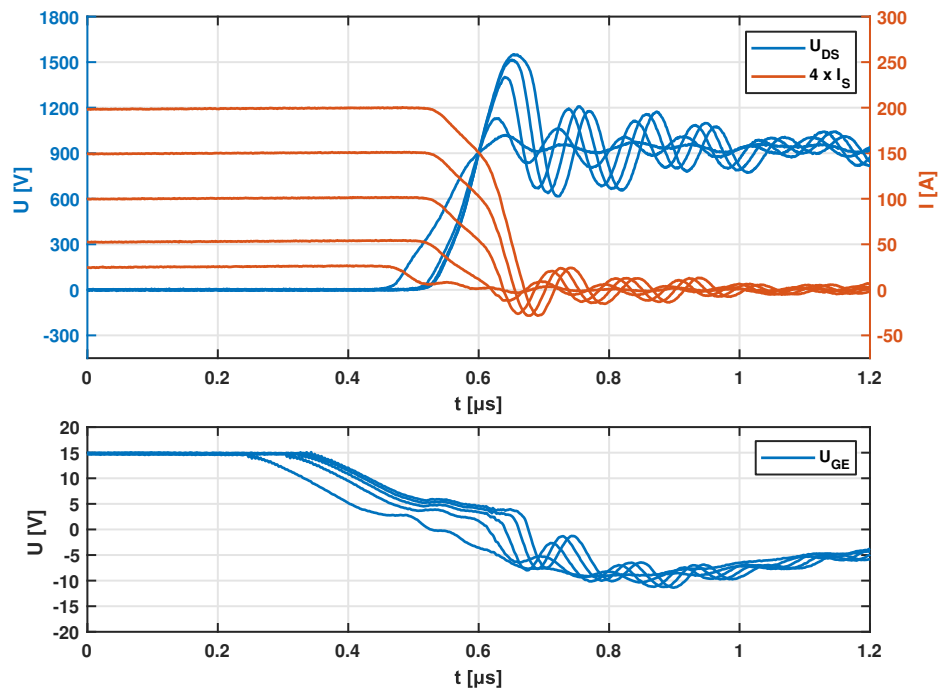


Abbildung A.8: Abschalten des SiC-MOSFETs mit Treiberauslegung für einen objektiven Vergleich bei einem Laststrom von 25 A bis 200 A ($I_L = 25 \text{ A bis } 200 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 25 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$)

A.7 Spannungsaufnahme des IGBTs im *low-sat* Hybrid mit Pulsmuster 2

Abbildung A.9 zeigt die Spannungsaufnahme des IGBTs im *low-sat* Hybridschalter beim Abschalten mit Pulsmuster 2 mit Variation von t_V . Die Flankensteilheit des MOSFETs wurde so eingestellt, dass bei geringem Versatz kein dynamischer Avalanche auftritt und bei hohem Versatz das gewählte Limit von $15 \text{ kV}/\mu\text{s}$ nicht überschritten wird.

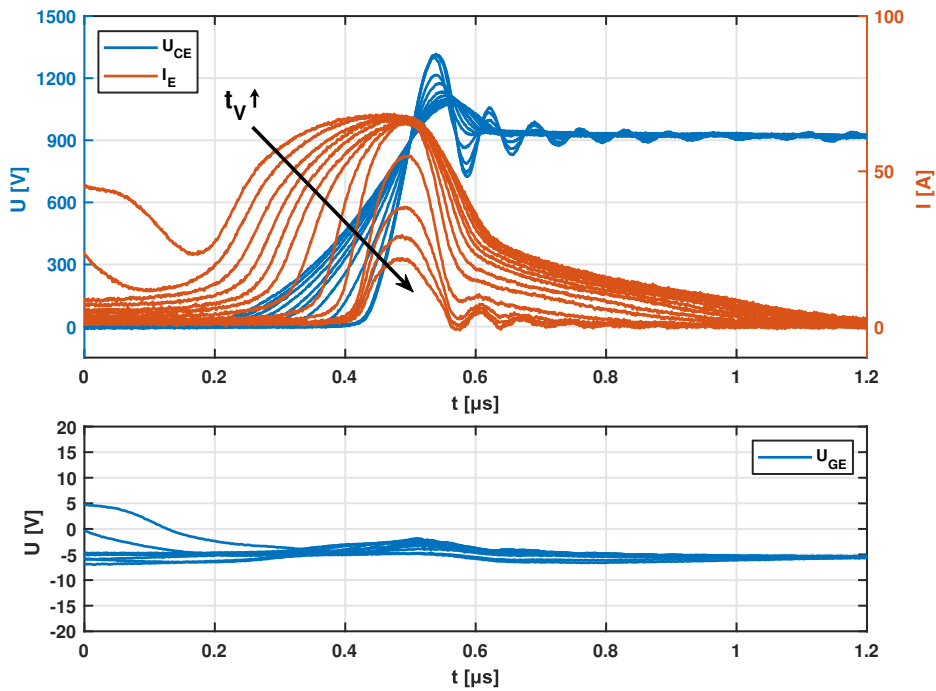


Abbildung A.9: Passive Spannungsaufnahme des IGBTs im *low-sat* Hybrid mit Schaltversatz $t_V \in \{0 \mu\text{s}, 0.2 \mu\text{s}, 0.5 \mu\text{s}, 0.8 \mu\text{s}, 1.1 \mu\text{s}, 1.5 \mu\text{s}, 2 \mu\text{s}, 3 \mu\text{s}, 4 \mu\text{s}, 6 \mu\text{s}, 8 \mu\text{s}, 10 \mu\text{s}, 12 \mu\text{s}\}$ ($I_L = 100 \text{ A}$, $U_{\text{DC}} = 900 \text{ V}$, $T_j = 125^\circ\text{C}$, $C_{\text{GE,ext}} = 20 \text{ nF}$)

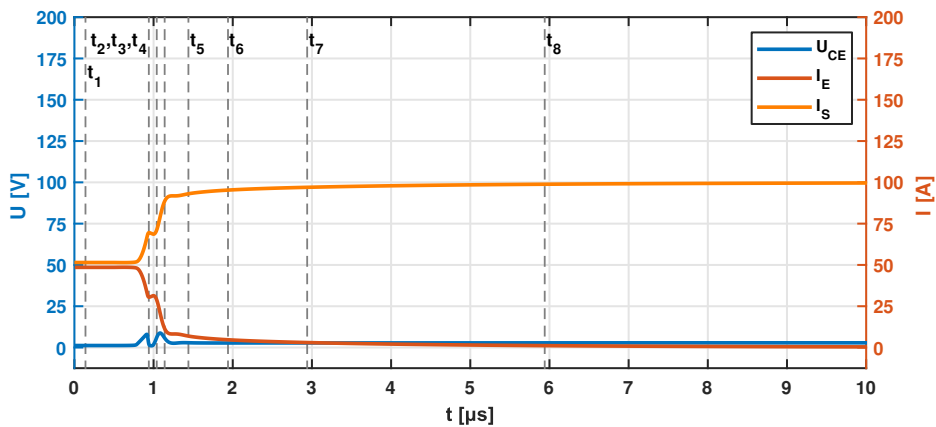


Abbildung A.10: Simulation: Abschalten eines *low-sat* IGBTs im Hybridschalter, Kommutierung auf den parallelen SiC-MOSFET ($I_L = 100 \text{ A}$, $T_j = 125^\circ\text{C}$)

A.8 Dynamischer Avalanche beim Abschalten mit Pulsmuster 1

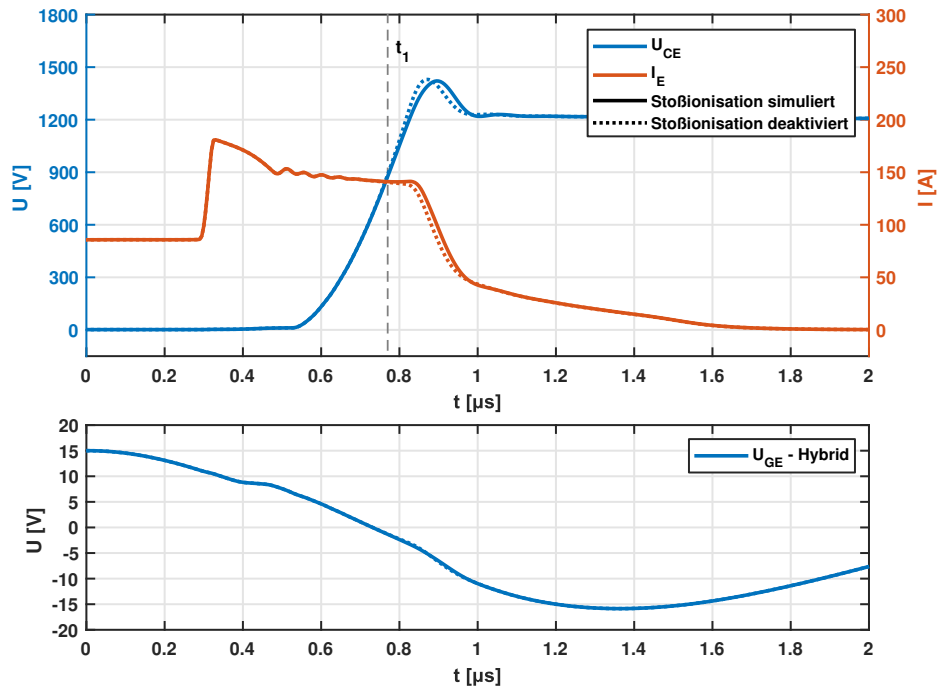


Abbildung A.11: Simulation: Avalanche beim intrinsischen, IGBT-geführten Abschalten eines *low-sat* Hybrids mit Pulsmuster 1. Avalanche setzt bei gleichem Emittterstrom und gleicher Sperrspannung wie beim Abschalten mit Pulsmuster 2 ein ($I_{\text{L}} = 150 \text{ A}$, $U_{\text{DC}} = 1200 \text{ V}$, $T_{\text{j}} = 125 \text{ }^{\circ}\text{C}$)

A.9 Inter-Chip Oszillationen

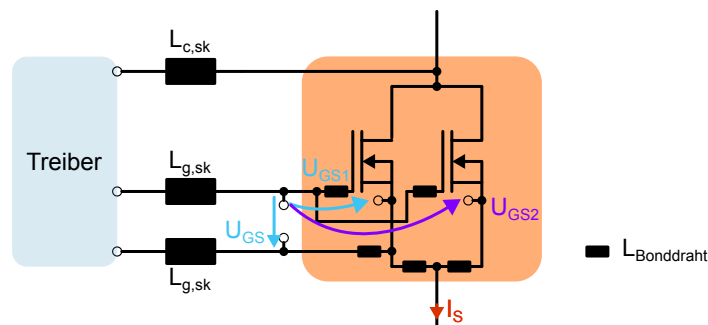


Abbildung A.12: Messung der separaten Gatespannungen paralleler MOSFETs zwischen Gatekontaktierung des Substrates und der Oberflächenmetallisierung der Chips

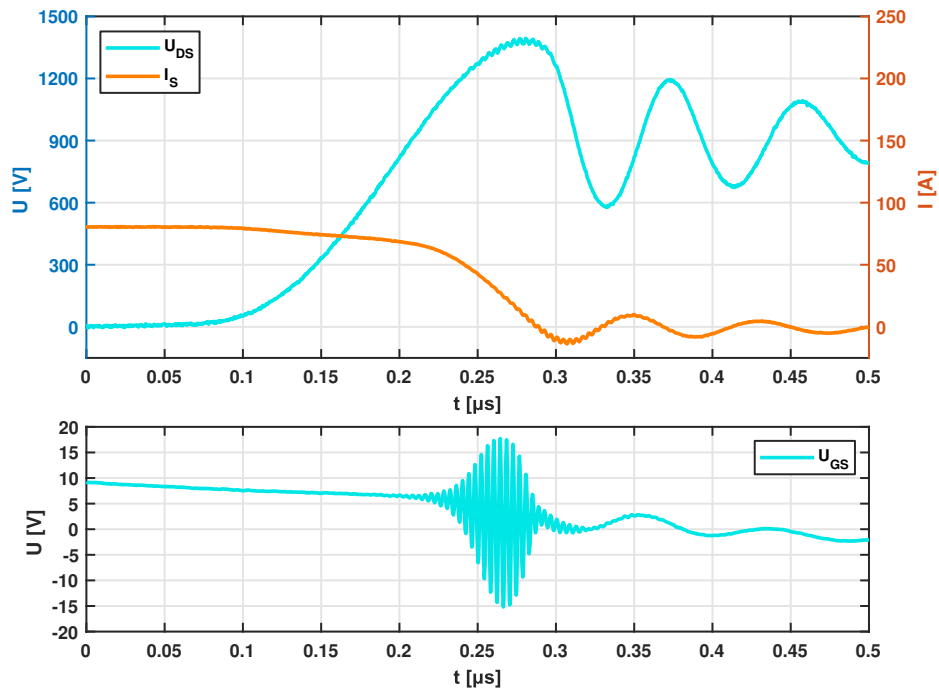


Abbildung A.13: Abschalten von zwei SiC-MOSFETs auf einem Substrat mit Skalierungsfaktor $N_S = 16$ ($I_L = 80$ A, $U_{DC} = 900$ V, $T_j = 25$ °C)

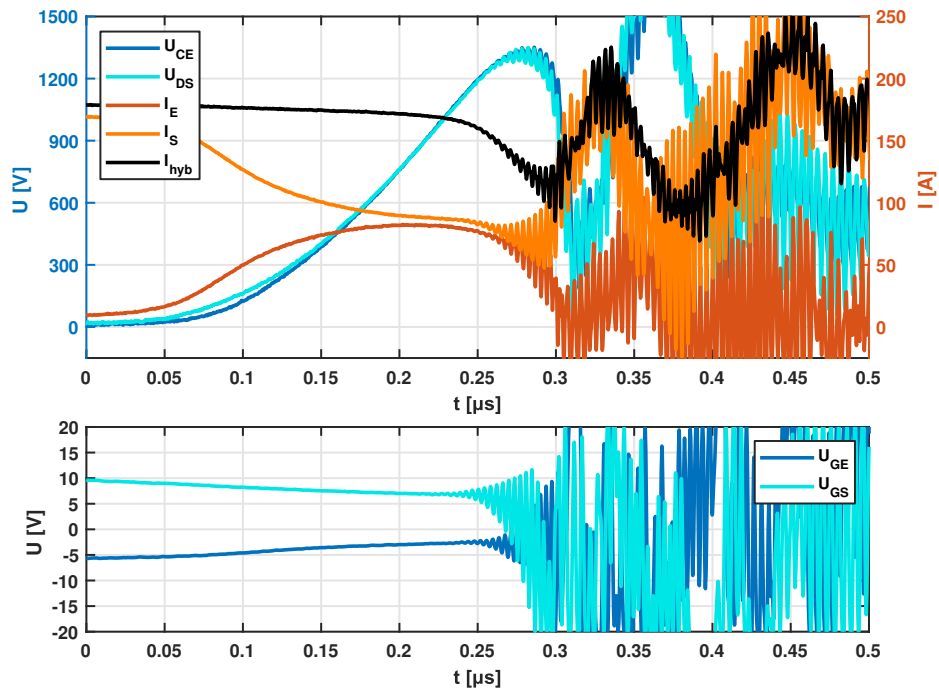


Abbildung A.14: MOSFET geführtes Abschalten mit Pulsmuster 2 eines Si-SiC Hybrid-schalters mit *low-sat* IGBT mit Schaltversatz $t_V = 1.5$ μs. Zerstörung des SiC-MOSFETs durch Inter-Chip Oszillationen ($I_L = 165$ A, $U_{DC} = 1050$ V, $T_j = 25$ °C, $C_{GE,ext} = 20$ nF)

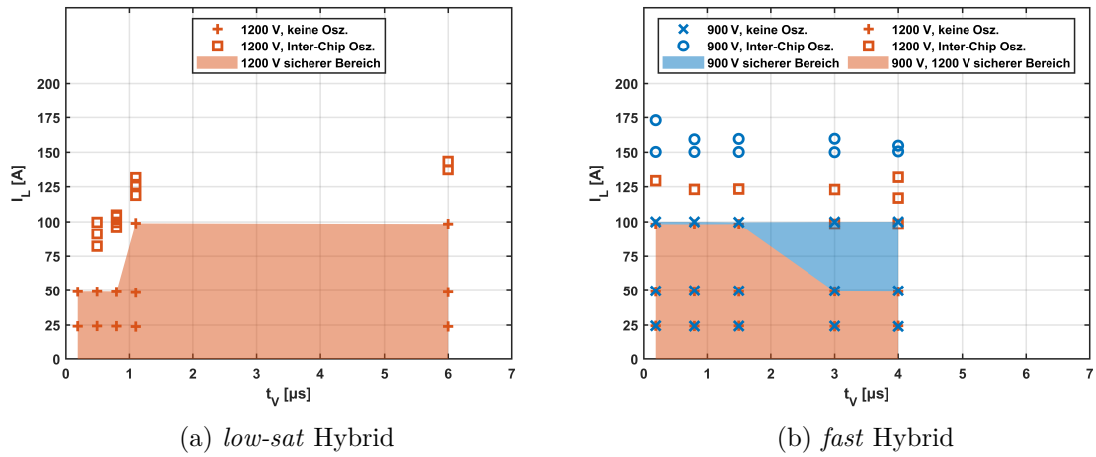


Abbildung A.15: Auftreten von Inter-Chip Oszillationen bei Pulsmuster 2: Gemessene Arbeitspunkte ohne und mit Inter-Chip Oszillationen ohne Zerstörung ($T_j = 25^\circ\text{C}$, $C_{\text{GE,ext}} = 20\text{ nF}$)

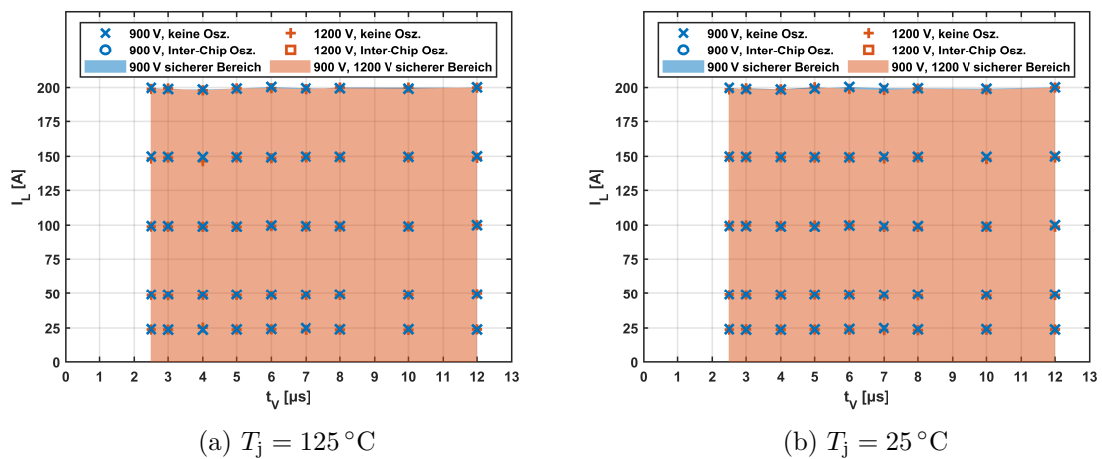


Abbildung A.16: Kein Auftreten von Inter-Chip Oszillationen bei *low-sat* Hybrid mit Pulsmuster 3 in allen gemessenen Arbeitspunkten ($C_{\text{GE,ext}} = 20\text{ nF}$)

A.10 Auslegung Active-Clamping bei Abschalten mit Puls- muster 2

Beim MOSFET-geführten Schalten wurde eine Active-Clamping Schaltung beim *low-sat* Hybridschalter mit $t_V \in [3 \mu\text{s}, 12 \mu\text{s}]$ eingesetzt sowie im *fast* Hybrid bei $t_V \in [0 \mu\text{s}, 12 \mu\text{s}]$. Die Auslegung erfolgte bei einer Zwischenkreisspannung von 1200 V und einer Sperrschichttemperatur von 125 °C, beim *low-sat* Hybrid bei $t_V = 6 \mu\text{s}$, beim *fast* Hybrid bei $t_V = 0.2 \mu\text{s}$.

Das Active-Clamping wirkt bei Pulsmuster 2 nur auf den SiC-MOSFET, die Temperaturabhängigkeit der Überspannung ist daher als gering einzuschätzen (siehe Full-SiC Schalter in Abbildung 4.31). Der Schaltsignalversatz hat ebenfalls nur eine geringe Auswirkung auf die Überspannungsspitze. Er bestimmt zwar, wie viel Strom beim Abschalten durch den MOSFET fließt, die Überspannungsspitze ist jedoch hauptsächlich durch die parasitäre Induktivität im gesamten Kommutierungskreis bestimmt. Abbildung A.17 zeigt die geringe Abhängigkeit der Überspannungsspitze von der Temperatur und dem Schaltsignalversatz. Beim *fast* Hybridschalter bleibt die Überspannungsspitze bei verschiedenen Werten von t_V nahezu konstant. Das gilt ebenfalls beim *low-sat* Hybrid mit $t_V \geq 6 \mu\text{s}$, da hier die gleiche Abschaltgeschwindigkeit des MOSFETs eingestellt ist. Die Überspannungsspitze beim *fast* Hybridschalter fällt bei geringer Temperatur nur leicht höher aus.

Die Auslegung bei je nur einem Arbeitspunkt eignet sich daher auch für alle Arbeitspunkte, die aufgrund von Inter-Chip Oszillationen nicht vermessen werden konnten.

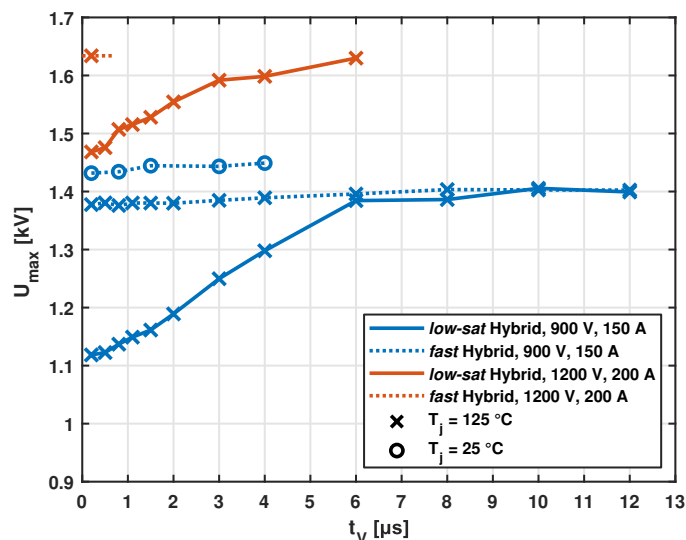


Abbildung A.17: Transiente Überspannungen beim MOSFET-geführten Abschalten mit Pulsmuster 2 ($C_{GE,ext} = 20 \text{ nF}$)

A.11 Aufteilung der Abschaltverluste bei Pulsmuster 2 in Abhängigkeit des Laststroms

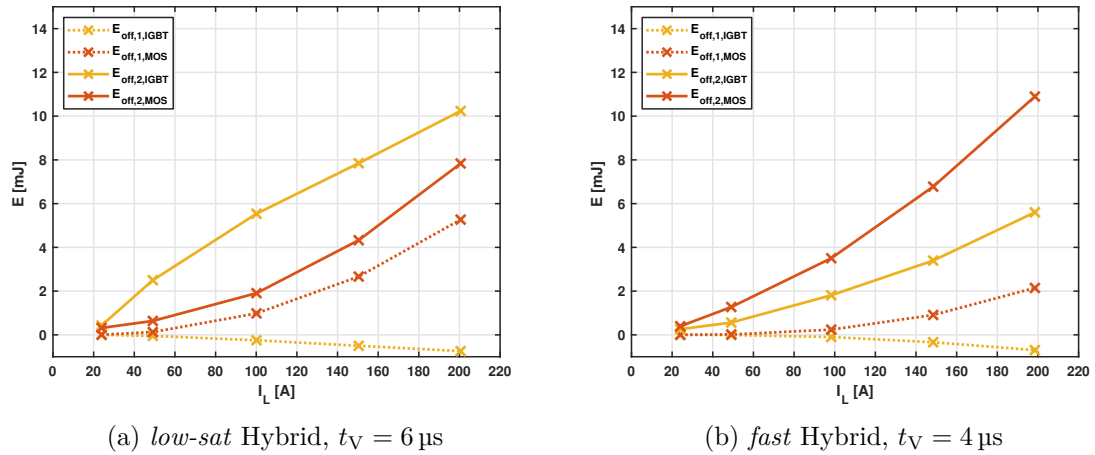


Abbildung A.18: Aufteilung der Abschaltverluste bei Pulsmuster 2 ($U_{DC} = 900 \text{ V}$, $T_j = 125^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$)

A.12 Abschalten des Hybridschalters mit Pulsmuster 3

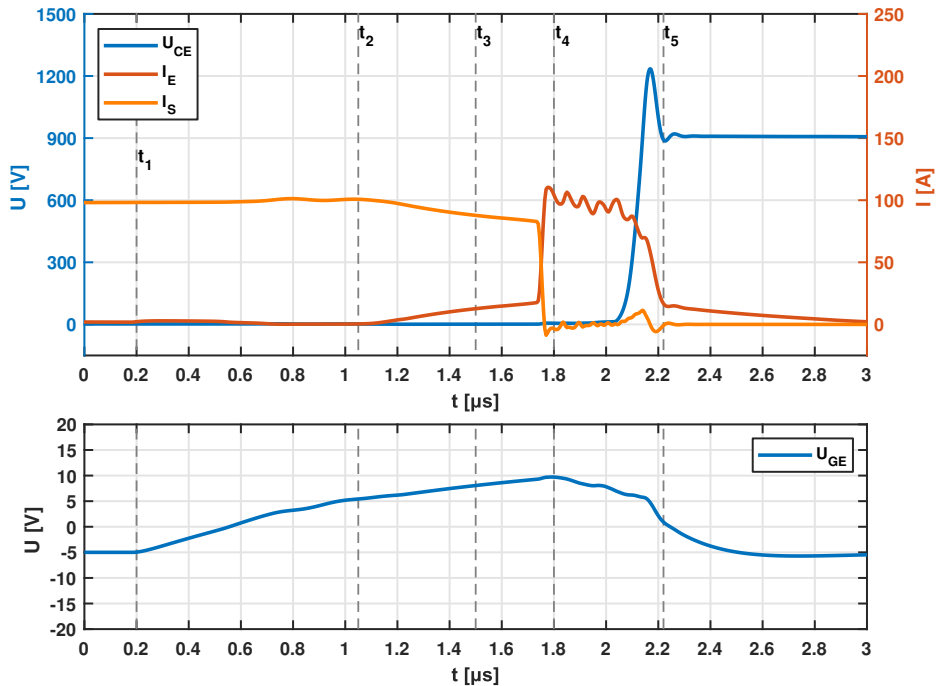


Abbildung A.19: Simulation: Abschalten des Hybridschalters mit Pulsmuster 3 ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = 6 \mu\text{s}$)

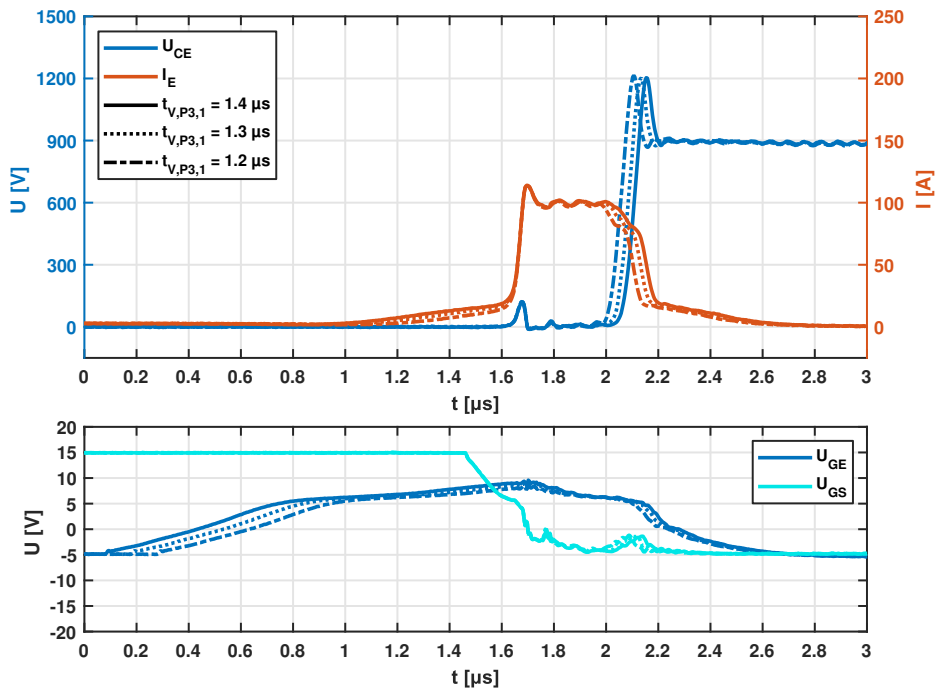


Abbildung A.20: Abschalten des *low-sat* Hybrids mit Pulsmuster 3 mit verschiedenen Zeiten $t_{V,P3,1}$ ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = 6 \text{ } \mu\text{s}$)

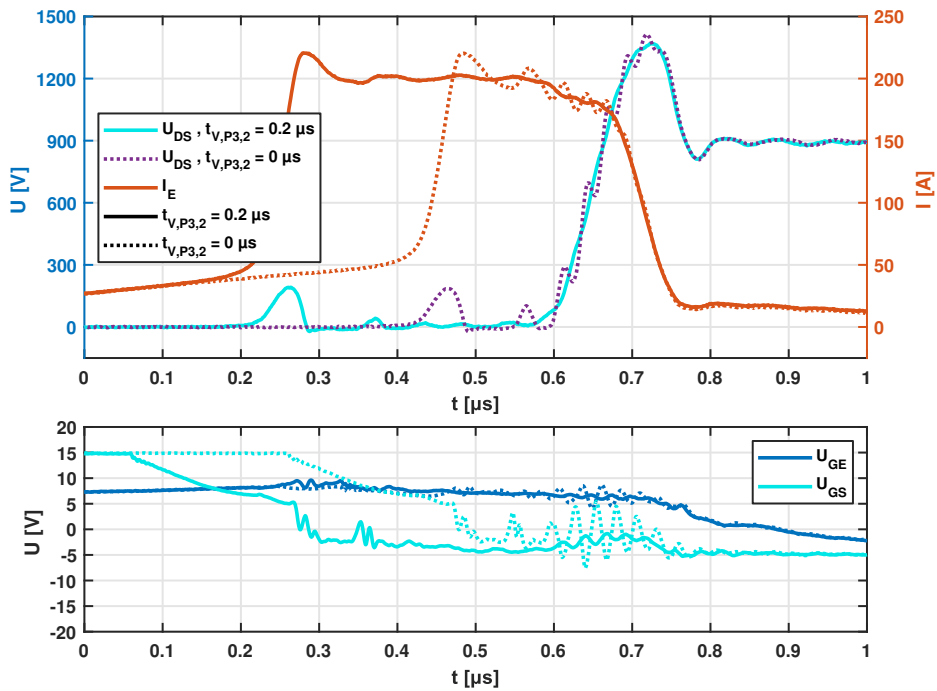


Abbildung A.21: Oszillationen beim Abschalten des *low-sat* Hybrids mit Pulsmuster 3 mit geringer Zeit für $t_{V,P3,2}$ ($I_L = 200 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = 6 \text{ } \mu\text{s}$)

A.13 Einschalten und Reverse-Recovery

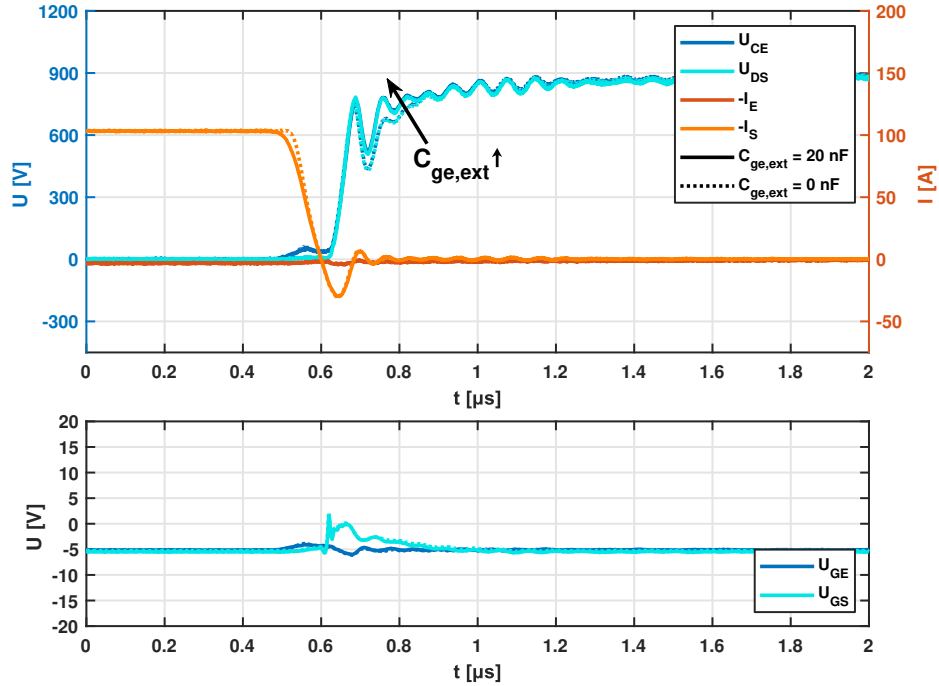


Abbildung A.22: Reverse-Recovery beim Einschalten des *fast* Hybrids mit externer Gatekapazität ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$, $t_V = 2 \text{ } \mu\text{s}$)

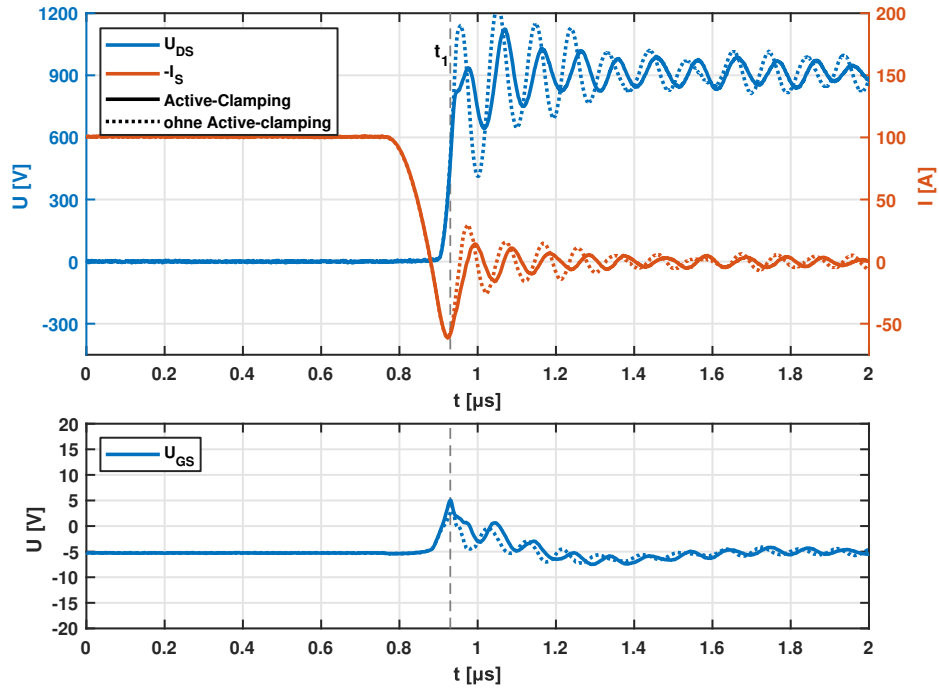


Abbildung A.23: Beeinflussung der Oszillationen beim Reverse-Recovery des Full-SiC durch Anheben der Gatespannung durch Active-Clamping ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125 \text{ }^\circ\text{C}$)

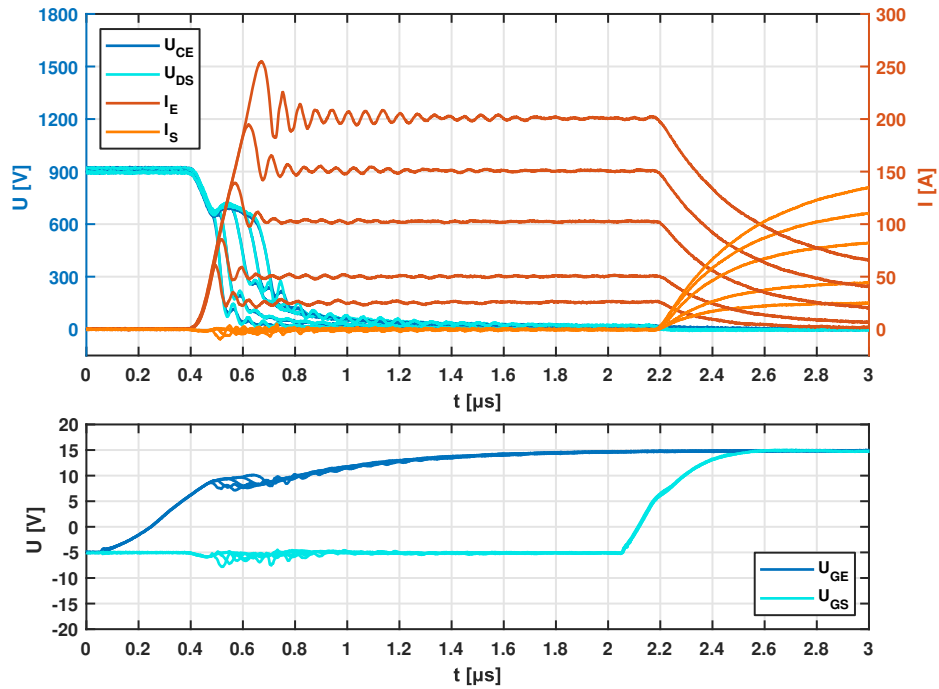


Abbildung A.24: Einschalten des *fast* Hybrids mit Treiberauslegung für einen objektiven Vergleich bei einem Laststrom von 25 A bis 200 A ($I_L = 25 \text{ A bis } 200 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$, $t_V = 2 \mu\text{s}$)

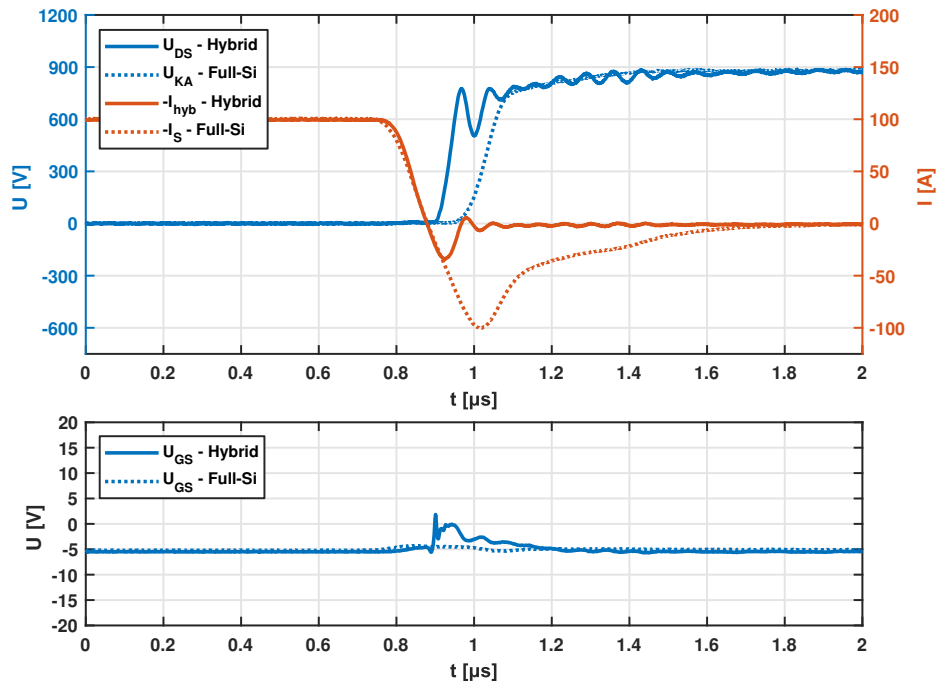


Abbildung A.25: Reverse-Recovery des Hybridschalters und Full-Si Schalters mit *fast* IGBT ($I_L = 100 \text{ A}$, $U_{DC} = 900 \text{ V}$, $T_j = 125^\circ\text{C}$, $C_{GE,ext} = 20 \text{ nF}$)

A.14 Anteilige Skalierung der thermischen Widerstände im Leistungsmodul

Die Berechnung der Sperrschichttemperatur von IGBT und MOSFET im Leistungsmodul erfolgt in Kapitel 5.1 nach Gleichung 5.1. Die Sperrschichttemperatur des IGBTs lässt sich ebenfalls mit Gleichung A.1 ausdrücken. Eine Umformung zu Gleichung A.3 ist möglich. Gleichung A.3 entspricht dem thermischen Ersatzschaltbild in Abbildung A.26.

$$T_{j,\text{IGBT}} = T_a + R_{\text{th,II}} \cdot \bar{P}_{\text{IGBT}} + R_{\text{th,IM}} \cdot \bar{P}_{\text{MOSFET}} \quad (\text{A.1})$$

$$= T_a + R_{\text{th,II}} \cdot \bar{P}_{\text{IGBT}} + R_{\text{th,IM}} \cdot \bar{P}_{\text{MOSFET}} + R_{\text{th,IM}} \cdot \bar{P}_{\text{IGBT}} - R_{\text{th,IM}} \cdot \bar{P}_{\text{IGBT}} \quad (\text{A.2})$$

$$= T_a + (R_{\text{th,II}} - R_{\text{th,IM}}) \cdot \bar{P}_{\text{IGBT}} + R_{\text{th,IM}} \cdot (\bar{P}_{\text{IGBT}} + \bar{P}_{\text{MOSFET}}) \quad (\text{A.3})$$

Der thermische Widerstand $R_{\text{th,IM}}$ wird sowohl von der mittleren Leistung des IGBTs als auch des MOSFETs durchflossen, während der thermische Widerstand $(R_{\text{th,II}} - R_{\text{th,IM}})$ ausschließlich von der Leistung des IGBTs durchflossen wird. Die hier dargestellten thermischen Widerstände bilden alle Materialschichten im Leistungsmodul, die thermische Anbindung des Moduls an den Kühlkörper und den Leistungsfluss in das Kühlwasser ab. Es wird angenommen, dass eine Veränderung der Chipfläche des IGBTs hauptsächlich den thermischen Widerstand $(R_{\text{th,II}} - R_{\text{th,IM}})$ beeinflusst, weshalb nur dieser Widerstand mit der Chipfläche nach den Gleichungen 5.2 und 5.3 skaliert wird.

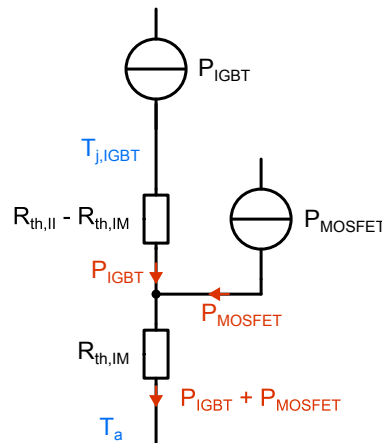
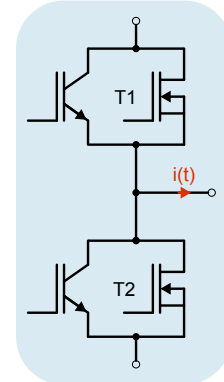
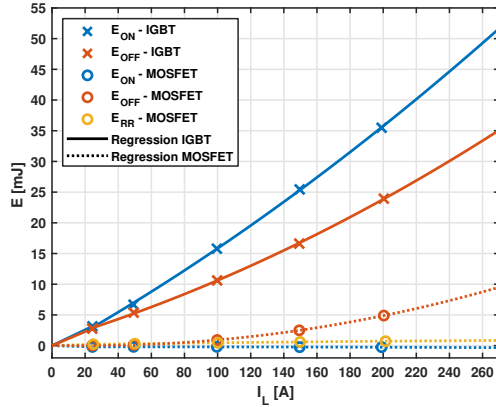


Abbildung A.26: Thermisches Ersatzschaltbild zu Gleichung A.3

A.15 Berechnung des maximalen Ausgangsstroms

Die Schaltverluste aller Schalter wurden jeweils in 5 Arbeitspunkten bestimmt. Mit einer Regression wird eine kontinuierliche Kennlinie für die Abhängigkeit der Schaltverluste vom Laststrom generiert (siehe Abbildung A.27a). Verluste zwischen $I_L = 0$ und $I_L = 25$ wurden linearisiert.



hybrides Si-SiC-Modul

(a) Regression der Abhängigkeit der Schaltverluste: $E = f(I_L)$ (*low-sat* Hybrid P3, $t_V = 6 \mu s$) (b) Definition des Ausgangsstroms im hybriden Leistungsmodul

Abbildung A.27: Schaltverluste aller vermessenen Schaltertopologien im Vergleich unter Nennbedingungen

Die Leistungen \bar{P}_{IGBT} und \bar{P}_{MOSFET} aus Gleichung 5.1 setzen sich aus Durchlass- und Schaltverlusten beider Schalter innerhalb eines Moduls zusammen (Gleichungen A.4, A.5). Es werden jeweils mittlere Verluste eines Schalters für eine Periode eines ideal sinusförmigen Laststroms (Gleichung A.6, Abbildung A.27b) mit der Grundfrequenz f_G berechnet.

$$\bar{P}_{IGBT} = \bar{P}_{IGBT,D} + \bar{P}_{IGBT,S} \quad (A.4)$$

$$\bar{P}_{MOSFET} = \bar{P}_{MOSFET,D} + \bar{P}_{MOSFET,S} \quad (A.5)$$

$$i(t) = \sqrt{2} \cdot I_{eff} \cdot \sin(2\pi f_G t) \quad (A.6)$$

Die Durchlassverluste für den Schalter T1 berechnen sich nach den Gleichungen A.7 und A.8. Der IGBT erfährt nur Durchlassverluste während der positiven Halbwelle des Ausgangsstroms (Gleichung A.7). Im MOSFET fallen Durchlassverluste sowohl während der positiven Halbwelle als auch während der negativen Halbwelle an (Gleichung A.8).

$$\bar{P}_{\text{IGBT,D}} = f_G \cdot \int_0^{\frac{1}{2f_G}} \tau_{\text{rel}} \cdot u_{\text{Hybrid}}(t, i) \cdot i_C(t, i) dt \quad (\text{A.7})$$

$$\begin{aligned} \bar{P}_{\text{MOSFET,D}} &= f_G \cdot \int_0^{\frac{1}{2f_G}} \tau_{\text{rel}} \cdot u_{\text{Hybrid}}(t, i) \cdot i_D(t, i) dt \\ &+ f_G \cdot \int_{\frac{1}{2f_G}}^{\frac{1}{f_G}} \tau_{\text{rel}} \cdot u_{\text{DS}}(t) \cdot i(t) dt \end{aligned} \quad (\text{A.8})$$

Die relative Einschaltdauer τ_{rel} ist dabei vom Modulationsverfahren und dem Modulationsgrad M abhängig. Für Sinus-Dreieck Modulation gelten Gleichungen A.10 und A.12, bei Überlagerung der 3. Harmonischen (Super-Sinus-Dreieck) gelten Gleichungen A.11 und A.13.

$$M = \frac{\hat{U}_{\text{L0}}}{U_{\text{DC}}/2} \quad (\text{A.9})$$

$$\text{Sinus: } M \in [0, 1] \quad (\text{A.10})$$

$$\text{Super-Sinus: } M \in [0, \frac{2}{\sqrt{3}}] \quad (\text{A.11})$$

$$\text{Sinus: } \tau_{\text{rel}} = \frac{1}{2} + \frac{M}{2} \cdot \sin(2\pi f_G \cdot t + \varphi) \quad (\text{A.12})$$

$$\text{Super-Sinus: } \tau_{\text{rel}} = \frac{1}{2} + \frac{M}{2} \left(\sin(2\pi f_G \cdot t + \varphi) + \frac{1}{6} \sin(3(2\pi f_G \cdot t + \varphi)) \right) \quad (\text{A.13})$$

Die relative Einschaltdauer für eine Super-Sinus Modulation ist in Abbildung 5.1a zu sehen. Die mittleren Schaltverluste werden nach Gleichung A.14 bzw. A.15 berechnet.

$$\bar{P}_{\text{IGBT,S}} = f_G \sum_{k=0}^{f_S/2f_G-1} E_{\text{on,IGBT}}(i[k]) + E_{\text{off,IGBT}}(i[k]) \quad (\text{A.14})$$

$$\begin{aligned} \bar{P}_{\text{MOSFET,S}} &= f_G \sum_{k=0}^{f_S/2f_G-1} E_{\text{on,MOSFET}}(i[k]) + E_{\text{off,MOSFET}}(i[k]) \\ &+ f_G \sum_{k=f_S/2f_G}^{f_S/f_G-1} E_{\text{RR,MOSFET}}(i[k]) \end{aligned} \quad (\text{A.15})$$

Die Lastströme, bei denen geschaltet wird, werden durch Abtastung des Ausgangsstroms mit Schaltfrequenz f_S ermittelt (Gleichungen A.16 und A.17). Dabei wird der gleiche Laststrom für die Ermittlung der Ein- und Ausschaltverluste verwendet.

$$i[k] = \hat{i} \cdot \sin(2\pi f_G \cdot t_k) \quad (\text{A.16})$$

$$t_k = \frac{1 + 2k}{f_S} \quad (\text{A.17})$$

A.16 Einfluss der Kühlwassertemperatur auf den maximalen Ausgangsstrom

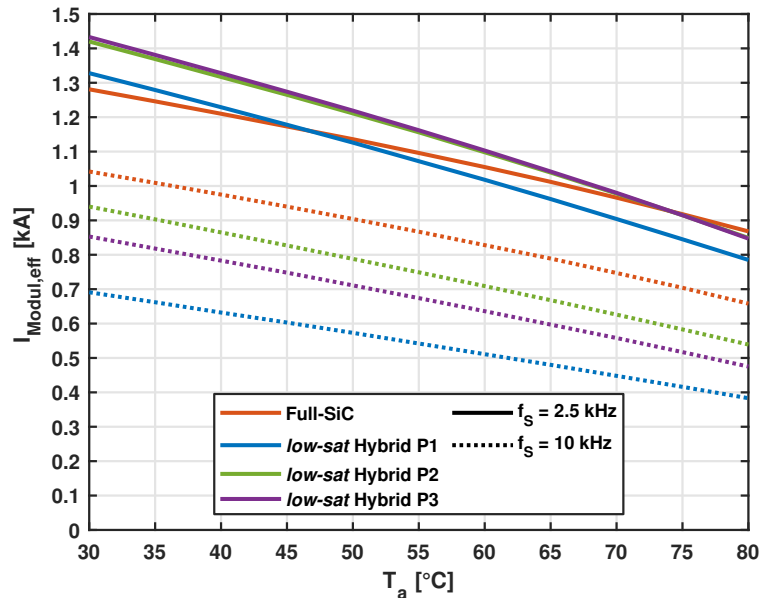


Abbildung A.28: Einfluss der Kühlwassertemperatur auf den maximalen Ausgangsstrom (Super-Sinus-Dreieck Modulation, $M = 2/\sqrt{3}$, $\cos \varphi = 0.85$, $T_a \in [30^\circ\text{C}, 80^\circ\text{C}]$)

A.17 Gegenkopplung der Streuinduktivität beim Abschalten mit ereignisgesteuertem Treiber

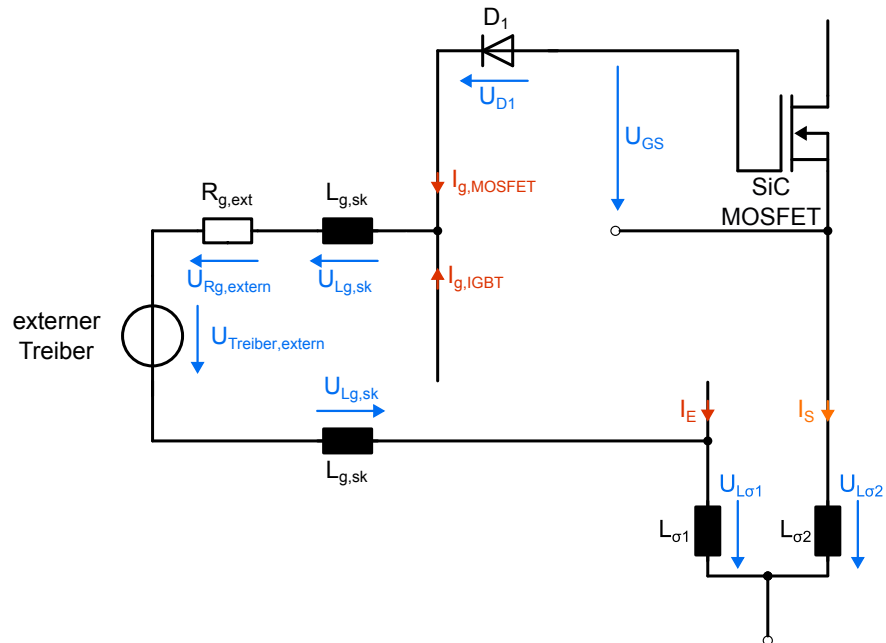


Abbildung A.29: Reduzierter Schaltplan des ereignisgesteuerten Treibers zu Gleichung 6.2

A.18 Parametereinfluss auf das Abschalten vom Kurzschluss Typ II

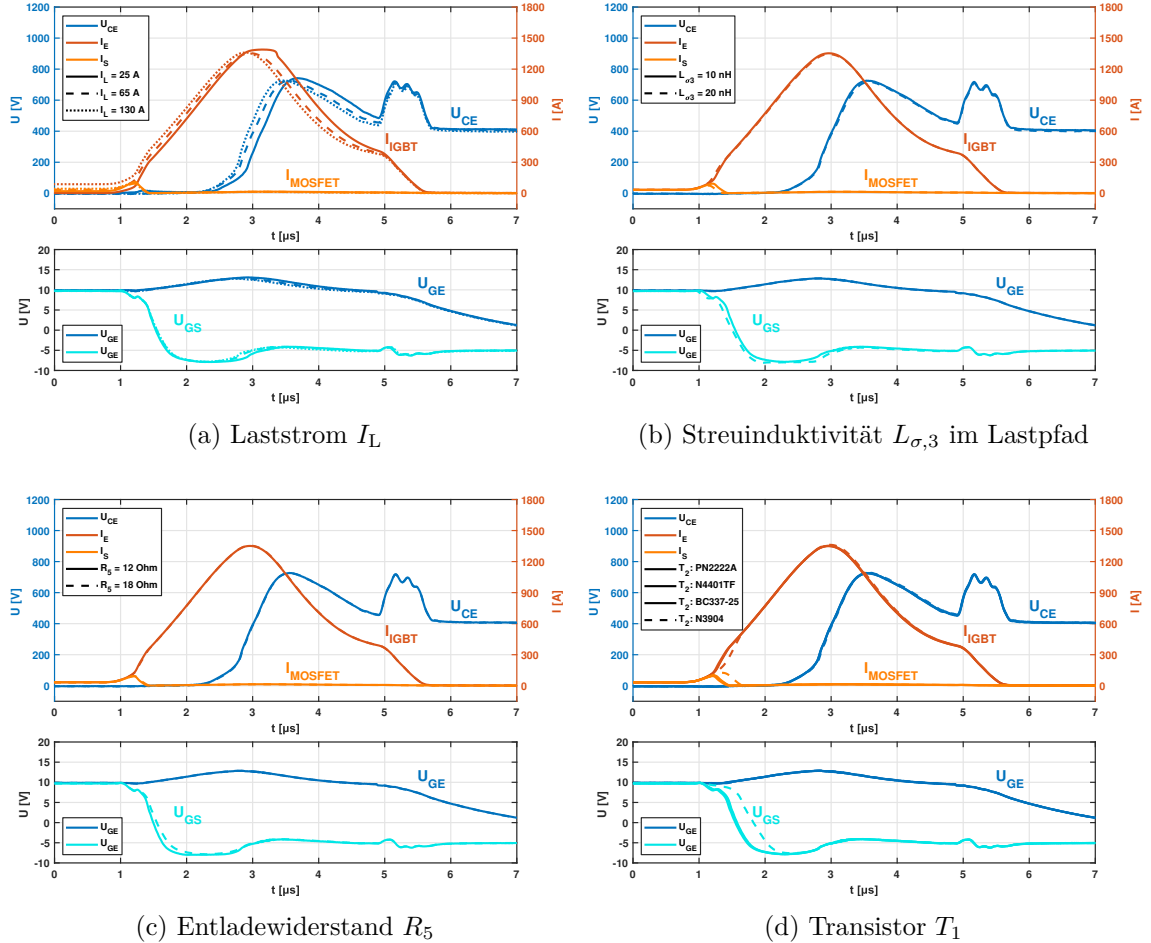


Abbildung A.30: Geringe Sensitivität des ereignisgesteuerten Treibers gegenüber dem Laststrom I_L , der Streuinduktivität $L_{\sigma,3}$ im Lastpfad, dem Entladewiderstand R_5 und dem Kleinsignaltransistor T_2 (*low-sat* IGBT W9Z1, $2 \times$ SiC-MOSFET, $U_{DC} = 500\text{ V}$, $U_{Treiber} = 10\text{ V}$, $T_j = 25\text{ }^\circ\text{C}$)

A.19 Ausgangsstrom des *low-sat* Hybrids mit SiC-MOSFET ohne Kurzschlussfestigkeit bei hoher Kühlwassertemperatur

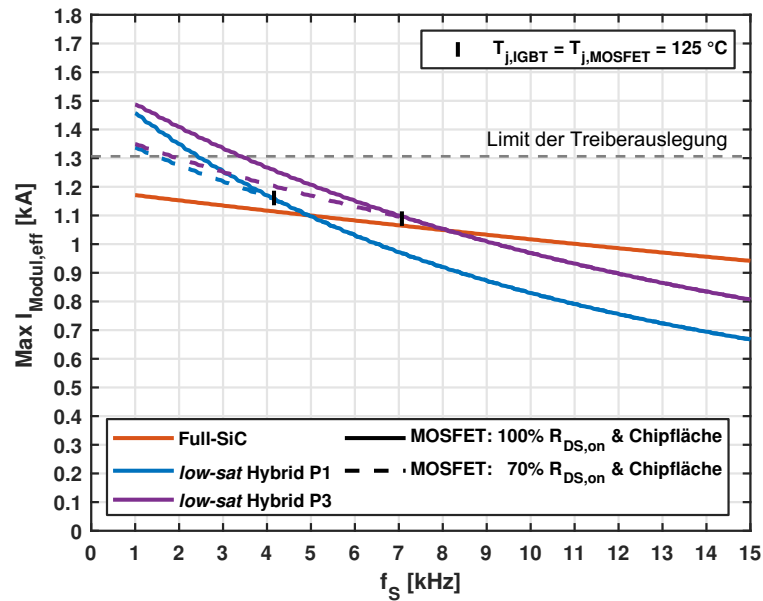


Abbildung A.31: Ausgangsstrom des *low-sat* Hybrids mit 70% $R_{\text{DS,on}}$ und 70% SiC-Fläche (Wechselrichter, Flattop Modulation, $M = 2/\sqrt{3}$, $\cos \varphi = 1$, $T_a = 55 \text{ °C}$)

A.20 Messmittel

Für Schaltmessungen an Halbleitern wurden folgende Messmittel verwendet:

- Oszilloskop: LeCroy WaveRunner 8108HD, LeCroy WaveRunner 8058HD
- Kollektor-Emitter Spannung bzw. Drain-Source Spannung: passiver Tastkopf PMK PHVS 662-L
- Gate-Emitter Spannung bzw. Gate-Source Spannung: Differentialtastkopf LeCroy HVD3206A
- Ströme bei einem Laststrom ≤ 200 A: Rogowskispule PEM CWT Mini 50 HF 3/B
- Kurzschlussströme: Rogowskispule PEM CWT Mini 50 HF 6/B
- Spannung $U_{C,cl}$ in Abbildung 3.8: Differentialtastkopf LeCroy HVD3206A
- Spannung $U_{BE,T1}$ in Abbildung 6.3: Differentialtastkopf LeCroy HVD3206A
- Spannung U_{R5} in Abbildungen 6.8 und 6.10: Differentialtastkopf LeCroy HVD3206A

Ausnahme von vorheriger Aufzählung:

- Gate-Source Spannung in Abbildung 4.46: passiver Tastkopf LeCroy PP008

Für die Vermessung der Ausgangskennlinien wurden folgende Messmittel verwendet:

- Oszilloskop: LeCroy WaveRunner 8058HD
- Kollektor-Emitter Spannung bzw. Drain-Source Spannung: passiver Tastkopf LeCroy PP008
- Gate-Emitter Spannung bzw. Gate-Source Spannung: passiver Tastkopf LeCroy PP008
- Ströme: 100 m Ω Koaxialshunt SBNC A 1-1, passiver Tastkopf LeCroy PP008

A.21 Kurzzusammenfassungen der in Kapitel 2 eingeordneten Literatur zum Si-SiC Hybridschalter

Tabelle A.1: Kurzzusammenfassungen der in Kapitel 2 eingeordneten Literatur zu Si-SiC Hybridschaltern, sortiert nach Arbeitsgruppen und Erscheinungsjahr

Arbeitsgruppe 1			
[32]	Munaf Rahimo	ABB Switzerland Ltd.	2015
Eine der ersten Quellen, in denen ein Hybridschalter mit parallelem Si-IGBT und SiC-MOSFET experimentell demonstriert wird. Dabei werden beide 1200 V-Schalter mit einem gemeinsamen Gate auf einem gemeinsamen Substrat angesteuert. Doppelpulstests zeigen das Potenzial von reduzierten Schaltverlusten. Kurzschlussmessungen zeigen die Stromverteilung zwischen beiden Schaltern im Kurzschlussfall I.			
[33]	Munaf Rahimo	ABB Switzerland Ltd.	2015
Neben dem Hybridschalter aus [32] wird weiterhin ein Hybrid mit RC-IGBT und SiC-MOSFET vorgestellt, der auf eine zusätzliche Freilaufdiode verzichtet. Experimentelle Untersuchungen zeigen auch bei Verwendung eines RC-IGBT reduzierte Schaltverluste. Im Rückwärtsbetrieb teilt sich der Laststrom sowohl auf den IGBT als auch auf den MOSFET auf.			
[41]	Umamaheswara R. Vemulapati	ABB Switzerland Ltd.	2016
Simulationen und Doppelpulsmessungen eines 3.3 kV-Hybridschalters mit einem gemeinsamen Gate-treiber werden präsentiert. Die Untersuchungen beschränken sich auf das Ausschaltverhalten. Durch Simulationen wird die Spitzenbelastung und das Auftreten von dynamischer Avalanche im IGBT durch einen hohen Strom vor der Spannungaufnahme aufgezeigt. Diese Belastung kann durch mehr IGBT Fläche, einen hohen gemeinsamen Gatewiderstand oder einen hohen separaten Widerstand für den SiC-MOSFET auf Kosten von Ausschaltverlusten reduziert werden.			
[42]	R. A. Minamisawa	ABB Switzerland Ltd.	2016
Der Hybridschalter aus [41] wird simulativ und experimentell untersucht. Dynamischer Avalanche im Si-IGBT während des Ausschaltens kann durch eine gleichmäßigere Stromverteilung während des Abschaltens reduziert werden. Die Stromverteilung wird durch die Wahl des Gatewiderstandes bei einem gemeinsam Treiber für beide Schalter eingestellt.			
[75]	Umamaheswara R. Vemulapati	ABB Switzerland Ltd.	2016
Experimentelle Untersuchungen an einem 3.3 kV-Hybridschalter mit rückwärtsleifähigen IGBTs werden vorgestellt und im Durchlass- und Schaltverhalten mit reinen Si- und SiC-Schaltern verglichen. Zusätzlich zum Ausschaltverhalten wird hier auch das Einschaltverhalten und Reverse-Recovery betrachtet. Im Vergleich zum Si-Schalter weist dieser Hybrid nahezu halbierte Reverse-Recovery-Verluste auf, die dennoch Faktor 20 höher als bei einem reinen SiC-Schalter sind.			
[76]	Munaf Rahimo	MTAL GmbH	2021
Ein hybrider Umrichter für einen Kfz-Antriebsstrang wird vorgestellt. In einer experimentellen Demonstration werden diskrete 1200 V Si-IGBTs und SiC-MOSFETs verwendet, dabei wird je nach aktueller Last die Anzahl an gepulsten Si-IGBTs variiert und so das Chipflächenverhältnis von 1:1 im Teillastbereich bis zu 4:1 unter hoher Last verändert. So kann mit einem höheren Ansteuerungsaufwand im Teillastbereich die bestromte Si-Fläche reduziert werden. Weiterhin werden verschiedene Missionsprofile eines WLTC-Fahrzyklus simuliert.			
[77]	Tanya Thekemuriyil	FHNW Switzerland	2023
Nach [76] wird ein Hybridschalter mit variiert Anzahl paralleler Schalter in Doppelpulsversuchen untersucht. Es wird die Effizienz eines Umrichters im WLTC-Fahrzyklus berechnet, die Ergebnisse aus [76] werden bestätigt. Bei einer Kostenanalyse schneidet ein Verhältnis von 1 SiC-MOSFET zu 4 Si-IGBT am besten ab.			

Tabelle A.1 – Fortsetzung

Arbeitsgruppe 2			
[35]	Xiaoqing Song	FREEDM Systems Center	2015
Es wird erstmalig das Durchlass- und Abschaltverhalten eines 6.5 kV Si-SiC Hybridschalters experimentell untersucht. Dabei werden beide Halbleiter mit separaten Gatetreibern angesteuert. Der Einfluss eines Schaltversatzes zwischen IGBT und MOSFET wird analysiert. Der MOSFET wird verzögert abgeschaltet, wodurch sich zuvor die Speicherladung im IGBT reduziert, dies aber dennoch zu hohen Abschaltverlusten führt. Ein Kompromiss zwischen Ausschaltverlusten und Schaltfrequenz wird gewählt. Der Hybridschalter wird mit einem reinen Si- und SiC-Schalter anhand eines berechneten 100-200 kW Umrichters verglichen, allerdings ohne die unterschiedlichen Chipflächen zu berücksichtigen.			
[36]	Xiaoqing Song	FREEDM Systems Center	2015
Für den Hybridschalter aus [35] werden die vorherigen Untersuchungen um eine Analyse der Schalt- und Durchlassverluste bei niedriger und hoher Temperatur ergänzt. Im Hybridschalter dominiert die Temperaturabhängigkeit des IGBTs. Bei dem untersuchten Hybriden entfällt lediglich 20 % der Chipfläche auf einen SiC-MOSFET.			
[37]	Xiaoqing Song	FREEDM Systems Center	2016
Das Konzept aus [35] wird auf einen 1200 V-, 200 A-Hybridschalter angewandt. Der MOSFET wird verzögert abgeschaltet. In dieser Spannungsklasse fällt die verlustoptimierte Verzögerungszeit beim Abschalten deutlich geringer aus. Der MOSFET schaltet sehr viel schneller ein als der IGBT, es dauert bis zu 20 μ s bis die statische Stromverteilung erreicht wird. Die Auslegung des Treibers, Schaltgeschwindigkeiten, Überspannung oder Oszillationen werden nicht betrachtet.			
[38]	Liqi Zhang	University of Texas	2018
In das hybride 1200 V-, 200 A-Leistungsmodul aus [37] wird ein RC-Verzögerungsglied integriert. Das Modul kann mit einem herkömmlichen Treiber angesteuert werden. Das Ausschalten des SiC-MOSFETs wird verzögert, das Einschaltsignal wird ohne Verzögerung an beide Schalter transferiert. Es erfolgen Doppelpulsversuche zur Optimierung der RC-Zeitkonstante und ein Funktionstest im Tiefsetzsteller.			
[39]	Xiaoqing Song	ABB Inc., Raleigh, USA	2020
Das hybride Modul mit integriertem Verzögerungsglied aus [38] wird detaillierter analysiert. Das Gate des SiC-MOSFETs ist über einen Kleinsignal-MOSFET an das Gate des Moduls angeschlossen. Die Auswirkungen auf dessen Transkonduktanz wird simulativ untersucht. Limitierungen der Schaltfrequenz oder der Totzeit werden diskutiert.			
Arbeitsgruppe 3			
[87]	Amol Deshpande	Ohio State University	2015
Eine der ersten Quellen zu einem Si-SiC Hybridschalter. Der SiC-MOSFET wird verzögert abgeschaltet, um den Tail-Strom im IGBT zu reduzieren. Begrenzte simulative Untersuchung eines 600 V-Hybridschalters und experimentelle Demonstration verringerter Ausschaltverluste bei wenig Sperrspannung und geringem Laststrom werden durchgeführt.			
[43]	Amol Deshpande	Ohio State University	2016
Ein 600 V-Hybridschalter mit geringer SiC-MOSFET Chipfläche wird vorgestellt. Mehrere Ansteuerungsmuster für separate Gatetreiber werden diskutiert, es wird Nullspannungsschalten des Si-IGBTs angestrebt. Die Kommutierungsinduktivitäten der parallel geschalteten Halbleiter werden in Bezug auf das Einschaltverhalten analysiert und in die Auswahl des Schaltmusters mit einbezogen. Hohe Induktivitäten verzögern das Erreichen der statischen Stromverteilung. Die Auswirkungen der Diode auf das Schaltverhalten wird nicht betrachtet. Zur Kostenreduktion wird ein Algorithmus zur Optimierung des Si-SiC Chipflächenverhältnisses basierend auf thermischen Modellen entwickelt. Dies geschieht ohne thermische Kopplungen der Halbleiter untereinander.			

Tabelle A.1 – Fortsetzung

[44]	Amol Deshpande	University of Arkansas	2018
Die Analyse des Hybridschalters aus [43] wird mit detaillierteren Untersuchungen zur parasitären Induktivität des inneren Kommutierungskreises, einer Kostenanalyse für 1200 V-Hybridschalter und Optimierung des Chipflächenverhältnisses ergänzt. Zusätzlich wird experimentell in einem Hochsetzsteller das generierte Gleichtakt- und Gegentaktstörpektrum betrachtet.			
[45]	Amol Deshpande	University of Arkansas	2020
Design und Fertigung eines hybriden 1.7 kV-, 300 A-Halbbrückenmoduls wird präsentiert. Es wird ein verhältnismäßig kleiner SiC-MOSFET verwendet mit einem Nennstromverhältnis von 6:1 zwischen Si- und SiC-Chipfläche. Thermische Kopplung zwischen SiC-MOSFET und Si-IGBT wird durch die Verwendung von pyrolytischem Graphit in der Bodenplatte minimiert. Für die Rückwärtsleitfähigkeit werden SiC-Schottkioden verwendet. Es erfolgt ein Funktionstest im Doppelpulsversuch.			
Arbeitsgruppe 4			
[74]	Tiefu Zhao	Eaton Corporate & Research	2015
In dieser Quelle wird ein lastabhängiges Schaltmuster mit einem hybriden 250 kW-Spannungszwischenkreisumrichter simuliert. Dabei wird ein Schaltmuster vorgestellt, dass im Verlauf des sinusförmigen Laststroms je nach Ausgangsstrom angepasst wird. Bei niedrigem Ausgangsstrom schaltet nur der SiC-MOSFET, bei hohem nur der Si-IGBT, im mittleren Bereich wird eine Nullspannungskommütierung des IGBT angestrebt. Mittels elektrischer und thermischer Modelle wird die Effizienz berechnet. Es werden jedoch keine Schalttransienten betrachtet.			
[56]	Jiangbiao He	Marquette University	2017
Das Konzept eines lastabhängigen Schaltmusters aus [74] wird experimentell an einem einphasigen 15 kW-Umrichter mit diskreten Halbleitern erforscht. Eine Nullspannungskommütierung des IGBTs beim Abschalten von mittleren Ausgangsströmen führt zu einer hohen Stromspitze während der Spannungsaufnahme. Diese wird durch parasitäres Einschalten erklärt, aber eine Betrachtung von Gatespannungsverläufen erfolgt nicht. Auch werden verbliebene Ladungsträger im IGBT nicht mit einbezogen. Zur Vermeidung der Stromspitze wird folgend der MOSFET zuerst abgeschaltet. Gemessen an einem reinen Si-Umrichter kann insbesondere bei kleinen Lasten eine Effizienzsteigerung festgestellt werden.			
Arbeitsgruppe 5			
[48]	Weimin Zhang	University of Tennessee	2015
Im Kontext eines Kfz-Hochsetzstellers wird das Ausschaltverhalten eines 1200 V Si-SiC Hybridschalters im Doppelpuls untersucht. Der SiC-MOSFET schaltet verzögert ab, die Ausschaltverluste werden in Abhängigkeit der Verzögerungszeit reduziert. Eine optimale Verzögerungszeit von 2 μ s wird ermittelt.			
Arbeitsgruppe 6			
[57]	Sadik Ozdemir	Yildiz Technical University	2015
Ein 1200 V Si-SiC Hybridschalter wird mit einem sinusförmigen 50 Hz-Laststrom simuliert. Dabei werden verschiedene Strategien zur Verlustreduktion im Vergleich zu einem reinen Si-Schalter analysiert: Harte Parallelschaltung, lastabhängiges Schalten und Schaltsignalversatz mit Nullspannungskommütierung des Si-IGBTs. Letzteres führt zur größten Verlustreduktion. Die Simulationen wurden mit einem Simulator durchgeführt, der ideale Schalter verwendet. Schalttransienten der Parallelschaltung wurden dabei nicht betrachtet.			

Tabelle A.1 – Fortsetzung

Arbeitsgruppe 7			
[58]	Satoshi Ueno	Osaka Institute of Technology	2017
Ein neues Pulsmuster für einen 1200 V-Hybridschalter mit geringer SiC-MOSFET Chipfläche wird untersucht. Zur Reduzierung der auftretenden Verluste im MOSFET wird dieser nur eine kurze Zeit vor und nach den Schaltflanken des IGBTs eingeschaltet. Es entsteht Nullspannungsschalten des IGBTs, der IGBT führt zwischen den Schaltvorgängen den vollständigen Laststrom. Die Treiberauslegung und auftretende Schaltgeschwindigkeiten werden nicht betrachtet.			
[59]	Aiko Kubota	Osaka Institute of Technology	2018
Der Hybridschalter aus [58] wird mit dem gleichen, neu vorgeschlagenem Pulsmuster im Dauerversuch untersucht. Es wird der maximale Ausgangsstrom für verschiedene Schaltfrequenzen in einem Tiefsetzsteller ermittelt, ebenso die Effizienz in einem Resonanzwandler bestimmt. Das neu vorgeschlagene Pulsmuster führt zu geringeren Ausgangsströmen und reduzierter Effizienz. Die Temperaturen von IGBT und MOSFET werden nicht separat betrachtet. Dies ist jedoch elementar, da das neu vorgeschlagene Pulsmuster zu einer Verlustverschiebung von MOSFET zu IGBT führt. Vorteilhaft kann dies nur sein, wenn die Temperatur des SiC-MOSFET limitiert, während der IGBT noch nicht seine maximal erlaubte Temperatur erreicht hat.			
Arbeitsgruppe 8			
[40]	Christian R. Müller	Infineon Technologies AG	2017
Das Schaltverhalten eines Si-SiC Hybrids mit SiC-MOSFET, Si-IGBT und SiC-SBD wird in harter Parallelschaltung und in Betrieb mit separaten Gatetreibern experimentell mit niederinduktivem Moduldesign untersucht und mit reinem SiC- oder Si-Schaltern verglichen. Verzögertes Abschalten des SiC-MOSFETs bietet dabei eine starke Reduktion der Ausschaltverluste, größer als bei einer Ent sättigung des IGBTs mit niedrigerer Gatespannung oder bei einer harten Parallelschaltung. Es werden dabei Verluste von Schaltern mit unterschiedlicher Spannungssteilheit und Überspannung verglichen. Die Einschaltverluste unterscheiden sich kaum zwischen den verschiedenen Schaltern.			
[22]	Andrea Piccioni	Infineon Technologies AG	2023
Ein Hybridschalter aus diskreten 1200 V Si-IGBT und SiC-MOSFET ohne zusätzliche Diode wird untersucht. Mittels Doppelpulsversuch werden drei Flächenverhältnisse miteinander verglichen. Die Ausschaltverluste konzentrieren sich auf den IGBT. Experimentelle Ergebnisse eines dreiphasigen, hybriden Wechselrichters werden mit einer Full-SiC Lösung verglichen. Der Hybridschalter schneidet bei positivem Leistungsfaktor besser ab, als bei negativem. Die Sperrschichttemperaturen des SiC-MOSFETs im Hybridschalter sind höher als im Si-IGBT.			
[73]	Matthias Ippisch	Infineon Technologies AG	2024
Ein experimentelles Muster eines hybriden 750 V-Leistungsmoduls für eine Automobilanwendung wird demonstriert. Der Hybridschalter verwendet Si-PiN-Dioden. Es erfolgt eine analytische Beschreibung der Durchlassverluste. IGBT und MOSFET werden durch hartes Parallelschalten gemeinsam angesteuert, wobei ein einfacher, konventioneller Treiber als Schlüsselfaktor für die Marktakzeptanz betrachtet wird. Der Vergleich mit Full-Si und Full-SiC Schaltern zeigt ein sehr weiches Schaltverhalten des Hybridschalters sowie einen deutlichen Einfluss der bipolaren Bauelemente. Weiterhin wird das Verhalten im Kurzschlussfall I demonstriert. Die Berechnung der Systemkosten auf Basis des WLTC-Fahrzyklus kommt zu dem Ergebnis, dass die verwendete Si-Chipfläche nur einen geringen Einfluss aufweist.			

Tabelle A.1 – Fortsetzung

Arbeitsgruppe 9			
[62]	Puqi Ning	Chinese Academy of Science	2017
Ein hybrides 1200 V-, 200 A-Halbbrückenmodul mit SiC-MOSFET, Si-IGBT und Si-PiN-Diode wird vorgestellt. Mit einem Treiber mit Miller-Clamping wird ein Schaltsignalversatz für Nullspannungsschalten des IGBTs erzeugt und so das Modul im Doppelpuls untersucht. Das Miller-Clamping unterdrückt ein Aufsteuern des IGBTs während des Abschaltens. Ein Vergleich erfolgt lediglich mit gleichem Modul und deaktiviertem MOSFET. Auf die Auslegung der Gatewiderstände wird nicht im Detail eingegangen.			
[63]	Lei Li	Chinese Academy of Science	2018
Für das hybride Modul aus [62] wurde ein alternativer Treiber entworfen und experimentell validiert. Simulativ wird ein optimaler Schaltversatz zwischen IGBT und MOSFET ermittelt. Dabei wird neben den auftretenden Verlusten auch die Temperatur des kleineren SiC-MOSFETs mit einbezogen. Die Auslegung des Treibers bzgl. Schaltgeschwindigkeit, Überspannung oder weiterer Kriterien wird betrachtet.			
[64]	Lei Li	Chinese Academy of Science	2018
Mit dem hybriden Modul aus [62] und dem Gatetreiber aus [63] wird ein dreiphasiger Umrichter aufgebaut. Mit einem elektrothermischen Modell wird ein optimales Pulsmuster berechnet. Je nach Ausgangsstrom werden drei verschiedene Zeiten für den Schaltsignalversatz ausgewählt. Das Modell wird mit Doppelpulsversuchen an einzelnen Halbleitern abgeglichen. Eine Verifikation mit einem Hybridschalter selbst wird nicht vorgenommen. Verschiedene Pulsmuster werden experimentell an dem Umrichter erprobt. Die Kühlkörpertemperatur wird ausgewertet, eine Betrachtung der Sperrschichttemperaturen erfolgt nicht.			
[88]	Han Cao	Chinese Academy of Science	2018
Ein hybrides 400 A-Modul ähnlich zu [64] wird aufgebaut und experimentell im Doppelpulsversuch untersucht. Es erfolgt ein Vergleich mit einem SiC-MOSFET Modul. Die Randbedingungen der Untersuchung werden dabei nicht erläutert. Weiterhin wird nicht auf die Auslegung des Treibers eingegangen.			
[66]	Puqi Ning	Chinese Academy of Science	2019
Nach der Vorgehensweise aus [88] wird ein dreiphasiges hybrides 400 A-Modul als Motorantrieb demonstriert. Genauere Analysen stehen aus.			
[65]	Puqi Ning	Chinese Academy of Science	2019
Drei hybride 1200 V-Module werden vorgestellt und experimentell in einem Doppelpulsversuch demonstriert. Das Modul aus [64] wird dreiphasig ausgeführt. Nach dem gleichen Schema wurde ein dreiphasiges 400 A-Modul ([66]) und ein einphasiges 600 A-Modul angefertigt. Im Doppelpuls wird der Gatetreiber und die Ansteuerung aus [62] verwendet. Die Leistungsdichte wird höher angegeben als bei kommerziell erhältlichen Full-SiC und Full-Si Modulen. Ein experimenteller Vergleich mit diesen Modulen erfolgt nicht.			
[24]	Lianyong Wei	Chinese Academy of Science	2019
Eine neuartige Ansteuerungsstrategie für einen Hybridschalter wird vorgestellt und simulativ untersucht. Si-IGBT und SiC-MOSFET werden zwar parallel geschaltet, es wird jedoch zu jedem Zeitpunkt nur ein Schalter angesteuert. Die Motivation ist in der Reduktion der Schaltheftungen begründet, um Oszillationen zu reduzieren. Es mangelt jedoch an der Unterscheidung zwischen Schaltheftungen unter Zwischenkreisspannung oder Durchlassspannung und der Erläuterung, wann diese Oszillationen auftreten. Simulativ wird eine Reduktion der Verluste um 12 % erreicht, wenn einem Si-IGBT ein SiC-MOSFET mit einem Drittel des Stromratings parallel geschaltet wird. Eine genaue Erläuterung der Umsetzung dieser Ansteuerungsstrategie fehlt.			

Tabelle A.1 – Fortsetzung

Arbeitsgruppe 10			
[60]	Haihong Qin	Nanjing University	2017
<p>Simulativ wird das Schaltverhalten eines 1200 V-Hybridschalter aus diskreten Halbleitern untersucht. Es wird das lastabhängige Schaltmuster aus [74] verwendet. Für mittlere Lasten wird Nullspannungsschalten des Si-IGBTs verwendet. Verschiedene Verzögerungszeiten zwischen IGBT und MOSFET werden simuliert. Die Effizienz eines Tiefsetzstellers mit Hybridschalter und reinem Si-Schalter wird verglichen. Die verwendete Freilaufdiode, Treiberauslegung oder Randbedingungen wie Kommutierungskreisinduktivität oder Schaltgeschwindigkeit werden nicht mit einbezogen.</p>			
[78]	Haihong Qin	Nanjing University	2018
<p>Ein Hybridschalter nach [60] wird experimentell in Doppelpulsversuchen untersucht. Die Reduktion der Ausschaltverluste durch Nullspannungsschalten des Si-IGBTs werden bestätigt, allerdings werden auftretende erhöhte Durchlassverluste im SiC-MOSFET vor der Spannungsflanke nicht mit einbezogen.</p>			
[30]	Haihong Qin	Nanjing University	2021
<p>Verschiedene Schaltsequenzen für einen Hybridschalter aus zwei diskreten 600 V-Halbleitern mit geringer SiC-MOSFET Fläche werden analysiert. Es wird ein gleichzeitiges Einschalten beider Schalter empfohlen, um ein hohes dI/dt zu erzeugen. Eine Beeinflussung des dI/dt durch den Treiber sowie die komplementäre Diode werden nicht betrachtet. Für das Ausschalten wird Nullspannungsschalten für den IGBT empfohlen. Es wird eine optimale Verzögerungszeit der Schaltsignale für minimale Verluste der Summe aus zusätzlichen Durchlassverlusten und Schaltverlusten ermittelt. Hohe Spannungssteilheiten von $50 \text{ kV}/\mu\text{s}$ werden akzeptiert.</p>			
[31]	Haihong Qin	Nanjing University	2022
<p>Für einen 600 V-Hybridschalter aus diskreten Halbleitern wird das Abschalten mit nullspannungsschaltendem IGBT detailliert analysiert. Die Stromspitze des IGBTs lässt sich gezielt durch Schaltversatz und Spannungssteilheit des abschaltenden SiC-MOSFETs beeinflussen. Ein optimaler Zeitversatz wurde experimentell zu $0.5 \mu\text{s}$ ermittelt. Die verwendete Streuinduktivität ist nicht angegeben. Es treten sehr hohe Spannungssteilheiten auf.</p>			
Arbeitsgruppe 11			
[83]	Xi Jiang	Hunan University	2017
<p>Ein 1200 V-Hybridschalter aus Einzelchips im TO-247-3 Gehäuse wird im Kurzschlussfall I experimentell untersucht. Ausschließlich der SiC-MOSFET fällt in den Versuchen zuerst aus. Die kritische Energie bis zum Ausfall des SiC-MOSFETs ist sowohl als Einzelchip als auch in der Parallelschaltung mit einem Si-IGBT identisch. Wird im Kurzschluss der IGBT vor dem MOSFET abgeschaltet, kommt es zum kurzzeitigen parasitären Abschalten des SiC-MOSFETs. Der Autor führt diesen Effekt auf eine hohe Sourceinduktivität des SiC-MOSFETs zurück. Diese Erklärung kann aufgrund fehlender weiterer Erläuterungen oder Angaben zum Versuchsaufbau nicht nachvollzogen werden.</p>			
[84]	Jun Wang	Hunan University	2018
<p>Ein 1200 V-Hybridschalter aus Einzelchips im TO-247-3 Gehäuse und separaten Treibern wird im Kurzschluss untersucht. Im Kurzschlussfall können beide Einzelchips als unabhängig voneinander betrachtet werden. Der SiC-MOSFET ist mit einer kürzeren Kurzschlussrobustheit das limitierende Bauelement. Variation der Chipgröße des SiC-MOSFETs oder einer Abschaltverzögerung haben keinen Einfluss. Reduzierte Zwischenkreisspannung oder Gatespannung erhöhen die Robustheit, eine reduzierte Gatespannung des SiC-MOSFETs führt jedoch insbesondere bei verzögertem Abschalten des SiC-MOSFETs zu erhöhten Durchlass- und Schaltverlusten, da dieser kurzzeitig den gesamten Laststrom führt. Die Untersuchung beschränkt sich auf den Kurzschlussfall I.</p>			

Tabelle A.1 – Fortsetzung

[50]	Jun Wang	Hunan University	2018
<p>Der Schaltsignalversatz für einen 1200 V-Hybridschalter aus diskreten Halbleitern wird mittels Doppelpulsversuchen optimiert. Gleichzeitiges Einschalten ohne Verzögerung resultiert in geringsten Verlusten. Die Auslegung der Gatewiderstände und der Einfluss der Freilaufdiode wird vollständig ausgespart. Beim Abschalten lässt sich ein Minimum der Schaltverluste bei verzögertem Abschalten des SiC-MOSFETs feststellen. Neben den Verlusten werden keine weiteren Schalteigenschaften betrachtet. Der Schalter wird in einem 9 kW-Hochsetzsteller erprobt. Mit einer Anpassung des Schaltversatzes kann ein Betrieb mit gleichen Sperrschichttemperaturen beider Halbleiter eingestellt werden. Hiermit lässt sich die Ausgangsleistung von 9 kW auf 11 kW weiter erhöhen, auf Kosten der Effizienz.</p>			
[20]	Cheng Zeng	Hunan University	2018
<p>Ein 1200 V-Hybridschalter aus Einzelchips im TO-247-3 Gehäuse wird sowohl aus Si-IGBT und SiC-MOSFET als auch aus Si-IGBT und SiC-SBD kombiniert. Es erfolgen experimentelle Untersuchungen im Doppelpuls und mit einphasigem Umrichter. Der Hybridschalter aus Si-IGBT und SiC-MOSFET profitiert im Vergleich von einer geringeren Durchlassspannung im Vorwärtsbetrieb und reduzierten Schaltverlusten. Im Umrichterbetrieb wird eine Reduktion der Verluste um 28 % und eine deutliche Reduktion der Gehäusetemperatur des IGBTs erreicht. Das Schaltverhalten wird lediglich anhand von Schaltverlustenergien ausgewertet, Parameter wie Spannungssteilheit, Oszillationen oder Überspannung werden nicht betrachtet. Angaben zur Ansteuerung fehlen. Schalttransienten werden lediglich zum Reverse-Recovery-Strom gezeigt.</p>			
[21]	Zongjian Li	Hunan University	2019
<p>Die Hybridschalter aus [20] werden erneut verglichen. Eine analytische Beschreibung der Durchlassverluste wird hergeleitet und mit experimentell ermittelten Schaltverlusten zu einem Schaltverlustmodell kombiniert. Es erfolgt eine experimentelle Demonstration an einem zweiphasigen 5 kW-Umrichter mit resistiver Last. Durch geringere Schaltverluste kann der Hybridschalter mit SiC-MOSFET eine bessere Effizienz und höhere maximale Ausgangsleistung erreichen, trotz höherer Verluste im Diodenmodus. Bei der Analyse des Schaltverhaltens fehlen weiterhin die Betrachtung zusätzlicher Parameter neben den Schaltverlusten. Ebenfalls wird nicht darauf eingegangen, wie die Schaltgeschwindigkeiten ausgelegt wurden.</p>			
[26]	Zishunn Peng	Hunan University	2019
<p>In dieser Literaturquelle wird experimentell an diskreten 1200 V-Halbleitern demonstriert, dass ein Hybridschalter mit separater Ansteuerung für Si-IGBT und SiC-MOSFET in der Lage ist, nach einem "open-circuit-fault" mit dem jeweils noch funktionsfähigem Schalter weiter betrieben zu werden. Dabei wird davon ausgegangen, dass bei einem fehlerhaften MOSFET weiterhin dessen Bodydiode verwendet werden kann. Lastabhängig muss bei alleinigem Betrieb des MOSFETs die Ausgangsspannung reduziert werden, bei alleinigem Betrieb des IGBTs muss zusätzlich die Schaltfrequenz reduziert werden.</p>			
[34]	Zongjian Li	Hunan University	2019
<p>Für einen fest ausgewählten 1200 V Si-IGBT wird die optimale SiC-MOSFET Chipgröße für einen Hybridschalter für einen 7 kW-Tiefsetzsteller bestimmt. Hierfür wird ein analytisches Verlustmodell aufgestellt, dass mit der Chipfläche des SiC-MOSFETs und dem Schaltsignalversatz als Eingangsgrößen die Verlustleistung und Sperrschichttemperatur der Halbleiter berechnet. Das Modell wird mit Doppelpulsmessungen und dem Aufbau eines Tiefsetzstellers validiert. Als Gatewiderstände werden die Datenblattwerte der Halbleiter verwendet, das Schaltverhalten also nicht optimiert. Neben den Verlusten werden keine weiteren Schalteigenschaften wie z.B. Spannungssteilheiten betrachtet. Der Einfluss der Diode auf das Einschaltverhalten wird vollständig vernachlässigt.</p>			

Tabelle A.1 – Fortsetzung

[51]	Zongjian Li	Hunan University	2019
<p>Ein komplexer Treiber für einen Hybridschalter aus diskreten 1200 V-Halbleitern wird vorgestellt, der die Differenz der Sperrschichttemperatur von Si-IGBT und SiC-MOSFET regelt. Als Stellgröße wird die Abschaltverzögerungszeit des SiC-MOSFETs verwendet. Die aktuelle Sperrschichttemperatur der Halbleiter wird dabei über ein Verlustmodell berechnet. Der Treiber wird an einem 8 kW-Tiefsetzsteller erprobt. Der geregelte Betrieb wird mit dem Betrieb mit einem festen Schaltversatz für optimierte Schaltverluste verglichen. Es lassen sich im gesamten Arbeitsbereich angegliche Sperrschichttemperaturen erreichen, eine höhere Ausgangsleistung ist möglich. Die Effizienz reduziert sich leicht. Da der Treiber die Temperaturdifferenz regelt, wäre ein Vergleich mit festem Schaltversatz ebenfalls für optimierte Temperaturdifferenz sinnvoller.</p>			
[80]	Zishun Peng	Hunan University	2020
<p>Für den Hybridschalter aus [51] wird erneut der Schaltsignalversatz beim Abschalten optimiert. Dies geschieht hier mit Hilfe eines Particle-Swarm Algorithmus. Dieser optimiert im laufenden Betrieb den Schaltversatz zwischen Si-IGBT und SiC-MOSFET, sodass im Verlauf der Grundwelle beispielsweise 8 verschiedene Verzögerungszeiten verwendet werden. Als Eingangsgrößen dienen lediglich die Gleich- und Wechselgrößen von Strom und Spannung. Im Vergleich zu einem festen Schaltversatz lässt sich eine Reduktion der Verluste je nach Betriebspunkt um 10-15 % erzielen, wobei die Auswahlkriterien des festen Schaltsignalversatzes nicht erläutert werden.</p>			
[28]	Zongjian Li	Hunan University	2020
<p>Das Abschaltverhalten des Hybridschalters aus [51], [80] wird optimiert. Beim Abschalten wird zuerst der IGBT, später der MOSFET abgeschaltet. Der optimale Schaltversatz für minimierte Verluste ist laststromabhängig. Mittels eines Modells der Verluste in Abhängigkeit vom Schaltsignalversatz wird im Verlauf einer Grundwelle für jeden Schaltvorgang die optimale Versatzzzeit berechnet. Das Verfahren wird experimentell an einem einphasigen 5 kW-Umrichter erprobt und mit festem Schaltversatz verglichen. Eine Verlustreduktion um bis zu 20 % ist möglich. Allerdings wurde die feste Versatzzzeit frei gewählt und zuvor nicht optimiert, was jedoch theoretisch mit dem verwendeten Verlustmodell möglich wäre.</p>			
[86]	Ling Ou	Hunan University	2020
<p>Eine Ansteuerung für Hybridschalter mit variabler Schaltfrequenz wird präsentiert und mit einem einphasigen Umrichter an diskreten Halbleitern erprobt. Bei niedrigen Lastströmen wird mit konstanter, hoher Frequenz geschaltet und nur der IGBT angesteuert. Bei mittleren und hohen Lastströmen ebenfalls der SiC MOSFET. Es kann im Bereich von 150 kHz bis 4 MHz eine Reduktion des EMI-Spektrums um 10 dB erreicht werden. Nachteile einer variablen Schaltfrequenz und dessen Auswirkung auf die Auslegung von Komponenten wie z.B. Netzdrosseln und anderer Filterkomponenten werden nicht diskutiert.</p>			
[27]	Zishun Peng	Hunan University	2021
<p>Eine Schaltstrategie mit variabler Schaltfrequenz wird an einem Hybridschalter mit diskreten 1200 V-Halbleitern entwickelt und an einem einphasigen Umrichter erprobt. Das Verfahren basiert auf der Anpassung der Schaltfrequenz im Verlauf der Grundwelle des Laststroms. Im Nulldurchgang und um den Bereich des Maximums der Grundwelle wird die Schaltfrequenz reduziert. Dieses Verfahren wird gepaart mit einer lastabhängigen Auswahl des Schaltmusters, bei hohen Strömen übernimmt der Si-IGBT das Schalten. Im Vergleich zu herkömmlicher Ansteuerung mit gleicher Frequenz werden Stromspitzen im kleineren SiC-MOSFET vermieden, bei gleichen Gesamtverlusten, der THD-Wert steigt leicht an. Auch hier werden keine Nachteile einer variablen Schaltfrequenz auf die Auslegung von Umrichterkomponenten diskutiert.</p>			

Tabelle A.1 – Fortsetzung

[52]	Zongjian Li	Hunan University	2021
<p>Ein Gatetreiber für einen Hybridschalter wird vorgestellt, der aus einem Eingangssignal heraus sowohl IGBT als auch SiC-MOSFET treibt. Mit einer RC-Verzögerungs-Schaltung werden über Komparatoren zwei separate Endstufen angesteuert. Die Verzögerungszeit kann über Widerstände justiert werden. Der Treiber wird experimentell an einem Hochsetzsteller mit diskreten 1200 V-Halbleitern erprobt. Mit der Umschaltung eines Widerstands in Abhängigkeit des Ausgangsstroms wird der Schaltversatz an zwei Lastbereiche angepasst. Der Schaltversatz kann auf maximale Effizienz oder erhöhte Ausgangsleistung optimiert werden. Die Untersuchung beschränkt sich auf den Schaltsignalversatz beim Abschalten. Der Einfluss auf weitere Schalteigenschaften wird nicht betrachtet.</p>			
Arbeitsgruppe 12			
[46]	Michael Schütt	Universität Rostock	2018
<p>Der Einfluss der verhältnismäßig großen parasitären Kapazitäten von SiC-Bauelementen auf das Abschalten und Forward-Recovery eines hybriden Schalters wird experimentell untersucht. Der auftretende Verschiebestrom führt zu einer Verschiebung von Ausschaltverlusten zu Einschaltverlusten und beeinflusst das Kommutierungsverhalten einer Parallelschaltung von SiC-MOSFET und SiC-Schottkydiode.</p>			
Arbeitsgruppe 13			
[67]	Haichen Liu	UNC Charlotte	2019
<p>Ein 1200 V-, 50 A-Si-SiC Hybrid wird in einem 2.5 kW-3-Level-T-NPC Umrichter für die aktiven Schalter verwendet und mit einer Full-Si Alternative verglichen. Basierend auf Datenblattwerten wird ein analytisches Modell aufgestellt. In der experimentellen Untersuchung führt die Verwendung des Hybridschalters zu einer Effizienzsteigerung von 93 % auf 95 %. Ein Vergleich der Schalttransienten erfolgt nicht, die Treiberauslegung wird nicht erläutert.</p>			
[68]	Haichen Liu	UNC Charlotte	2021
<p>In einem einphasigen, 4 kW-3-Level-ANPC werden die hochfrequenten Schalter hybrid ausgeführt. Es werden diskrete 600 V-Halbleiter verwendet. Mit Schaltversatz in der Ansteuerung werden die Schaltverluste auf den SiC-MOSFET konzentriert. Experimenteller Dauerbetrieb zeigt eine Effizienzsteigerung um 2 % im Vergleich zu einem ANPC mit ausschließlich Si-IGBT. Die optimale Ansteuerung und Ausführung des Hybridschalters ist nicht Gegenstand dieser Quelle.</p>			
[69]	Haichen Liu	UNC Charlotte	2021
<p>Das Design eines dreiphasigen 40 kW-3-Level-ANPC wird präsentiert und validiert. Ähnlich zu [68] werden für die hochfrequenten Schalter Hybridschalter verwendet. Bei der Auswahl der Halbleiter für den Hybridschalter wird analytisch auf Basis der Datenblattangaben die maximale in der Anwendung zu erwartende Sperrschichttemperatur des SiC-MOSFETs berechnet und so die minimal benötigte SiC-MOSFET Fläche bestimmt. Experimentelle Untersuchungen des Umrichters zeigen eine Effizienz zwischen 98 % und 99 %, je nach Last. Das Schaltverhalten des Hybridschalters ist nicht Gegenstand der Untersuchung.</p>			
[70]	Haichen Liu	UNC Charlotte	2022
<p>Der 3-Level-ANPC mit hybriden Schaltern aus [68] wird detaillierter analysiert und auch mit Full-SiC Lösungen verglichen. Er erreicht 0.3 % weniger Effizienz als diese, jedoch bei deutlich reduzierten Halbleiterkosten. Werden die Kosten für höheren Treiberaufwand mit separaten Gatetreibern einbezogen, relativiert sich dieser Vorteil allerdings. Das Potenzial für einen einzelnen, gemeinsamen Gatetreiber für einen Hybridschalter wird hervorgehoben. Beim Vergleich der Schaltverluste des Hybridschalters mit alternativen Lösungen wird auch hier nicht auf die Schalteigenschaften oder Treiberauslegungen eingegangen.</p>			

Tabelle A.1 – Fortsetzung

[71]	Haichen Liu	UNC Charlotte	2022
<p>Ein 1200 V-Hybridschalter aus diskreten Halbleitern wird untersucht. Die Ausgangsleistung ist in diesem Fall durch die maximale Temperatur des SiC-MOSFETs limitiert, an dem sowohl Schaltverluste als auch Durchlassverluste auftreten. Simulativ und experimentell wird gezeigt, wie die Chiptemperatur angeglichen und die Ausgangsleistung durch das Verschieben von Durchlassverlusten vom SiC-MOSFET in den Si-IGBT erhöht werden kann, indem der Si-IGBT zeitweise den gesamten Laststrom übernimmt. Dies geschieht auf Kosten der Effizienz.</p>			
[72]	Haichen Liu	UNC Charlotte	2022
<p>Die Verwendung eines hybriden Schalters aus Si-IGBT und SiC-MOSFET als Solid State Circuit Breaker wird vorgestellt. Diese Anwendung profitiert stark von dem guten Durchlassverhalten des Hybridschalters im Teillastbetrieb. Beim Auslösen des Schutzschalters wird zuerst der SiC-MOSFET, verzögert der Si-IGBT ausgeschaltet, sodass auf das vorteilhafte Überlastverhalten des IGBTs zurückgegriffen werden kann.</p>			
Arbeitsgruppe 14			
[85]	Yongsheng Fu	Xi'an Technological University	2021
<p>Das Treiberkonzept aus [38], [39] wird erweitert. Ein weiteres RC-Verzögerungsglied ermöglicht zusätzlich zur Ausschaltverzögerung des MOSFETs nun auch ein verzögertes Einschalten des IGBTs. Experimentelle Untersuchungen an einem 50 kW Tiefsetzsteller erfolgen. Die Kosteneinsparung durch einen einzelnen Treiber und die mögliche Integrierbarkeit wird hervorgehoben.</p>			
[81]	Yongsheng Fu	Xi'an Technological University	2022
<p>Das Treiberkonzept aus [85], basierend auf [38], [39], wird erweitert. Insgesamt drei RC-Verzögerungsglieder können eingestellt werden, um ein zeitlich verzögertes Ausschalten des SiC-MOSFETs zu ermöglichen und die Reihenfolge beim Einschalten frei zu wählen. Zusätzlich wird die Kommutierung des Laststroms vom Si-IGBT auf den SiC-MOSFET während des verzögerten Ausschaltens betrachtet. Der vorhandene Resonanzkreis wird analytisch mit einer Differentialgleichung beschrieben. Die analytischen Ergebnisse stimmen mit Simulationen und Experimenten überein. Eine bei der Kommutierung auftretende Überstromspitze am SiC-MOSFET kann so beschrieben werden.</p>			
Arbeitsgruppe 15			
[23]	Changyu Tan	TU Delft	2021
<p>Die Effizienz eines Umrichters aus hybriden Leistungsschaltern wird berechnet und mit einer Full-Si und Full-SiC Lösung verglichen. Dabei wird auf Datenblattwerte der Einzelschalter zurückgegriffen. Dass sich das Schaltverhalten von hybriden Schaltern von nicht hybriden Schaltern unterscheidet, wird nicht betrachtet.</p>			
[61]	Marco Stecca	TU Delft	2022
<p>Ein Hybridschalter mit geringer SiC-MOSFET Fläche wird untersucht. Der SiC-MOSFET dient lediglich der Reduktion der Schaltverluste und wird nach dem gleichen Pulsmuster wie in [59] angesteuert. Der Hybridschalter wird analytisch, simulativ, mit Doppelpulsversuchen und schließlich mit einem 10kW-Umrichter analysiert. Es werden Anwendungen für verschiedene Lastprofile diskutiert. Der Hybridschalter eignet sich besonders für Anwendungen mit hohem Anteil an Teillastbetrieb. Er ist kostengünstiger, aber auch verlustbehafteter als ein Hybridschalter mit gemeinsamem Durchlass. Es wird nicht auf die Auswirkungen der verwendeten Si-Diode oder die Auslegung der Gatetreiber eingegangen.</p>			

Tabelle A.1 – Fortsetzung

Arbeitsgruppe 16			
[82]	Yuqi Wei	University of Arkansas	2021
<p>Ein aktiver Gatetreiber für einen Hybridschalter wird vorgestellt. Hauptmerkmale sind separate treibende Spannungen für Si-IGBT und SiC-MOSFET, mit einem FPGA erzeugte, einstellbare Verzögerungszeiten sowie einstellbare positive Treiberspannungen zwischen 15 V und 25 V. Die Funktionalität wird mit Doppelpulstests an einem 1200 V-Hybridschalter aus diskreten Halbleitern demonstriert. Mit den Verzögerungszeiten wird ein Nullspannungsschalten im IGBT erreicht, während die einstellbaren Treiberspannungen zur Steuerung der Stromverteilung dienen.</p>			
[79]	Yuqi Wei	University of Arkansas	2021
<p>Der in [82] vorgestellte Treiber wird in einem Hochsetzsteller mit einem diskreten 1200 V-Hybridschalter experimentell validiert. Die Verlustverteilung im Hybridschalter wird auf Basis von Simulationen und Datenblattwerten berechnet. Je nach Arbeitspunkt wird die Treiberspannung des SiC-MOSFETs angepasst, um durch angepasste Stromverteilung eine gleiche Chiptemperatur zu erhalten. Experimentell wird das Erreichen einer gleichen Gehäusetemperatur der verwendeten TO247-Gehäuse aufgezeigt. Rückwirkungen der angepassten Stromverteilung auf z.B. Schaltverluste im IGBT werden nicht betrachtet.</p>			
[25]	Dereje Woldegiorgis	University of Arkansas	2021
<p>Ein 50 kW-3-Level ANPC mit verschiedenen 600 V-Halbleitern wird untersucht. Für mit Grundfrequenz schaltende Halbleiter werden Si-IGBT verwendet, während für Schalter mit hoher Schaltfrequenz Hybridschalter zum Einsatz kommen. Für den Hybridschalter wird ein analytisches Modell für die Berechnung der Verluste auf Basis von Datenblattwerten entwickelt und mittels experimenteller Untersuchungen validiert. Der ANPC mit hybriden Schaltern weist bei geringerer SiC-Chipfläche eine höhere Effizienz als ein ANPC mit SiC MOSFET auf. Der Hybridschalter wird weitestgehend wie zwei separate Einzelschalter betrachtet. Wechselwirkungen der beiden Schalter, wie z.B. verbleibende Speicherladung im IGBT nach dem Abschalten, werden vernachlässigt ebenso wie Randbedingungen des Schaltverhaltens und der Ansteuerung.</p>			
Arbeitsgruppe 17			
[47]	Xiaofeng Jiang	Chongqing University	2022
<p>Der Einfluss der Gatewiderstände auf dynamisch auftretende hohe Strombelastungen beim Schalten des Hybridschalters wird simulativ und experimentell mit Doppelpulsversuchen an einem 1200 V-Hybridschalter untersucht. Die gewünschte Schaltreihenfolge wird bei gleichzeitigen Schaltsignalen durch angepasste Auswahl der Gatewiderstände erreicht. Dabei werden diese so optimiert, dass auftretende Überstromspitzen innerhalb des SOA des jeweiligen Schalters bleiben. Die Auslegung des Gatewiderstandes vom SiC MOSFET erfolgt laststromabhängig. Nachteilig ist die auftretende Erhöhung der Schaltverluste, diese verteilen sich durch dieses Verfahren auf beide Schalter.</p>			
Arbeitsgruppe 18			
[29]	Michael Meissner	HSU Hamburg	2022
<p>In dieser Dissertation wird ein Hybridschalter aus Si-IGBT und SiC-MOSFET für einen 1.2 kV- und 3.3 kV-Resonanzschalter experimentell untersucht. Durch ein um mehrere μs verzögertes Abschalten des SiC-MOSFETs können die Abschaltverluste in dieser Topologie reduziert werden. Bei hoher Spannungs-kategorie werden deutlich höhere Verzögerungszeiten empfohlen. Auch der Einsatz einer Ent sättigungsschaltung trägt zur Reduktion der Verluste bei. Beim Einschaltverhalten wurde das Forward-Recovery Verhalten des IGBTs während eines verzögerten Einschaltens des SiC-MOSFETs untersucht. Bei hoher Induktivität im Kommutierungskreis zwischen IGBT und MOSFET wirkt sich eine Einschaltverzögerung positiv auf die Verluste aus, anders als bei geringer Induktivität. Nicht Gegenstand der Untersuchung waren Eigenschaften der Schalttransienten wie z.B. Flankensteilheit, transiente Überspannung oder Auftreten von dynamischem Avalanche. Es wird ein IGBT mit geringer Sättigungsspannung empfohlen.</p>			

Tabelle A.1 – Fortsetzung

Arbeitsgruppe 19			
[49]	Marco Andrade	IRT Saint Exupery	2023
Es wird der Kommutierungsvorgang in einem 1200 V-Hybridschalter von einem SiC-MOSFET auf einen parallelen Si-IGBT nach dem Einschalten untersucht. In Abhängigkeit der parasitären Induktivität zwischen den parallelen Schaltern entstehen zusätzliche Verluste bei jedem Kommutierungsvorgang, die somit die Schaltverluste des Hybridschalters erhöhen. Die ermittelten Verluste werden nicht quantitativ ausgewertet.			
Arbeitsgruppe 20			
[53]	Michael Walter	Universität Bayreuth	2023
Für einen 2-Level Traktionsumrichter mit Si-SiC Hybridschalter bestehend aus SiC-MOSFET und Si-IGBT mit Si-PiN-Freilaufdiode werden verschiedene Ansteuerungsstrategien untersucht. Es wird zwischen verschiedenen Betriebsmodi unterschieden, bei denen lastabhängig das Schalten und Leiten zwischen IGBT und MOSFET aufgeteilt wird. Ausgehend von Doppelpulsmessung wird anhand der Simulation eines WLTC-Fahrzyklus die Effizienz der verschiedenen Ansteuerungsstrategien verglichen und darauf basierend die Kosten eines Antriebsstranges inklusive der nötigen Batterie berechnet. Der Betriebsmodus, bei dem der SiC-MOSFET das Schalten übernimmt, schneidet am besten ab. Ob eine reduzierte Speicherladung eines Si-IGBTs, wenn dieser im Hybrid zum Schalten verwendet wird, berücksichtigt wurde, ist nicht angegeben. Die hohe Speicherladung der Si-Diode wird als Nachteil benannt.			
[54]	Michael Walter	Universität Bayreuth	2023
Der Hybridschalter aus [53] mit Si-Diode wird optimiert. Die Si-Schalter werden vom SiC-MOSFET mit einer hohen Induktivität entkoppelt. Mit Doppelpulsversuchen wird gezeigt, dass sich hierdurch die Einschaltverluste reduzieren lassen. Der Strom aus der Si-Diode kommutiert nur langsam nach dem eigentlichen Schaltvorgang in den einschaltenden SiC-MOSFET. Nachteilig sind jedoch erhöhte Durchlassverluste vor und nach dem Schaltvorgang. Ein Simulationsmodell wird mit einer H-Brücke abgeglichen. In einem berechneten WLTP-Fahrzyklus lassen sich mit der Entkopplungsinduktivität die Verluste um 10% reduzieren.			
[55]	Michael Walter	Universität Bayreuth	2024
Der Hybridschalter aus [53] wird mit unterschiedlichen Si-Dioden kombiniert und das Einschaltverhalten mit skalierten Doppelpulstests untersucht. Dabei wird bei geringem Laststrom nur der SiC-MOSFET eingeschaltet. Kostenersparnisse des Antriebsstranges mit Batterie im WLTC-Fahrzyklus werden errechnet. Je nach verwendeter Batteriekapazität ändert sich der Anteil der Halbleiter an den Gesamtkosten. Bei Dominanz der Halbleiterkosten resultiert ein Hybridschalter mit kleiner, schneller Si-Diode in größter Kostenersparnis. Bei Dominanz der Batteriekosten erreicht ein Hybridschalter ohne separate Diode die höchste Effizienz.			

Literatur

- [1] S.-H. Ryu, „Unipolar Device in SiC : Diodes and MOSFET s“, in *Wide Bandgap Semiconductors for Power Electronics*. John Wiley & Sons, Ltd, 2021, Kap. 12, S. 319–351, ISBN: 9783527824724. DOI: 10.1002/9783527824724.ch12.
- [2] J. Lutz, H. Schlangenotto, U. Scheuermann und R. De Doncker, *Semiconductor power devices*. Springer, 2018, Bd. 2. DOI: 10.1007/978-3-319-70917-8.
- [3] N. Kaminski, „Industrial Systems Using SiC Power Devices“, *Wide Bandgap Semiconductors for Power Electronics: Materials, Devices, Applications*, Jg. 2, S. 433–465, 2021. DOI: 10.1002/9783527824724.ch15.
- [4] K. F. Hoffmann und J. P. Karst, „High frequency power switch - improved performance by MOSFETs and IGBTs connected in parallel“, in *2005 European Conference on Power Electronics and Applications*, IEEE, 2005, S. 1–11. DOI: 10.1109/EPE.2005.219594.
- [5] Y. Jiang, G. Hua, E. Yang und F. C. Lee, „Soft-switching of IGBTs with the help of MOSFETs in bridge-type converters“, in *Proceedings of IEEE Power Electronics Specialist Conference-PESC'93*, IEEE, 1993, S. 151–157. DOI: 10.1109/PESC.1993.471918.
- [6] D. Woldegiorgis, M. M. Hossain, Z. Saadatizadeh, Y. Wei und H. A. Mantooh, „Hybrid Si/SiC Switches: A Review of Control Objectives, Gate Driving Approaches and Packaging Solutions“, *IEEE Journal of Emerging and Selected Topics in Power Electronics*, 2022. DOI: 10.1109/JESTPE.2022.3219377.
- [7] P. Ning, T. Yuan, Y. Kang, C. Han und L. Li, „Review of Si IGBT and SiC MOSFET based on hybrid switch“, *Chinese Journal of Electrical Engineering*, Jg. 5, Nr. 3, S. 20–29, 2019. DOI: 10.23919/CJEE.2019.000017.
- [8] B. S. Jacobsen und E. Jung, „Adaptive gate drive control method and circuit for composite power switch“, Patent US9030054B2, 2015.
- [9] T. Zhao, J. He, V. Bhavaraju und M. B. Yang, „Methods and systems for operating hybrid power devices using multiple current-dependent switching patterns“, Patent US9397657B1, 2016.
- [10] F. Hohmann und S. Hain, „Leistungselektronikmodul und Verfahren zur Ansteuerung“, Patent DE102022211207A1, 2024.
- [11] R. Maier und F. Hohmann, „Schaltungsanordnung für Leistungshalbleiter, Verfahren zur Ansteuerung, Leistungselektronikeinrichtung, Elektronikmodul, Elektroantrieb und Fahrzeug“, Patent DE102022210138B3, 2024.

- [12] H.-G. Eckel, F. Kayser und Q. Tien Tran, „TRANSISTORANORDNUNG UND VERFAHREN ZUM BETREIBEN EINER TRANSISTORANORDNUNG“, Patent DE102019102371B4, 2020.
- [13] F. Kayser, R. Baburske, P. Brandt, U. Queitsch und H.-G. Eckel, „Hybrid Switch with SiC MOSFET and fast IGBT for High Power Applications“, in *PCIM Europe digital days 2021; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2021, S. 1–6.
- [14] F. Kayser, F. Pfirsch, F.-J. Niedernostheide, R. Baburske und H.-G. Eckel, „Novel Si-SiC hybrid switch and its design optimization path“, in *2022 IEEE 34th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, IEEE, 2022, S. 225–228. DOI: 10.1109/ISPSD49238.2022.9813676.
- [15] F. Kayser und H.-G. Eckel, „Event-Triggered Gate Drive for a 1.7 kV Si-SiC Hybrid Switch with IGBT-like Short-Circuit Robustness“, in *2023 25th European Conference on Power Electronics and Applications (EPE'23 ECCE Europe)*, IEEE, 2023, S. 1–9. DOI: 10.23919/EPE23ECCEurope58414.2023.10264623.
- [16] F. Kayser und H.-G. Eckel, „Improved Short-Circuit Type II Behavior of a 1.7 kV Si-SiC Hybrid Switch“, in *2024 Energy Conversion Congress & Expo Europe (ECCE Europe)*, IEEE, 2024, S. 1–8. DOI: 10.1109/ECCEurope62508.2024.10751936.
- [17] T. Takaku u. a., „Performance of 1700V Si-IGBT/SiC-SBD Hybrid Module for High-Efficiency AC690V Inverters“, in *PCIM Asia 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2015, S. 1–7.
- [18] L. Amber und K. Haddad, „Hybrid Si IGBT-SiC Schottky diode modules for medium to high power applications“, in *2017 IEEE Applied Power Electronics Conference and Exposition (APEC)*, IEEE, 2017, S. 3027–3032. DOI: 10.1109/APEC.2017.7931127.
- [19] C. Johnson u. a., „Characterisation of 4H-SiC Schottky diodes for IGBT applications“, in *Conference Record of the 2000 IEEE Industry Applications Conference. Thirty-Fifth IAS Annual Meeting and World Conference on Industrial Applications of Electrical Energy (Cat. No. 00CH37129)*, IEEE, Bd. 5, 2000, S. 2941–2947. DOI: 10.1109/IAS.2000.882584.
- [20] C. Zeng u. a., „Comparison of SiC synchronous rectification and Schottky diode in voltage source inverters“, in *2018 IEEE Energy Conversion Congress and Exposition (ECCE)*, IEEE, 2018, S. 1903–1906. DOI: 10.1109/ECCE.2018.8557879.
- [21] Z. Li, J. Wang, Z. He, J. Yu, Y. Dai und Z. J. Shen, „Performance comparison of two hybrid Si/SiC device concepts“, *IEEE Journal of Emerging and Selected Topics in Power Electronics*, Jg. 8, Nr. 1, S. 42–53, 2019. DOI: 10.1109/JESTPE.2019.2947252.

- [22] A. Piccioni, „SiC MOSFET Assisted Si IGBT 1200 V Switch for 3-phase DC-AC Converters with Overload Condition“, in *PCIM Europe 2016; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2023, S. 1–8. DOI: 10.30420/566091330.
- [23] C. Tan, M. Stecca, T. B. Soeiro, J. Dong und P. Bauer, „Performance evaluation of an electric vehicle traction drive using Si/SiC hybrid switches“, in *2021 IEEE 19th International Power Electronics and Motion Control Conference (PEMC)*, IEEE, 2021, S. 278–283. DOI: 10.1109/PEMC48073.2021.9432574.
- [24] L. Wei u. a., „A new control strategy for converters based on hybrid switch“, in *2019 IEEE 4th International Future Energy Electronics Conference (IFEEEC)*, IEEE, 2019, S. 1–5. DOI: 10.1109/IFEEEC47410.2019.9015019.
- [25] D. Woldegiorgis, Y. Wu, Y. Wei und H. A. Mantooth, „A high efficiency and low cost ANPC inverter using hybrid Si/SiC switches“, *IEEE Open Journal of Industry Applications*, Jg. 2, S. 154–167, 2021. DOI: 10.1109/OJIA.2021.3091549.
- [26] Z. Peng, J. Wang, Z. Liu, Y. Dai, G. Zeng und Z. J. Shen, „Fault-tolerant inverter operation based on Si/SiC hybrid switches“, *IEEE Journal of Emerging and Selected Topics in Power Electronics*, Jg. 8, Nr. 1, S. 545–556, 2019. DOI: 10.1109/JESTPE.2019.2952170.
- [27] Z. Peng u. a., „A variable-frequency current-dependent switching strategy to improve tradeoff between efficiency and SiC MOSFET overcurrent stress in Si/SiC-hybrid-switch-based inverters“, *IEEE Transactions on Power Electronics*, Jg. 36, Nr. 4, S. 4877–4886, 2020. DOI: 10.1109/TPEL.2020.3026494.
- [28] Z. Li u. a., „Dynamic gate delay time control of Si/SiC hybrid switch for loss minimization in voltage source inverter“, *IEEE Journal of Emerging and Selected Topics in Power Electronics*, Jg. 10, Nr. 4, S. 4160–4170, 2021. DOI: 10.1109/JESTPE.2021.3137332.
- [29] M. Meissner, „SiC-Si-Hybridschalter in resonant-schaltenden Topologien mit 1,2 kV-und 3,3 kV-Bauelementen“, Diss., Helmut-Schmidt-Universität Hamburg, 2021. DOI: 10.23919/EPE21ECCEEurope50061.2021.9570413.
- [30] H. Qin, R. Wang, Q. Xun, W. Chen und S. Xie, „Switching Time Delay Optimization for “SiC+Si” Hybrid Device in a Phase-Leg Configuration“, *IEEE Access*, Jg. 9, S. 37 542–37 556, 2021. DOI: 10.1109/ACCESS.2021.3055244.
- [31] H. Qin, S. Xie, Q. Xun, F. Zhang, Z. Xu und L. Wang, „An optimized parameter design method of SiC/Si hybrid switch considering turn-off current spike“, *Energy Reports*, Jg. 8, S. 789–797, 2022. DOI: 10.1016/j.egy.2022.08.029.
- [32] M. Rahimo u. a., „Characterization of a silicon IGBT and silicon carbide MOSFET cross-switch hybrid“, *IEEE Transactions on Power Electronics*, Jg. 30, Nr. 9, S. 4638–4642, 2015. DOI: 10.1109/TPEL.2015.2402595.

- [33] M. Rahimo u. a., „The Cross Switch ”XS” Silicon and Silicon Carbide Hybrid Concept“, in *Proceedings of PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2015, S. 1–8.
- [34] Z. Li, J. Wang, B. Ji und Z. J. Shen, „Power loss model and device sizing optimization of Si/SiC hybrid switches“, *IEEE Transactions on Power Electronics*, Jg. 35, Nr. 8, S. 8512–8523, 2019. DOI: 10.1109/TPEL.2019.2954288.
- [35] X. Song, A. Q. Huang, M.-C. Lee und C. Peng, „High voltage Si/SiC hybrid switch: An ideal next step for SiC“, in *2015 IEEE 27th International Symposium on Power Semiconductor Devices & IC's (ISPSD)*, IEEE, 2015, S. 289–292. DOI: 10.1109/ISPSD.2015.7123446.
- [36] X. Song und A. Q. Huang, „6.5 kV FREEDM-Pair: Ideal high power switch capitalizing on Si and SiC“, in *2015 17th European Conference on Power Electronics and Applications (EPE'15 ECCE-Europe)*, IEEE, 2015, S. 1–9. DOI: 10.1109/EPE.2015.7309243.
- [37] X. Song, A. Q. Huang, P. Liu und L. Zhang, „1200V/200A FREEDM-pair: Loss and cost reduction analysis“, in *2016 IEEE 4th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, IEEE, 2016, S. 152–157. DOI: 10.1109/WiPDA.2016.7799928.
- [38] L. Zhang u. a., „Gate driver design and continuous operation of an improved 1200V/200A FREEDM-pair half-bridge power module“, in *2018 IEEE Applied Power Electronics Conference and Exposition (APEC)*, IEEE, 2018, S. 1261–1265. DOI: 10.1109/APEC.2018.8341178.
- [39] X. Song, L. Zhang und A. Q. Huang, „Three-terminal Si/SiC hybrid switch“, *IEEE Transactions on Power Electronics*, Jg. 35, Nr. 9, S. 8867–8871, 2020. DOI: 10.1109/TPEL.2020.2969895.
- [40] C. R. Mueller, „Design and analysis of a low-inductive power-semiconductor module with SiC T-MOSFET and Si IGBT in parallel operation“, in *PCIM Europe 2017; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2017, S. 1–8.
- [41] U. R. Vemulapati, A. Mihaila, R. A. Minamisawa, F. Canales, M. Rahimo und C. Papadopoulos, „Simulation and experimental results of 3.3 kV cross switch ”Si-IGBT and SiC-MOSFET” hybrid“, in *2016 28th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, IEEE, 2016, S. 163–166. DOI: 10.1109/ISPSD.2016.7520803.

- [42] R. Minamisawa, U. Vemulapati, A. Mihaila, C. Papadopoulos und M. Rahimo, „Current sharing behavior in Si IGBT and SiC MOSFET cross-switch hybrid“, *IEEE Electron Device Letters*, Jg. 37, Nr. 9, S. 1178–1180, 2016. DOI: 10.1109/LED.2016.2596302.
- [43] A. Deshpande und F. Luo, „Comprehensive evaluation of a silicon-WBG hybrid switch“, in *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*, IEEE, 2016, S. 1–8. DOI: 10.1109/ECCE.2016.7854950.
- [44] A. Deshpande und F. Luo, „Practical design considerations for a Si IGBT+ SiC MOSFET hybrid switch: Parasitic interconnect influences, cost, and current ratio optimization“, *IEEE Transactions on Power Electronics*, Jg. 34, Nr. 1, S. 724–737, 2018. DOI: 10.1109/TPEL.2018.2827989.
- [45] A. Deshpande, A. Imran, R. Paul, Z. Yuan, H. Peng und F. Luo, „High power density 1700-V/300-A Si-IGBT and SiC-MOSFET hybrid switch-based half-bridge power module“, in *2020 IEEE Energy Conversion Congress and Exposition (ECCE)*, IEEE, 2020, S. 3979–3986. DOI: 10.1109/ECCE44975.2020.9236124.
- [46] M. Schuett und H.-G. Eckel, „Commutation Characteristics During Switching of Hybrid SiC and Si Configurations“, in *PCIM Europe 2018; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2018, S. 1–5.
- [47] X. Jiang u. a., „Impact of Gate Resistance on Improving the Dynamic Overcurrent Stress of the Si/SiC Hybrid Switch“, *IEEE Transactions on Power Electronics*, Jg. 37, Nr. 11, S. 13 319–13 331, 2022. DOI: 10.1109/TPEL.2022.3185165.
- [48] W. Zhang, S. Anwar, D. J. Costinett und F. Wang, „Investigation of cost-effective SiC based hybrid switch and improved inductor design procedure for boost converter in electrical vehicles application“, SAE Technical Paper, Techn. Ber., 2015. DOI: 10.4271/2015-01-1202.
- [49] M. Andrade, B. Cougo und L. M. Morais, „Current Sharing Dynamics During IGBT ZVS Turn-On in a Hybrid Si IGBT/SiC MOSFET Switch“, in *2023 25th European Conference on Power Electronics and Applications (EPE'23 ECCE Europe)*, IEEE, 2023, S. 1–9. DOI: 10.23919/EPE23ECCEEurope58414.2023.10264663.
- [50] J. Wang, Z. Li, X. Jiang, C. Zeng und Z. J. Shen, „Gate control optimization of Si/SiC hybrid switch for junction temperature balance and power loss reduction“, *IEEE Transactions on Power Electronics*, Jg. 34, Nr. 2, S. 1744–1754, 2018. DOI: 10.1109/TPEL.2018.2829624.
- [51] Z. Li u. a., „Active gate delay time control of Si/SiC hybrid switch for junction temperature balance over a wide power range“, *IEEE Transactions on Power Electronics*, Jg. 35, Nr. 5, S. 5354–5365, 2019. DOI: 10.1109/TPEL.2019.2942044.

- [52] Z. Li u. a., „A novel gate driver for Si/SiC hybrid switch for multi-objective optimization“, *IET Power Electronics*, Jg. 14, Nr. 2, S. 422–431, 2021. DOI: 10.1049/pe12.12046.
- [53] M. Walter und M.-M. Bakran, „Hybrid-Switch-Inverter - A New Approach Reducing the System Cost of the Electric Powertrain“, in *PCIM Europe 2016; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2023. DOI: 10.30420/566091324.
- [54] M. Walter und M.-M. Bakran, „Optimization of the hybrid-switch inverter by decoupling SiC and Si“, in *2023 11th International Conference on Power Electronics and ECCE Asia (ICPE 2023-ECCE Asia)*, IEEE, 2023, S. 1835–1842. DOI: 10.23919/ICPE2023-ECCEAsia54778.2023.10213959.
- [55] M. Walter und M.-M. Bakran, „Impact of Various Silicon Diodes on the Hybrid Switch Inverter“, in *PCIM Europe 2024; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2024, S. 1292–1301. DOI: 10.30420/566262177.
- [56] J. He, R. Katebi und N. Weise, „A current-dependent switching strategy for Si/SiC hybrid switch-based power converters“, *IEEE Transactions on Industrial Electronics*, Jg. 64, Nr. 10, S. 8344–8352, 2017. DOI: 10.1109/TIE.2017.2708033.
- [57] S. Ozdemir, F. Acar und U. S. Selamogullari, „Comparing different switching techniques for silicon carbide MOSFET assisted silicon IGBT based hybrid switch“, in *2015 Intl Aegean Conference on Electrical Machines & Power Electronics (ACEMP), 2015 Intl Conference on Optimization of Electrical & Electronic Equipment (OPTIM) & 2015 Intl Symposium on Advanced Electromechanical Motion Systems (ELECTROMOTION)*, IEEE, 2015, S. 476–481. DOI: 10.1109/OPTIM.2015.7427017.
- [58] S. Ueno, N. Kimura, T. Morizane und H. Omori, „Study on characteristics of hybrid switch using Si IGBT and SiC MOSFET depending on external parameters“, in *2017 19th European Conference on Power Electronics and Applications (EPE'17 ECCE Europe)*, IEEE, 2017, S. 1–10. DOI: 10.23919/EPE17ECCEEurope.2017.8099142.
- [59] A. Kubota, S. Ueno, N. Kimura, T. Morizane und H. Omori, „Investigation of optimal conditions for reducing losses and costs of hybrid switch combining Si IGBT and SiC MOSFET in power conversion devices“, in *2018 20th European Conference on Power Electronics and Applications (EPE'18 ECCE Europe)*, IEEE, 2018, S. 1–7.
- [60] H. Qin, D. Wang, Y. Zhang, D. Fu und C. Zhao, „Characteristics and switching patterns of Si/SiC hybrid switch“, in *PCIM Asia 2017; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2017, S. 1–6.

- [61] M. Stecca, C. Tan, J. Xu, T. B. Soeiro, P. Bauer und P. Palensky, „Hybrid Si/SiC switch modulation with minimum SiC MOSFET conduction in grid connected voltage source converters“, *IEEE Journal of Emerging and Selected Topics in Power Electronics*, Jg. 10, Nr. 4, S. 4275–4289, 2022. DOI: 10.1109/JESTPE.2022.3146581.
- [62] P. Ning, L. Li, X. Wen und H. Cao, „A hybrid Si IGBT and SiC MOSFET module development“, *CES Transactions on Electrical Machines and Systems*, Jg. 1, Nr. 4, S. 360–366, 2017. DOI: 10.23919/TEMS.2017.8241357.
- [63] L. Li, P. Ning, X. Wen, Y. Bian und D. Zhang, „Gate drive design for a hybrid Si IGBT/SiC MOSFET module“, in *2018 1st Workshop on Wide Bandgap Power Devices and Applications in Asia (WiPDA Asia)*, IEEE, 2018, S. 34–41. DOI: 10.1109/WiPDAAsia.2018.8734665.
- [64] L. Li, P. Ning, X. Wen und D. Zhang, „A 1200 V/200 A half-bridge power module based on Si IGBT/SiC MOSFET hybrid switch“, *CPSS Transactions on Power Electronics and Applications*, Jg. 3, Nr. 4, S. 292–300, 2018. DOI: 10.24295/CPSSTPEA.2018.00029.
- [65] P. Ning, T. Yuan, H. Cao, L. Li und Y. Kang, „The development of 1200 V SiC Hybrid Switched power modules“, in *2019 IEEE International Workshop on Integrated Power Packaging (IWIPP)*, IEEE, 2019, S. 7–11. DOI: 10.1109/IWIPP.2019.8799083.
- [66] P. Ning, T. Yuan, H. Cao, L. Li und Y. Kang, „The development of a 1200V/400A SiC hybrid module“, in *2019 31st International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, IEEE, 2019, S. 247–250. DOI: 10.1109/ISPSD.2019.8757655.
- [67] H. Liu, T. Zhao und X. Wu, „Efficiency improvement evaluation and loss modeling of a hybrid switch-based t-npc inverter“, in *2019 IEEE 7th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, IEEE, 2019, S. 6–11. DOI: 10.1109/WiPDA46397.2019.8998807.
- [68] H. Liu und T. Zhao, „Performance evaluation of Si/SiC hybrid switch-based three-level active NPC converter“, in *2021 IEEE Applied Power Electronics Conference and Exposition (APEC)*, IEEE, 2021, S. 2058–2064. DOI: 10.1109/APEC42165.2021.9487399.
- [69] H. Liu, T. Zhao, J. Gafford, S. Essakiappan und M. Manjrekar, „Design of a 1500V Si IGBT/SiC MOSFET hybrid switch-based three-level active NPC inverter“, in *2021 IEEE Energy Conversion Congress and Exposition (ECCE)*, IEEE, 2021, S. 168–173. DOI: 10.1109/ECCE47101.2021.9595114.
- [70] H. Liu, T. Zhao und X. Wu, „Performance Evaluation of Si/SiC Hybrid Switch-Based Three-Level Active Neutral-Point-Clamped Inverter“, *IEEE Open Journal of Industry Applications*, Jg. 3, S. 90–103, 2022. DOI: 10.1109/OJIA.2022.3179225.

- [71] H. Liu, T. Zhao, X. Xu und J. Zhou, „Conduction Time Variation-Based Active Thermal Control Method for Si and SiC Hybrid Switch“, in *2022 IEEE Energy Conversion Congress and Exposition (ECCE)*, IEEE, 2022, S. 1–5. DOI: 10.1109/ECCE50734.2022.9947678.
- [72] H. Liu, J. Zhou, T. Zhao und X. Xu, „Si IGBT and SiC MOSFET Hybrid Switch-Based Solid State Circuit Breaker for DC Applications“, in *2022 IEEE Energy Conversion Congress and Exposition (ECCE)*, IEEE, 2022, S. 1–6. DOI: 10.1109/ECCE50734.2022.9948172.
- [73] M. Ippisch, T. Reiter, M. Niendorf, W. Jakobi und M. Muenzer, „Maximizing Cost-Efficiency in Electric Drivetrains: A SiC/Si Fusion Switch Approach“, in *PCIM Europe 2024; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2024, S. 2633–2640. DOI: 10.30420/566262369.
- [74] T. Zhao und J. He, „An optimal switching pattern for “SiC+Si” hybrid device based Voltage Source Converters“, in *2015 IEEE Applied Power Electronics Conference and Exposition (APEC)*, IEEE, 2015, S. 1276–1281. DOI: 10.1109/APEC.2015.7104512.
- [75] U. R. Vemulapati, M. Rahimo, A. Mihaila, R. A. Minamisawa, C. Papadopoulos und F. Canales, „The Bimode Cross Switch (BXS) a full hybrid solution in switch-and diode-modes“, in *2016 18th European Conference on Power Electronics and Applications (EPE'16 ECCE Europe)*, IEEE, 2016, S. 1–9. DOI: 10.1109/EPE.2016.7695642.
- [76] M. Rahimo u. a., „An advanced adjustable switch hybrid (Ash) concept for high power automotive converters“, in *PCIM Europe digital days 2021; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2021, S. 1–8.
- [77] T. Thekemuriyil, M. T. Rahimo, R. A. Minamisawa und S. Mastellone, „Performance Assessment of the Adjustable Hybrid Switch Converter for E-mobility Applications“, in *2023 25th European Conference on Power Electronics and Applications (EPE'23 ECCE Europe)*, IEEE, 2023, S. 1–8. DOI: 10.23919/EPE23ECCEEurope58414.2023.10264282.
- [78] H. Qin, Q. Xiu, D. Wang, S. Wang und C. Zhao, „Switching Pattern and Performance Characterization for” SiC+Si” Hybrid Switch“, in *PCIM Europe 2018; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2018, S. 1–6.
- [79] Y. Wei, X. Du, D. Woldegiorgis und A. Mantooth, „Application of an active gate driver for paralleling operation of Si IGBT and SiC MOSFET“, in *2021 IEEE 12th Energy Conversion Congress & Exposition-Asia (ECCE-Asia)*, IEEE, 2021, S. 314–319. DOI: 10.1109/ECCE-Asia49820.2021.9479254.

- [80] Z. Peng u. a., „Adaptive gate delay-time control of Si/SiC hybrid switch for efficiency improvement in inverters“, *IEEE Transactions on Power Electronics*, Jg. 36, Nr. 3, S. 3437–3449, 2020. DOI: 10.1109/TPEL.2020.3015803.
- [81] Y. Fu, Z. Ma und H. Ren, „A low cost compact SiC/Si hybrid switch gate driver circuit for commonly used triggering patterns“, *IEEE Transactions on Power Electronics*, Jg. 37, Nr. 5, S. 5212–5223, 2021. DOI: 10.1109/TPEL.2021.3131861.
- [82] Y. Wei, D. Woldegiorgis, R. Sweeting und A. Mantooth, „Four control freedoms AGD for hybrid SiC MOSFET and Si IGBT application“, in *2021 IEEE Applied Power Electronics Conference and Exposition (APEC)*, IEEE, 2021, S. 2211–2216. DOI: 10.1109/APEC42165.2021.9487290.
- [83] X. Jiang u. a., „Impact of gate control on short-circuit capability of SiC/Si based hybrid switch“, in *2017 IEEE Energy Conversion Congress and Exposition (ECCE)*, IEEE, 2017, S. 2567–2572. DOI: 10.1109/ECCE.2017.8096487.
- [84] J. Wang, X. Jiang, Z. Li und Z. J. Shen, „Short-circuit ruggedness and failure mechanisms of Si/SiC hybrid switch“, *IEEE Transactions on Power Electronics*, Jg. 34, Nr. 3, S. 2771–2780, 2018. DOI: 10.1109/TPEL.2018.2839625.
- [85] Y. Fu und H. Ren, „A Novel Single-Gate Driver Circuit for SiC+Si Hybrid Switch With Variable Triggering Pattern“, *IEEE Transactions on Power Electronics*, Jg. 36, Nr. 10, S. 11 953–11 966, 2021. DOI: 10.1109/TPEL.2021.3069824.
- [86] L. Ou u. a., „An EMI suppression strategy for Si/SiC hybrid switch based single-phase inverter“, in *2020 IEEE Energy Conversion Congress and Exposition (ECCE)*, IEEE, 2020, S. 3548–3551. DOI: 10.1109/ECCE44975.2020.9236310.
- [87] A. Deshpande und F. Luo, „Design of a silicon-WBG hybrid switch“, in *2015 IEEE 3rd Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, IEEE, 2015, S. 296–299. DOI: 10.1109/WiPDA.2015.7369319.
- [88] H. Cao, P. Ning, T. Yuan und X. Wen, „A 1200V/400A hybrid module with Si-IGBT and SiC-MOSFET development“, in *PCIM Asia 2019; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2019, S. 1–5.
- [89] D. Wigger und H.-G. Eckel, „Comparison of chip-and module-measurements with high power IGBTs and RC-IGBTs“, in *Proceedings of the 2011 14th European Conference on Power Electronics and Applications*, IEEE, 2011, S. 1–8.
- [90] P. Hofstetter, R. W. Maier und M.-M. Bakran, „Parasitic Turn-On of SiC MOSFETs–Turning a Bug into a Feature“, in *PCIM Europe digital days 2020; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2020, S. 1–7.

- [91] T. Sakaguchi, M. Aketa, T. Nakamura, M. Nakanishi und M. Rahimo, „Characterization of 3.3 kV and 6.5 kV SiC MOSFETs“, in *PCIM Europe 2017; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2017, S. 1–5.
- [92] R. W. Maier und M.-M. Bakran, „Active clamping method for SiC MOSFET high power modules - Benefits and Limits“, in *2020 22nd European Conference on Power Electronics and Applications (EPE'20 ECCE Europe)*, IEEE, 2020, S. 1–10. DOI: 10.23919/EPE20ECCEurope43536.2020.9215899.
- [93] P. R. de Mora und M.-M. Bakran, „Faster switching with less overvoltage - operating a SiC-MOSFET at its speed limit“, in *2020 22nd European Conference on Power Electronics and Applications (EPE'20 ECCE Europe)*, IEEE, 2020, S. 1–9. DOI: 10.23919/EPE20ECCEurope43536.2020.9215810.
- [94] R. W. Maier und M.-M. Bakran, „Switching SiC MOSFETs under conditions of a high power module“, in *2018 20th European Conference on Power Electronics and Applications (EPE'18 ECCE Europe)*, IEEE, 2018, S. 1–9.
- [95] F. Stoermer, H.-G. Eckel, F. Pfirsch und F.-J. Niedernostheide, „Switching behavior of SiC-MOSFETs in high power modules“, in *PCIM Europe 2018; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2018, S. 1–6.
- [96] J. Fuhrmann, F. Kayser, H. Wang und H.-G. Eckel, „Challenges in Scaled High-Current SiC Measurements“, in *PCIM Europe digital days 2021; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2021, S. 1–7.
- [97] H. Wang, P. H. T. To, F. Kayser, F. Sawallich und H.-G. Eckel, „Challenges in Scaling SiC Single-Chip Measurements to Corresponding Power Modules“, in *PCIM Europe 2024; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2024, S. 2688–2694. DOI: 10.30420/566262379.
- [98] *XHPTM2 Modul mit Trench/Feldstopp IGBT5, Emitter Controlled 5 Diode und NTC*, FF1800XTR17T2P5, Rev. 1.00, Infineon Technologies AG, 2023. Adresse: https://www.infineon.com/dgdl/Infineon-FF1800XTR17T2P5-DataSheet-v01_00-DE.pdf?fileId=8ac78c8c8c3de074018c4ca42c6e1d43.
- [99] R. Schnell, S. Hartmann, D. Truessel, F. Fischer, A. Baschnagel und M. Rahimo, „LinPak, a new low inductive phase-leg IGBT module with easy paralleling for high power density converter designs“, in *Proceedings of PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2015, S. 1–8.

- [100] B. Laska u. a., „New traction converter with low inductive high-voltage half bridge IGBT module“, in *PCIM Europe 2018; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2018, S. 1–7.
- [101] R. Tsuda, S. Iura, E. Thal, T. Negishi, N. Soltau und E. Wiesner, „LV100 high voltage dual package in paralleling operation“, in *PCIM Europe 2018; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2018, S. 1–6.
- [102] P. Muenster, D. Wigger und H.-G. Eckel, „Impact of the dynamic avalanche on the electrical behavior of HV-IGBTs“, in *Proceedings of PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2015, S. 1–10.
- [103] T. Laska, F. Hille, F. Pfirsch, R. Jereb und M. Bassler, „Long term stability and drift phenomena of different trench IGBT structures under repetitive switching tests“, in *Proceedings of the 19th International Symposium on Power Semiconductor Devices and IC's*, IEEE, 2007, S. 1–4. DOI: 10.1109/ISPSD.2007.4294917.
- [104] J. da Cunha, R. Werner und H.-G. Eckel, „Asymmetric dynamic Avalanche during turn-OFF in paralleled IGBT Chips under Long Term Testing Conditions“, in *PCIM Europe digital days 2020; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2020, S. 1–8.
- [105] R. W. Maier und M.-M. Bakran, „SiC MOSFET Switching Process Under the Influence of Shielded Motor Cables“, in *PCIM Europe 2019; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2019, S. 1–8.
- [106] A. Binder, „High frequency effects in inverter-fed AC electric machinery“, in *Tutorial at the International Conference on Electrical Machines (ICEM)*, 2016, S. 4–7.
- [107] M. J. Scott, J. Brockman, B. Hu, L. Fu, L. Xu und R. D. Wang Jinmora, „Reflected wave phenomenon in motor drive systems using wide bandgap devices“, in *2014 IEEE Workshop on Wide Bandgap Power Devices and Applications*, IEEE, 2014, S. 164–168. DOI: 10.1109/WiPDA.2014.6964647.
- [108] E. Fritze, M. Meissner, K. F. Hoffmann, K.-U. Rathjen, S. Dickmann und O. Woywode, „Analysis and Discussion of Different Three-Phase dv/dt Filter Topologies and the Influences of Their Filter Parameters on Losses and EMC“, in *2022 24th European Conference on Power Electronics and Applications (EPE'22 ECCE Europe)*, IEEE, 2022, S. 1–9.

- [109] M. Melfi, A. J. Sung, S. Bell und G. L. Skibinski, „Effect of surge voltage risetime on the insulation of low-voltage machines fed by PWM converters“, *IEEE Transactions on Industry Applications*, Jg. 34, Nr. 4, S. 766–775, 1998. DOI: 10.1109/IAS.1997.643034.
- [110] M. Bagheri, B. Phung und M. S. Naderi, „Impulse voltage distribution and frequency response of intershield windings“, *IEEE Electrical Insulation Magazine*, Jg. 32, Nr. 5, S. 32–40, 2016. DOI: 10.1109/MEI.2016.7552374.
- [111] R. Maier und M.-M. Bakran, „SiC effect on surge voltage distribution in large electrical machines“, in *PCIM Europe 2018; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2018, S. 1–7.
- [112] V. Grau und R. W. De Doncker, „The effects of steep voltage slopes on insulation systems of coil windings caused by next generation power semiconductor devices“, in *2019 IEEE Electrical Insulation Conference (EIC)*, IEEE, 2019, S. 26–29. DOI: 10.1109/EIC43217.2019.9046515.
- [113] P. Wang, A. Cavallini und G. C. Montanari, „The effect of impulsive voltage rise time on insulation endurance of inverter-fed motors“, in *2015 IEEE 11th International Conference on the Properties and Applications of Dielectric Materials (ICPADM)*, IEEE, 2015, S. 84–87. DOI: 10.1109/ICPADM.2015.7295214.
- [114] J. C. Wheeler, „Effects of converter pulses on the electrical insulation in low and medium voltage motors“, *IEEE Electrical Insulation Magazine*, Jg. 21, Nr. 2, S. 22–29, 2005. DOI: 10.1109/MEI.2005.1412216.
- [115] M. Denk und M. M. Bakran, „Partial discharge measurement in a motor winding fed by a SiC inverter-How Critical is high dV/dt really?“, in *PCIM Europe 2018; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2018, S. 1–6.
- [116] P. Wang, A. Cavallini und G. Montanari, „The influence of square voltage rise time on partial discharge spectra“, in *2012 Annual Report Conference on Electrical Insulation and Dielectric Phenomena*, IEEE, 2012, S. 129–132. DOI: 10.1109/CEIDP.2012.6378738.
- [117] F. Broecker, K. Hoffmann, H. Solmecke und M. Grimmig, „Analysis of Power Losses within a SiC-MOSFET-Inverter with Passive dv/dt -Damping Network for Reduced Voltage Slopes at Inductive Loads“, in *PCIM Europe digital days 2020; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2020, S. 1–6.
- [118] F. Gustrau und H. Kellerbauer, *Elektromagnetische Verträglichkeit: Berechnung der elektromagnetischen Kopplung, Prüf- und Messtechnik, Zulassungsprozesse*. Carl Hanser Verlag GmbH Co KG, 2022. DOI: 10.3139/9783446443983.

- [119] F. Bröcker, P. J. Andres, K. F. Hoffmann, H. Solmecke und M. Grimmig, „Modular Silicon Carbide Inverter for Drive Applications with High Voltage Slopes - Challenges Concerning Conducted EMC“, in *2019 21st European Conference on Power Electronics and Applications (EPE'19 ECCE Europe)*, IEEE, 2019, S. 1–8. DOI: 10.23919/EPE.2019.8915141.
- [120] R. Fischer, *DIN EN 60034-1: Drehende elektrische Maschinen–Teil 1: Bemessung und Betriebsverhalten*, 2004.
- [121] A. Volke und M. Hornkamp, *IGBT modules: technologies, driver and application*. Infineon Technologies AG, 2012, Bd. 2, ISBN: 978-3-00-040134-3.
- [122] C. Bödeker und N. Kaminski, „Implementation and investigation of the dynamic active clamping for silicon carbide MOSFETs“, in *2016 18th European Conference on Power Electronics and Applications (EPE'16 ECCE Europe)*, IEEE, 2016, S. 1–7.
- [123] Y. Onozawa, M. Otsuki und Y. Seki, „Great improvement in turn-on power dissipation of IGBTs with an extra gate charging function“, in *Proceedings. ISPSD'05. The 17th International Symposium on Power Semiconductor Devices and ICs, 2005.*, IEEE, 2005, S. 207–210. DOI: 10.1109/ISPSD.2005.1487987.
- [124] *PrimePACK™3+ B-Serien Modul mit Trench/Feldstopp IGBT5, Emitter Controlled 5 Diode und NTC*, FF1800R17IP5, Rev. 3.50, Infineon Technologies AG, 2020. Adresse: https://www.infineon.com/dgdl/Infineon-FF1800R17IP5-DataSheet-v03_05-EN.pdf?fileId=5546d46254e133b4015524ccc42d021b.
- [125] J. Schumann, „Ladungsträgerextraktionsmodell zur Simulation des Abschaltens von IGBTs“, Diss., Rostock, Universität Rostock. Fakultät für Informatik und Elektrotechnik, 2014. DOI: 10.18453/rosdok_id00001379.
- [126] R. M. Werner, „Mechanismen und Ursachen von Stromfehlverteilungen zwischen parallelen Hochvolt-IGBT“, Diss., Rostock, Universität Rostock. Fakultät für Informatik und Elektrotechnik, 2020. DOI: 10.18453/rosdok_id00002730.
- [127] F. Kayser, J. Fuhrmann, D. Hammes und H.-G. Eckel, „High-Inductive Zero-Voltage Commutations within Active-Neutral Point-Clamped Inverters“, in *PCIM Europe 2018; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2018, S. 1–8.
- [128] F. Sawallich und H.-G. Eckel, „Inter-chip Oscillation of paralleled SiC MOSFETs“, in *PCIM Europe 2023; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2023, S. 1–7. DOI: 10.30420/566091211.
- [129] F. Sawallich und H.-G. Eckel, „Mitigating Inter-Chip Oscillation of paralleled SiC MOSFETs“, in *2023 25th European Conference on Power Electronics and Applications (EPE'23 ECCE Europe)*, IEEE, 2023, S. 1–11. DOI: 10.23919/EPE23ECCEurope58414.2023.10264236.

- [130] V. A. Nayampalli und H.-G. Eckel, „Desaturated turn-off of low-saturation IGBTs with clamping method to reduce turn-off energy losses“, in *2022 24th European Conference on Power Electronics and Applications (EPE'22 ECCE Europe)*, IEEE, 2022, S. 1–10.
- [131] V. A. Nayampalli, J. Fuhrmann und H.-G. Eckel, „Desaturation Pulse-based Turn-off of Low-Saturation 1.2 kV IGBTs for Reduced Turn-off Energy Losses“, in *PCIM Europe 2023; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2023, S. 1–7. DOI: 10.30420/566091302.
- [132] F. Kayser und H.-G. Eckel, „Analysis of dv/dt Discrepancy between High Power SiC-MOSFET Inverter Output and its Semiconductors“, in *2021 23rd European Conference on Power Electronics and Applications (EPE'21 ECCE Europe)*, IEEE, 2021, S. 1–9. DOI: 10.23919/EPE21ECCEEurope50061.2021.9570405.
- [133] P. H. T. To, H. Wang, F. Sawallich, F. Kayser und H.-G. Eckel, „Dead Time Optimization for High-Power SiC MOSFET Module in Consideration of Parasitic Components“, in *PCIM Europe 2024; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2024, S. 707–716. DOI: 10.30420/566262086.
- [134] A. März, S. Schönewolf, A. Nagel, M. Rauh und M.-M. Bakran, „Deadtime optimization eliminating snap-off of 3.3 kV SiC MOSFET bodydiodes“, in *2023 25th European Conference on Power Electronics and Applications (EPE'23 ECCE Europe)*, IEEE, 2023, S. 1–7. DOI: 10.23919/EPE23ECCEEurope58414.2023.10264563.
- [135] N. S. Preda, I. I. Incze, M. Imecs und C. Szabo, „Flat-top space-vector modulation implemented on a fixed-point DSP“, in *2009 5th International Symposium on Applied Computational Intelligence and Informatics*, IEEE, 2009, S. 153–158. DOI: 10.1109/SACI.2009.5136231.
- [136] D. Rus, N. Preda, I. Incze, M. Imecs und C. Szabó, „Comparative analysis of PWM techniques: Simulation and DSP implementation“, in *2010 IEEE International Conference on Automation, Quality and Testing, Robotics (AQTR)*, IEEE, Bd. 3, 2010, S. 1–6. DOI: 10.1109/AQTR.2010.5520764.
- [137] S. Palanisamy, T. Basler, J. Lutz, C. Künzel, L. Wehrhahn-Kilian und R. Elpelt, „Investigation of the bipolar degradation of SiC MOSFET body diodes and the influence of current density“, in *2021 IEEE International Reliability Physics Symposium (IRPS)*, IEEE, 2021, S. 1–6. DOI: 10.1109/IRPS46558.2021.9405183.
- [138] R. Yu u. a., „Measurements and Review of Failure Mechanisms and Reliability Constraints of 4H-SiC Power MOSFETs Under Short Circuit Events“, *IEEE Transactions on Device and Materials Reliability*, 2023. DOI: 10.1109/TDMR.2023.3316928.

- [139] S. Hain und M.-M. Bakran, „New ultra fast short circuit detection method without using the desaturation process of the power semiconductor“, in *PCIM Europe 2016; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2016, S. 1–8.
- [140] P. Hofstetter, S. Hain und M.-M. Bakran, „Applying the 2D-short circuit detection method to SiC MOSFETs including an advanced soft turn off“, in *PCIM Europe 2018; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2018, S. 1–7.
- [141] F. Scholl, J. Fuhrmann, J. da Cunha und H.-G. Eckel, „A new Robust Short-Circuit Protection Gate-Driver Circuit for IGBT with high Desaturation Current“, in *2021 23rd European Conference on Power Electronics and Applications (EPE'21 ECCE Europe)*, IEEE, 2021, S. 1–10. DOI: 10.23919/EPE21ECCEurope50061.2021.9570635.
- [142] J. Fuhrmann, R. Werner, J. da Cunha und H.-G. Eckel, „Enhancing short-circuit capability of high-performance IGBTs by gate-drive unit“, in *PCIM Europe 2019; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2019, S. 1–7.
- [143] S. Hain und M.-M. Bakran, „The suitability and challenges of the new 2D-short circuit detection method for protecting a high performance IGBT with a low $V_{ce,sat}$ value“, in *2016 18th European Conference on Power Electronics and Applications (EPE'16 ECCE Europe)*, IEEE, 2016, S. 1–10. DOI: 10.1109/EPE.2016.7695613.
- [144] J. Lutz und T. Basler, „SiC Reliability Aspects“, *Wide Bandgap Semiconductors for Power Electronics: Materials, Devices, Applications*, Jg. 2, S. 387–431, 2021. DOI: 10.1002/9783527824724.ch14.
- [145] C. Leendertz u. a., „CoolSiC Trench MOSFET Chip Design for the 3.3 kV Class“, in *PCIM Europe 2023; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2023, S. 1–6. DOI: 10.30420/566091079.